

### 特徴；機能

低位相ノイズ、位相ロックループ(PLL) オンチ  
 ップVCOチューニング1.45 GHzから1.80 GHz  
 外部VCO/VCOXから2.4 GHz(オプション)  
 1つの差動参照入力または2つのシングルエンド  
 参照入力参照監視機能  
 自動リバーティプおよび手動リファレン  
 ススイッチオーバー/ホールドオーバー  
 モード

PFDへのパスで250 MHzのプログラム可能な遅延への  
 LVPECL、LVDS、またはCMOS参照を受け入れます。  
 デジタルまたはアナログロック検出、選択可能

#### 1.6ghz lvpecl 出力2対

各出力ペアは、粗い位相遅延を備えた1対32の分割  
 器を共有します。

加算出力ジッター：225 fs rms

チャンネル間スキューペア出力が10ps未満

#### 800 MHzのLVDSクロック出力2対

各出力ペアは、粗い位相遅延を備えた2つのカスケー  
 ド1~32分割器を共有します。

加算出力ジッター：275 fs rms

各lvd出力の微遅延調整( t)

各lvd出力は、2つの250 MHz CMOS出力として再構成で  
 きます

電源アップ時のすべての出力の自動同期手動出力同期  
 が利用可能

48リードのLFCSPで利用可能

### アプリケーション；応用

低ジッター、低位相ノイズクロック分布

ソネット、同期イーサネット、OTU2/3/4を含む10/40/100  
 gb/secネットワーク回線カード

フォワードエラー訂正(G.710)

高速ADCs、DACs、DDSSs、DDCs、DUCs、MxFEsの高性能ワイ  
 ヤレストランシーバーをクロックする

食べられた高性能の計装

### 一般的な説明

thead9517-41は、オンチップPLLおよびVCOとともに、  
 サブピコ秒ジッタ性能を備えたマルチ出力クロック分  
 配機能を提供します。オンチップVCOは1.45ghzから  
 1.80ghzまでチューニングされます。必要に応じて、最大  
 2.4ghzの外部VCO/VCOXを使用することができます。

thead9517-4は、低ジッタと位相ノイズを強調してデー  
 タコンバータのパフォーマンスを最大化し、位相ノイ  
 ズとジッタの要求が厳しい他のアプリケーションに利  
 益をもたらします。

機能ブロック図

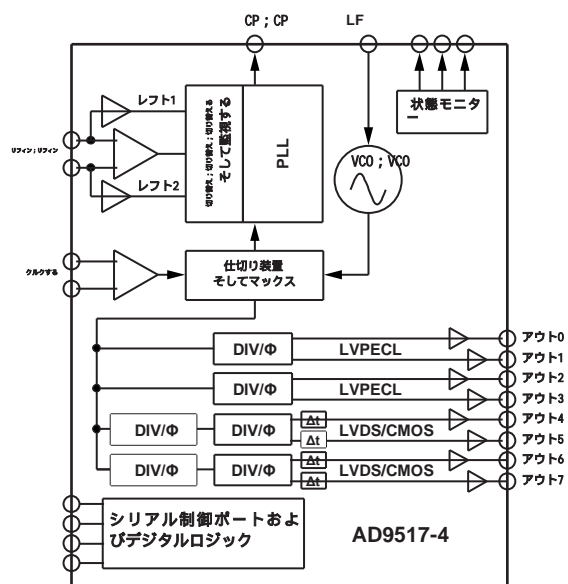


図1.

thead9517-4は、4つのLVPECL出力(2ペア)と4つのlvd出力  
 (2ペア)を備えています。各lvd出力は、2つのCMOS出  
 力として再構成できます。前記LVPECL出力は1.6ghz、前  
 記LVDS出力は800mhz、前記CMOS出力は250mhzである。

追加の出力、クリスタルリファレンス入力、ゼロ遅延、  
 または起動時に自動構成のためのEEPROMを必要とするア  
 プリケーションの場合、thead9520およびad9522が利用可  
 能です。さらに、thead9516andad9518はthead9517と類似  
 していますが、出力の組み合わせが異なります。

各出力ペアには、分割比と粗い遅延(または位相)の両方  
 を設定できる分割器があります。前記LVPECL出力の分割  
 範囲は1~32である。LVDS/CMOS出力は、最大1024までの  
 範囲の分割を可能にします。thead9517-4は48リードの  
 LFCSPで利用可能で、単一の3.3v電源から操作できま  
 す。チャージポンプ電源(VCP)を5vに接続することで、  
 拡張電圧範囲が必要な外部VCOを収容することができます。  
 別のLVPECL電源は2.5vから3.3v(公称)にすることが  
 できます。thead9517-4は-40° C~85° Cの産業範囲で  
 動作するために指定されています。

1 AD9517は、データシート全体でAD9517ファミリのすべてのメンバーを  
 参照するために使用されます。ただし、AD9517-4が使用される場合、  
 それはAD9517ファミリーのその特定のメンバーを参照します。

## レビューE

## 文書フィードバック

アナログデバイスによって提供される情報は正確で信頼性があると考えられています。ただし、アナログデバイスは、その使用、または使用に起因する可能性のある第三者の特許またはその他の権利の侵害について責任を負いません。特定は予告なしに変更されます。アナログデバイスの特許または特許権に基づいて、暗黙的またはその他の方法でライセンスは付与されません。商標と登録商標は、それぞれの所有者の財産を保有します。

ワンテクノロジーウェイ、P.O. ボックス9106、ノーウッド、MA 02062-9106、米国。電話：781.329.4700©2007-2013 analog devices, Inc. すべての権利は所有されます。

[技術的サポート](#)

[www.analog.com](http://www.analog.com)

## 目次 ; 目次

特徴 .....	1	ESDの注意 .....	17
アプリケーション ; 応用 .....	1	ピン構成と機能の説明 .....	18
一般的な説明 .....	1	典型的な性能特性 .....	20
機能ブロック図 .....	1	用語 .....	26
改訂履歴 .....	3	詳細ブロック図 .....	27
仕様 .....	4	運用理論 .....	28
電源要件 .....	4	運用構成 .....	28
PLL特性 .....	4	デジタルロック検出(DLD) .....	37
クロック入力 .....	6	時計分布 .....	41
クロック出力 .....	6	リセットモード .....	49
タイミング特性 .....	8	電源ダウンモード .....	50
クロック出力付加位相ノイズ(分布のみ、VCO分割器は 使用されません) .....	9	シリアル制御ポート .....	51
クロック出力絶対位相ノイズ(内部VCO使用) .....	10	シリアルコントロールポートピンの説明 .....	51
クロック出力絶対時間ジッタ ( 内部VCOを使用したクロ ック生成 ) .....	11	シリアル制御ポートの一般的な動作 .....	51
クロック出力絶対時間ジッタ(内部VCOを使用したクロ ッククリーンアップ) .....	11	命令単語(16ビット) .....	52
クロック出力絶対時間ジッタ ( 外部VCX0を使用したク ロック生成 ) .....	11	MSB/LSB最初の転送 .....	52
クロック出力付加時間ジッタ(VCO分割器は使用されま せん) .....	12	熱性能 .....	55
クロック出力付加時間ジッタ(VCO分割器使用) .....	12	制御レジスタ .....	56
遅延ブロック加算時間ジッタ .....	13	制御レジスタマップの概要 .....	56
シリアル制御ポート .....	13	制御レジスタマップの説明 .....	59
PD、同期、およびリセットピン .....	14	アプリケーション情報 .....	76
LD、ステータス、およびREFMONピン .....	14	広告を使用した周波数計画9517 .....	76
電力消費 .....	15	ADCクロックアプリケーション用のAD9517出力を使用す る .....	76
タイミング図 .....	16	LVPECLクロック分布 .....	77
絶対最大評価 .....	17	LVDSクロック分布 .....	77
熱抵抗 .....	17	CMOSクロック分布 .....	78
		輪郭寸法 .....	79
		注文ガイド .....	79

## 改訂履歴

## 3/13-rev. DからEまで

テーブルへの変更 52	57
テーブルへの変更 57	70
1/12-rev. Cからrev. dへのテーブルの変更 62	75
5/11-rev. Bから機能、アプリケーション、および一般的な説明セクションへの変更をCに変更する	1
CPRSETピン抵抗パラメータ、テーブルに変更 1	4
テーブルへの変更 2	4
テーブルへの変更 4	6
論理1電流および論理0電流パラメータの変更、テーブル 15	14
テーブルへの変更 20	18
キャプション、図に変更する 8	20
キャプション、図に変更する 15	21
キャプション、図25、図に変更する 26	23
追加図41。順次番号変更された	25
オンチップVCOセクションの変更	34
参照切り替え部の変更	35
プリスケラセクションの変更、コメント/条件列、テーブルへの変更 28	36
自動/内部保持モード部および周波数状態モニタ部の変更	39
VCOキャリブレーション部の変更	40
クロック配信部の変更	41
書き込みセクションの変更	51
命令語 (16ビット) セクションへの変更	52
図に変わる 65	53
熱性能部に変更する	55
レジスタアドレス0x01Cへの変更、ビット[4:3]、テーブル 52	56
アドレス0x017、ビット[1:0]およびアドレス0x018、ビット[2:0]、テーブルへの変更 54	62
レジスタアドレス0x01Cへの変更、ビット[5:1]、テーブル 54	64
LVPECLクロック配信部への変更	77
5/10-rev. aからrev. bへテーブルのLVDS/CMOS出力セクションのデフォルト値への変更 52	56
レジスタ0x140、ビット0への変更。レジスタ0x142、ビット0。レジスタ0x143、テーブル内ビット0 57	69
アウトライン寸法の更新、注文ガイドの変更	78
1/10-rev. 0-rev. a	

48リードLFCSPパッケージを追加しました (CP-48-8)	普遍的な機能、アプリケーション、および一般的な説明の変更
1	4
CPRSETピン抵抗パラメータに変更する	4
表への変更 4	6
VCP供給パラメータの変更	14
表への変更 19	16
図6に露出したパドル表記を追加しました。テーブルへの変更 20	17
高周波クロック分布CLKまたは外部VCO>1600 MHzセクションに変更します。テーブルに変更する 22	27
表への変更 24	29
設定と登録設定セクションへの変更	31
位相周波数検出器 (PFD) 部への変更	32
チャージポンプ (CP)、オンチップVCO、PLL外部ループフィルタ、およびPLL参照入力セクションの変更	33
図46に変更する。追加数字 47	33
参照切り替えおよびVCX0/VCOフィードバック分割器n-p、a、B、Rセクションの変更	34
表への変更 28	35
ホールドオーバーセクションに変更する	37
VCOキャリブレーション部の変更	39
クロック配信部の変更	40
クロック周波数分割部への変更と、テーブルに変更する 34	41
チャネル分割器の変更-LVDS/CMOS出力部。テーブルに変更する 39	43
書き込みセクションに変更する	50
MSB/LSB最初の転送に変更する	51
図に変わる 64	52
加えられた熱性能部	54
0x003レジスタアドレスへの変更	55
表への変更 53	58
テーブルへの変更 54	59
表への変更 55	65
テーブルへの変更 56	67
表への変更 57	69
テーブルへの変更 58	71
テーブルへの変更 59	72
表60および表の変更 61	74
AD9517セクションを使用して周波数計画を追加しました	75
図70および図72への変更。追加数字 71	76
LVDSクロック配信部の変更	76
寸法の輪郭に露出したパドル表記を追加しました	78
注文ガイドの変更	78
7/07-リビジョン0：初期バージョン	



仕様 ; 仕様

典型的なものはVS=VS\_LVPECL=3.3V±5%に与えられます。VS VCP 5.25V ; TA=25 ; RSET=4.12k ; CPRSET=5.1k 、特に記載されていない限り。最小値と最大値は、完全なVSとTA(-40° C-85° C)の変化にわたって与えられます。

電源要件  
表1。

パラメータ ; パラメータ	分 ; 分 ; 分	タイ プ ; タイ プ	最大 ; 最大	ユニ ット	テスト条件/コメント
対 ; 対 VS_LVPECL VCP ; VCP RSETピン抵抗器 CPRSETピン抵抗	3.135 2.375 対 ; 対	3.3 タイ プ	3.465 対 ; 対 5.25	V. V. V. k k	3.3 V ± 5% 公称2.5V~3.3V ± 5% 公称3.3V~5.0V ± 5% 内部バイアス電流を設定し、接地に接続する 内部CP電流範囲、公称4.8 mA(CP_Isb=600µa)を設定します。 実際の電流はCP_Isb=3.06/CPRSETで計算できます。接地に接続する
バイパスピンコンデンサ		220	10	nF ; nF	内部LDOレギュレータ用のバイパス。LDOの安定性に必要です。 接地に接続する

PLL特性  
表2。

パラメータ ; パラメータ	最 小 値	タイ プ ; タイ プ	最大 ; 最大	ユニ ット	テスト条件/コメント
VCO(オンチップ) 周波数範囲 VCOゲイン (KVCO) チューニング電圧(VT) 周波数プッシュ(オープンループ) 100 kHzオフセットの位相ノイズ 1mhzオフセットでの位相ノイズ	1450  0.5	 50 VCP- 0.5	1800  0.5	MHzの MHz/V V. MHz/V dBc/Hz dBc/Hz	シーフィグ15 シーフィグA10 内部VCOを使用する場合のVCP VS ; この範囲外では、CPアップ/ダウンミスマッチによりCPスパアが増加する可能性があります。 f=1625mhz f=1625mhz
参照入力 差動モード(REFIN、REFIN) 入力周波数 入力感度 セルフバイアス電圧、リフィン セルフバイアス電圧、リフィン 入力抵抗、リフィン 入力抵抗、リフィン デュアルシングルエンドモード(REF1、REF2) 入力周波数(AC結合) 入力周波数(直流結合) 入力感度(AC結合) 入力論理高 入力論理が低い 入力電流 パルス幅高/低 入力容量	0  20 0 2.0 -100 1.8 2	  250 0.8 0.8 +100	250  250 0.8 0.8 +100	MHzの mV p-p V. V. k k MHzの MHzの V p-p V. V. µ a ns pF ; pF	差動モード (ac接地無駆動入力によるシングルエンド入力に対応可能) 約1mhz未満の周波数は直流結合する必要があります。VCM(セルフバイアス電圧)の一致に注意してください PLLメリットの数字(FOM)は、スルーレートの増加とともに増加します(図14を参照)。入力感度は、ac結合されたLVDSおよびLVPECL信号に十分です リファイン1の自己バイアス電圧 リフン1の自己バイアス電圧 自己偏り1 自己偏り1 2つのシングルエンドCMOS互換入力 スルーレート>50 V/µs スルーレート>50 V/µs; CMOSレベル p-p対を超えてはいけません この値は許容入力デューティサイクルを決定し、正方形波が高/低になる時間です。 各ピン、REFIN/REFIN(REF1/REF2)
位相/周波数検出器(PFD)PFD入力周波数			100 45	MHzの MHzの	アンチバックラッシュパルス幅=1.3ns、2.9ns アンチバックラッシュパルス幅=6.0ns

アンチバックラッシュパルス幅	1.3	ns	レジスタ0x017[1 : 0]=01b
	2.9	ns	レジスタ0x017[1 : 0]=00b; レジスタ0x017[1 : 0]=11b
	6.0	ns	レジスタ0x017[1 : 0]=10b

rev.e 80ページの4

パラメータ ; パラメータ	最小タイプ最大	ユニ ット	テスト条件/コメント
チャージポンプ (CP) ICPシンク/ソース高値低値絶対精度 CPRSET範囲  ICPハイインピーダンスモードリーク シンク&ソース電流一致ICPとCPV ICP対温度	4.8 0.60 2.5 2.7/1 0 1 2 1.5 2	ママ ; 母 mA%k  nA ; nA % % %	CPVはCPピン電圧であり、VCPはチャージポンプの電源電圧を プログラム可能です CPRSET=5.1k で  CPV=VCP/2v  0.5 < CPV < vcp-0.5v 0.5 < CPV < vcp-0.5v CPV=VCP/2v
プリスケアラ(N分割器の一部)プリス ケアラ入力周波数 P=1fd P=2fd P=3fd P=2dm (2/3) P=4dm (4/5) P=8dm (8/9) P=16dm (16/17) P=32dm (32/33) プリスケアラ出力周 波数	300 600 900 200 1000 2400 3000 3000 300	MHzの MHzの MHzの MHzの MHzの MHzの MHzの MHzの	TheVCX0/VC0フィードバック分割器n-p、a、B、Rsectionを 参照してください   a、Bカウンタ入力周波数(プリスケアラ入力周波数をPで割っ た)
PLL分割器遅延 000 001 010 011 100 101 110 111	オフにする 330 440 550 660 770 880 990	ps ; ps ps ; ps ps ; ps ps ; ps ps ; ps ps ; ps ps ; ps ps ; ps	レジスタ0x019 : R、ビット[5 : 3]; N、ビット[2 : 0]; シート テーブル54
ノイズ特性 チャージポンプ/位相周波数検出器の 帯域内位相ノイズ(帯域内はPLLのLBW 以内) 500 kHz PFD周波数で1 MHz PFD周波数 で 10mhz pfd周波数で 50 MHz PFD周波数でメリットのPLL数 字(FOM)	-165 -162 -151 -143 -220	dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz	PLL帯域内位相ノイズフロアは、VC0の出力における帯域内位 相ノイズを測定し、 $20 \log(N)$ を差し引くことによって推定さ れます(ここでNはN分割器の値です)  基準スルーレート>0.25v/ns。FOM+10ログ(fPFD)は、PLLル ープ帯域幅内のPFD/CP帯域内位相ノイズ(フラット領域内) の近似です。閉ループを実行すると、VC0出力で観測される位 相ノイズが20ログ(N)増加します。
PLLデジタルロック検出ウィンドウ2 ロック(エッジの一致)低範囲(約1.3 ns、2.9 ns)高範囲(約1.3 ns、2.9 ns)に必要です ロック後にロックを解除するための高 範囲(約6.0ns)(ヒステリシス)2低範囲 (約1.3ns、2.9ns) 高範囲(約1.3 ns、2.9 ns) 高範囲(abp 6.0ns)	3.5 7.5 3.5  7 15 11	ns ns ns  ns ns ns	適切なレジスタ設定で選択された場合、LD、STATUS、REFMON ピンで利用可能な信号 レジスタ0x017[1 : 0]およびレジスタ0x018[4]によって選択さ れます レジスタ0x017[1 : 0]=00b, 01b, 11b; レジスタ0x018[4]=1b レジスタ0x017[1 : 0]=00b, 01b, 11b; レジスタ0x018[4]=0bレジ スタ0x017[1 : 0]=10b; レジスタ0x018[4]=0b レジスタ0x017[1 : 0]=00b, 01b, 11b; レジスタ0x018[4]=1b レジスタ0x017[1 : 0]=00b, 01b, 11b; レジスタ0x018[4]=0bレジ スタ0x017[1 : 0]=10b; レジスタ0x018[4]=0b

1 リフィンとリフィンの自己バイアスポイントは、オープン入力状態でのチャタを回避するためにわずかにオフセットされます。

2 デジタルロック検出の確実な動作のために、PFD周波数の期間は、ロック解除後の時間よりも大きくなければなりません。



### クロック入力

表3。

パラメータ ; パラメータ	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニッ ト	テスト条件/コメント
クロック入力 (CLK, $\overline{\text{CLK}}$ )					差動入力
入力周波数	0 <sup>1</sup>		2.4	GHz ;	高周波分布 (VCO 分割器)
	0 <sup>1</sup>		1.6	GHz ; GHz	配布のみ (VCO 分割器 バイパス)
入力感度、差動		150		mV p-p	2.4ghzで測定されます。スルーレートが1v/ns以上でジッターパフォーマンスが向上します
入力レベル、差動			2	V p-p	電圧の揺れが大きいと、保護ダイオードがオンになり、ジッター性能が低下する可能性があります。
入力コモンモード電圧、VCM	1.3	1.57	1.8	V.	自己偏見 ; acカップリングを可能にする
入力コモンモード範囲、VCMR	1.3		1.8	V.	200 mVのp-p信号が印加されています。直流結合の
入力感度、シングルエンド		150		mV p-p	CLK ac結合。clk ac-rfグラウンドにバイパス
入力抵抗	3.9	4.7	5.7	k	自己偏見のある
入力容量		2		pF ; pF	

<sup>1</sup> 約1mhz未満では、入力を直流結合する必要があります。VCMと一致するように注意する必要があります。

### クロック出力

表4。

パラメータ ; パラメータ	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニッ ト	テスト条件/コメント
LVPECLクロック出力 アウト0、アウト1、アウト2、アウト3					終了=50 ~vs-2v 差分(アウト、アウト)
出力周波数、最大	2950			MHzの	直接出力を使用します。ピーク対ピーク差動振幅のためのsee figure 25
出力高電圧 (VOH)	Vs_lvpecl -1.12	Vs_lvpecl -0.98	Vs_lvpecl -0.84	V.	
出力低電圧 (VOL)	Vs_lvpecl -2.03	Vs_lvpecl -1.77	Vs_lvpecl -1.49	V.	
出力差動電圧 (VOD)	550	790	980	mV ; mV	これは、ドライバが切り替えられないデフォルトの振幅設定のための差動ペアの各レグのvoh-volです。ドライバを切り替えた差動ペアを介して差動プローブを使用して測定されたピーク対ピーク振幅は、これらの値の約2倍です(周波数に対する変化の図25を参照)
LVDSクロック出力 OUT4、OUT5、OUT6、OUT7					
出力周波数			800	MHzの	3.5ma差動での差動終端100 (アウト、アウト) Thead9517出力はより高い周波数でトグルしますが、出力振幅がVOD仕様を満たしていない可能性があります。シーフィグア26
出力差動電圧 (VOD)	247	360	454	mV ; mV	出力ドライバが切り替えられないデフォルトの振幅設定での差動ペア間のvoh-vol測定。周波数を越えた変動のためのシーフィグア26
デルタ・ヴォード			25	mV ; mV	これは、通常出力が高いときのVODと補完出力が高いときのVODの差の絶対値です。
出力オフセット電圧 (VOS) デルタ VOS	1.125	1.24	1.375 25	VmV	差動ペアを横断する (voh vol)/2 これは、通常出力が高いときのVOSと補完出力が高いときのVOSの差の絶対値です。
短絡電流 (ISA、ISB)		14	24	ママ ; 母	出力はGNDに短縮された

パラメータ ; パラメータ	分 ; 分 ; 分	タイプ ; タ イプ	最大 ; 最大	ユニ ット	テスト条件/コメント
CMOSクロック出力 OUT4A、OUT4B、OUT5A、OUT5B、 OUT6A、OUT6B、OUT7A、OUT7B					シングルエンド ; 終了=10pf
出力周波数出力電圧			250	MHzの	シーフィグ27
高 (VOH)	Vs-0.1			V.	1ママ負荷で
低(ボリウム)			0.1	V.	1ママ負荷で
ソース電流					これらの値を超えると部品が損傷する可能性があります
静的な			20	マ マ ; 母	
動的な			16	マ マ ; 母	
シンク電流					これらの値を超えると部品が損傷する可能性があります
静的な			8	マ マ ; 母	
動的な			16	マ マ ; 母	

# タイミング特性

表5。

パラメータ ; パラメータ	分 ; 分 ; 分	タ ブ タ ブ	イ ; イ イ	最 大 ; 最大	ユ ニ ット	テスト条件/コメント
LVPECL 出力立ち上がり時間、tRP出力落下時間、tFP		70 70		180 180	ps ; ps ps ; ps	終了=50 -vs-2v。レベル=810 mV 20-80%、差分的に測定 80-20%、差分的に測定
伝搬遅延、tPECL、CLKからLVPECLへの出力						
高周波クロック分布構成	835	995		1180	ps ; ps ps ;	シーフィグア43
クロック分布構成	773	933		1090	ps ps	シーフィグア45
温度による変化		0.8			ps/°C	
出力スキュー、LVPECL出力1						
同じ分割器を共有するLVPECL出力		5		15	ps ; ps ps ;	
さまざまな分割器のLVPECL出力		13		40	ps ps ;	
複数の部品にわたるすべてのLVPECL出力				220	ps ps ;	
LVDS 出力立ち上がり時間、tRL出力落下時間、tFL		170 160		350 350	ps ps ; ps	終端=100 差; 3.5ma 20-80%、差分測定2 20-80%、差分測定2
すべての分割値の伝搬遅延、tLVDS、CLK-T0-LVDS 出力	1.4	1.8 1.25		2.1	nsps/ °C	すべての出力を遅らせる
温度による変化						
出力スキュー、LVDS出力1						
同じ分割器を共有するLVDS出力異なる分割器上のLVDS出力複数の部品にわたるすべてのLVDS出力		6 25		62 150 430	ps ; ps ps ; ps ps ; ps ps ;	すべての出力を遅らせる
CMOS ; CMOS 出力立ち上がり時間、tRC出力落下時間、tFC		495 475		1000 985	ps ; ps ps ; ps	終了=オープン20-80%。CLOAD=10pf 80%-20% ; クロード=10pf
すべての分割値の伝搬遅延、tCMOS、CLK-T0-CMOS 出力	1.6	2.1 2.6		2.6	nsps/ °C	細かい遅延オフ
温度による変化						
出力スキュー、CMOS出力1						
同じ分割器を共有するCMOS出力異なる分割器のすべてのCMOS出力複数の部品にわたるすべてのCMOS出力		4 28		66 180 675	ps ; ps ps ; ps ps ; ps	細かい遅延オフ
遅延調整3						
最短遅延範囲4						
ゼロスケール	50	315		680	ps ; ps ps ;	LVDとCMOS レジスタ 0x0A1 (0x0A4、0x0A7、0x0AA)、ビット [5 : 0]=101111b レジスタ 0x0A2 (0x0A5、0x0A8、0x0AB)、ビット [5 : 0]=000000b
フルスケール	540	880		1180	ps ps	レジスタ 0x0A2 (0x0A5、0x0A8、0x0AB)、ビット [5 : 0]=101111b レジスタ 0x0A1 (0x0A4、0x0A7、0x0AA)、ビット [5 : 0]=000000b
最長遅延範囲4						
ゼロスケール	200	570		950	ps ; ps	レジスタ 0x0A2 (0x0A5、0x0A8、0x0AB)、ビット [5 : 0]=000000b レジスタ 0x0A2 (0x0A5、0x0A8、0x0AB)、ビット [5 : 0]=001100b
四半期スケール	1.72	2.31		2.89	ns	レジスタ 0x0A2 (0x0A5、0x0A8、0x0AB)、ビット [5 : 0]=101111b
フルスケール	5.7	8.0		10.1	ns	
温度短い遅延範囲による遅延の変化5		0.23			ps/°C	

ゼロスケール	-0.02	ps/°C	
フルスケールの長い遅延範囲 <sup>5</sup>			
ゼロスケール	0.3	ps/°C	
フルスケール	0.24	ps/°C	

<sup>1</sup> これは、同じ電圧と温度で動作している間の任意の2つの同様の遅延経路の違いです。

<sup>2</sup> 対応するCMOSドライバは、非反転の場合にa、反転の場合にBに設定されます。

<sup>3</sup> 使用できる最大遅延は、時計の周期の半分未満です。遅延が長くなると出力が無効になります。

<sup>4</sup> 増分遅延。伝搬遅延は含まれません。

<sup>5</sup> ゼロスケールとフルスケールの間のすべての遅延は線形補間によって推定できます。

## クロック出力付加位相ノイズ(分布のみ、VCO分割器は使用されません)

表6。

パラメータ ; パラメータ	最小タイプ最大	ユ ニ ッ ト	テスト条件/コメント
CLK-T0-LVPECL 付加位相 ノイズ CLK=1 ghz、出力=1ghz 分割器=1	-109 -118 -130 -139 -144 -146 -147 -149	dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz	配布セクションのみ。PLLおよびVCO入力スルーレート> 1 V/nsは含まれません
CLK=1ghz、出力=200mhz分割器=5	-120 -126 -139 -150 -155 -157 -157	dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz	入力スルーレート>1 V/ns
CLK-T0-LVDS付加位相ノイズ CLK=1.6ghz、出力=800mhz分割器=2	-103 -110 -120 -127 -133 -138 -147 -149	dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz	配布セクションのみ。PLLおよびVCO入力スルーレート> 1 V/nsは含まれません
CLK=1.6ghz、出力=400mhz分割器=4	-114 -122 -132 -140 -146 -150 -155	dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz	入力スルーレート>1 V/ns
CLK-T0-CMOS付加位相ノイズ CLK=1ghz、出力=250mhz分割器=4	-110 -120 -127 -136 -144 -147 -154	dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz	配布セクションのみ。PLLおよびVCO入力スルーレート> 1 V/nsは含まれません

パラメータ ; パラメータ	最小タイプ最大	ユ ニ ッ ト	テスト条件/コメント
CLK=1ghz、出力=50mhz分割器=20	-124	dBc/Hz	入力スループレート>1 V/ns
10hzオフセットで	-134	dBc/Hz	
100hzオフセットで	-142	dBc/Hz	
1 kHzオフセットで	-151	dBc/Hz	
10 kHzオフセットで	-157	dBc/Hz	
100 kHzオフセットで1mhzオフセット>	-160	dBc/Hz	
10mhzオフセット	-163	dBc/Hz	

## クロック出力絶対位相ノイズ(内部VCO使用)

表7。

パラメータ ; パラメータ	最小タイプ最大	ユ ニ ッ ト	テスト条件/コメント
LVPECL絶対位相ノイズVCO=1800mhz; 出力=1800mhz	-47	dBc/Hz	内部VCO。LVPECL出力に直接
1 kHzオフセットで	-82	dBc/Hz	
10 kHzオフセットで	-106	dBc/Hz	
100 kHzオフセットで	-125	dBc/Hz	
1mhzオフセットで	-142	dBc/Hz	
10mhzオフセットで	-146	dBc/Hz	
40 MHzオフセットで		dBc/Hz	
VCO=1625mhz; 出力=1 kHzオフセットで	-55	dBc/Hz	
1625 MHz	-85	dBc/Hz	
10 kHzオフセットで	-109	dBc/Hz	
100 kHzオフセットで	-128	dBc/Hz	
1mhzオフセットで	-143	dBc/Hz	
10mhzオフセットで	-147	dBc/Hz	
40 MHzオフセットで		dBc/Hz	
VCO=1450mhz; 出力=1 kHzオフセットで	-61	dBc/Hz	
1450 MHz	-90	dBc/Hz	
10 kHzオフセットで	-113	dBc/Hz	
100 kHzオフセットで	-131	dBc/Hz	
1mhzオフセットで	-144	dBc/Hz	
10mhzオフセットで	-148	dBc/Hz	
40 MHzオフセットで		dBc/Hz	

## クロック出力絶対時間ジッタ (内部VC0を使用したクロック生成)

表8。

パラメータ ; パラメータ	最小タイプ最大	ユニ ット	テスト条件/コメント
LVPECL出力絶対時間ジッタ	135	fs rms	参照ソースがクリーンである典型的なセットアップに基づくアプリケーション例のため、より広いPLLループ帯域幅が使用されます。参照=15.36mhz; R=1 集積 BW=200khz~10mhz 集積 BW=12khz~20mhz 集積 BW=200khz~10mhz 集積 BW=12khz~20mhz 集積 BW=200khz~10mhz 集積 BW=12khz~20mhz
VC0=1475mhz ; LVPECL=491.52mhz; PLL LBW=135 kHz	275	fs rms	
	145	fs rms	
	275	fs rms	
VC0=1475mhz ; LVPECL=122.88mhz; PLL LBW=135khz vco=	170	fs rms	
1475mhz; LVPECL=61.44mhz; PLL LBW=135 kHz	305	fs rms	

## クロック出力絶対時間ジッタ (内部VC0を使用したクロッククリーンアップ)

表9。

パラメータ ; パラメータ	最小タイプ最大	ユニ ット	テスト条件/コメント
LVPECL出力絶対時間ジッタ			参照ソースがジッターである典型的なセットアップに基づくアプリケーション例のため、より狭いPLLループ帯域幅が使用されます。参照=10.0mhz; R=20 積分BW=12 kHz~20 MHz 積分BW=12 kHz~20 MHz
VC0=1555mhz ; LVPECL=155.52mhz; PLL LBW=500hz	500	fs rms	
VC0=1475mhz ; LVPECL=122.88mhz; PLL LBW=500hz	400	fs rms	

## クロック出力絶対時間ジッタ (外部VCX0を使用したクロック生成)

表10。

パラメータ ; パラメータ	最小タイプ最大	ユニ ット	テスト条件/コメント
LVPECL出力絶対時間ジッタ			外部 245.76mhz vcxo(ToyoconTC0-2112)を使用した典型的なセットアップに基づくアプリケーション例。参照=15.36mhz; R=1 統合BW=200 kHz~5 MHz 積分BW=200 kHz~10 MHz 集積BW=12 kHz~20 MHz集積BW=200 kHz~5 MHz 積分BW=200 kHz~10 MHz 集積BW=12 kHz~20 MHz集積BW=200 kHz~5 MHz 積分BW=200khz~10mhz 積分 BW=12khz~20mhz
LVPECL=245.76mhz; PLL LBW=125hz	54	fs rms	
	77	fs rms	
	109	fs rms	
LVPECL=122.88mhz; PLL LBW=125hz	79	fs rms	
	114	fs rms	
	163	fs rms	
LVPECL=61.44mhz; PLL LBW=125hz	124	fs rms	
	176	fs rms	
	259	fs rms	

## クロック出力付加時間ジッタ (VCO分割器は使用されません)

表11。

パラメータ ; パラメータ	最小タイプ最大	ユニ ツ ト	テスト条件/コメント
LVPECL出力加算時間ジッタ CLK=622.08mhz; LVPECL=622.08mhz; 分割器=1 CLK=622.08mhz; LVPECL=155.52mhz; 分 割 器 =4 CLK= 1.6ghz; LVPECL=100mhz ; 分割器=16 CLK=500mhz; LVPECL=100mhz ; 分割器=5	40 80 215 245	fs rms fs rms fs rms fs rms	配布セクションのみ。PLLおよびVCOは含ま れません。クロック信号BW=12 kHz~20 MHz の立ち上がりエッジを使用します BW=12khz~20mhz ADCメソッドのSNRから算出され、DCCはADC メソッドのSNRから計算された偶数除算には 使用されません。 DCCオン
LVDS出力加算時間ジッタ CLK=1.6ghz; LVDS=800mhz ; 分割器=2 ; VCO分割器が 使用されていません CLK=1ghz ; LVDS=200mhz ; 分割器=5 CLK=1.6ghz; LVDS=100mhz ; 分割器=16	85 113 280	fs rms fs rms fs rms	配布セクションのみ。PLLおよびVCOは含ま れません。クロック信号BW=12 kHz~20 MHz の立ち上がりエッジを使用します BW=12khz~20mhz ADCメソッドのSNRから算出され、 DCCは偶数分割には使用されません
CMOS出力加算時間ジッタ CLK=1.6ghz; CMOS=100mhz ; 分割器=16	365	fs rms	配布セクションのみ。PLLおよびVCOは含ま れません。ADC法のSNRから算出されたクロ ック信号の立ち上がりエッジを使用し、 DCCは偶数分割に使用されません

## クロック出力付加時間ジッター (VCO分割器使用)

表12。

パラメータ ; パラメータ	最小タイプ最大	ユニ ツ ト	テスト条件/コメント
LVPECL出力加算時間ジッタ CLK=2.4ghz; VCO DIV=2; LVPECL=100mhz ; 分 割 器 = 12 ; デューティサイクル補正=オフ	210	fs rms	配布セクションのみ。PLLおよびVCOは含ま れません。ADCメソッドのSNRから計算され たクロック信号の立ち上がりエッジを使用 します
LVDS出力加算時間ジッタ CLK=2.4ghz; VCO DIV=2; LVDS=100mhz ; 分 割 器 =12 ; デューティサイクル補正=オフ	285	fs rms	配布セクションのみ。PLLおよびVCOは含ま れません。ADCメソッドのSNRから計算され たクロック信号の立ち上がりエッジを使用 します
CMOS出力加算時間ジッタ CLK=2.4ghz; VCO DIV=2; CMOS=100mhz ; 分 割 器 =12 ; デューティサイクル補正=オフ	350	fs rms	配布セクションのみ。PLLおよびVCOは含ま れません。ADCメソッドのSNRから計算され たクロック信号の立ち上がりエッジを使用 します



遅延ブロック加算時間ジッタ  
表13。

パラメータ ; パラメータ	最小タイプ最大	ユ ニ ッ ト	テスト条件/コメント
遅延ブロック加算時間ジッター1			増分付加ジッタ
100 MHz出力	0.54	ps rms	
遅延(1600μa、0x1C)細かい追加。000000b	0.60	ps rms	
遅延(1600μa、0x1C)細かいladj。101111b遅延	0.65	ps rms	
(800μa、0x1C)細かいladj。000000b	0.85	ps rms	
遅延(800μa、0x1C)細かいladj。101111b	0.79	ps rms	
遅延(800μa、0x4C)細かい追加。000000b	1.2	ps rms	
遅延(800μa、0x4C)細かいladj。101111b	1.2	ps rms	
遅延(400μa、0x4C)細かい追加。000000b	2.0	ps rms	
遅延(400μa、0x4C)細かいladj。101111b遅延	1.3	ps rms	
(200μa、0x1C)細かいladj。000000b	2.5	ps rms	
遅延(200μa、0x1C)細かいladj。101111b	1.9	ps rms	
遅延(200μa、0x4C)細かい追加。000000b	3.8	ps rms	
遅延(200μa、0x4C)細かいladj。101111b		ps rms	

この値は増分です。つまり、遅延なしにLVDSまたはCMOS出力のジッタに加えています。合計ジッタを推定するには、LVDSまたはCMOS出力ジッタを正方形のルートと(RSS)メソッドを使用してこの値に追加する必要があります。

シリアル制御ポート  
表14。

パラメータ ; パラメータ	分 ; タイ ; 最大 ; 分 ; ブ ; タイ ; 分    プ    タイ    最大	ユ ニ ッ ト	テスト条件/コメント
CS(入力) 入力論理1電圧 入力論理0電圧入力論理1電流 入力論理0電流入力容量	2.0    110    0.8 2       3	V. v μ a μ a pF ; pF	CSは内部30k    プルアップ抵抗を備えています
SCLK(入力) 入力論理1電圧 入力論理0電圧入力論理1電流 入力論理0電流入力容量	2.0    110    0.8 2       1	V. v μ a μ a pF ; pF	SCLKは内部30 k    プルダウン抵抗を備えています
SDIO(入力時)入力ロジック1電圧 入力論理0電圧入力論理1電流 入力論理0電流入力容量	2.0    10    0.8 20    2	V. VnA nA ; nA ; nA pF ; pF	
SDIO、SD0(出力)出力論理1電圧 出力論理0電圧	2.7                    0.4	V. V.	
タイミング ; タイミング クロックレート(SCLK、1/tSCLK)パルス幅が 高い、太ももパルス幅が低い、tLOW SDIO to SCLKセットアップ、tDS SCLK to SDIO Hold、tDH SCLKから有効なSDIOとSD0へ、tDV CSから SCLKへのセットアップとホールド、tS、tH CS最小パルス幅高、tPWH	16                    25 16 2 1.1  2                    8 3	MHzの ns ns ns ns ns ns ns	

PD、同期、およびリセットピン  
表15。

パラメータ ; パラメータ	分 ; 分 ; 分	タ ブ タ ブ	イ ; イ ; イ	最大 ; 最大 ; 最大	ユニット	テスト条件/コメント
入力特性  論理1電圧 論理0電圧 論理1電流 論理0電流容量	2.0	110 2	0.8 1		V. V. $\mu$ a $\mu$ a pF ; pF	これらのピンはそれぞれ30k の内部プルアップ抵抗を備えています。
タイミングパルス幅を低くリセットする	50				ns	
同期タイミングパルス幅が低い	1.5				高速 ; 高速 クロック サ イクル	高速クロックはCLK入力信号です

LD、ステータス、およびREFMONピン  
表16。

パラメータ ; パラメータ	最 小 値	タ ブ タ ブ	イ ; イ ; イ	最大 ; 最大 ; 最大	ユニット	テスト条件/コメント
出力特性  出力電圧高 (VOH) 出力電圧低 (VOL)	2.7			0.4	V. V.	デジタル出力 (CMOS) として選択された場合。これらのピンがCMOSデジタル出力ではない他のモードがあります。settable 54、レジスタ0x017、レジスタ0x01A、およびレジスタ0x01B
最大切り替え率		100			MHzの	Muxが任意の分割器またはカウンタ出力、またはPFDアップ/ダウンパルスに設定されている場合に適用されます。アナログロック検出モードでも適用されます。通常はデバッグモードのみです。これらのピンのいずれかが切り替えられているときにスパーが結合して出力する可能性があることに注意してください
アナログロック検出容量		3			pF ; pF	オンチップ容量 ; アナログロック検出リードバックのためのRC時定数を計算するために使用されます。プルアップ抵抗器を使用する
REF1、REF2、VCO周波数ステータスモニタ正常範囲 拡張範囲 (REF1およびREF2のみ)	1.02 8				MHzの kHz ; kHz	モニタが常に基準の存在を示す基準周波数の存在を示す周波数
LDピンコンパレータトリップポイントヒステリシス		1.6 260			VmV	

電力消費  
表17。

パラメータ ; パラメータ	最小タイプ	最大 ; 最大	ユニット	テスト条件/コメント
消費電力、チップの電源オンデフォルト	1.0	1.2	W ; W	時計はありません。プログラミングはありません。デフォルトのレジスタ値。外部抵抗で消費される電力は含まれません
完全な動作。229 MHzのCMOS出力	1.4	2.0	W ; W	PLLオン; 内部VCO=2750mhz; VCO分割器=2 ; すべてのチャンネルディバイダーがオンになります。 687.5mhzの4つのLVPECL出力。229 MHzで8個のCMOS出力 (10 pF負荷)。すべての細かい遅延、最大電流。外部抵抗で消費される電力は含まれません
完全な動作。200 MHzのLVDS出力	1.4	2.1	W ; W	PLLオン; 内部VCO=2800 MHz、VCO分割器=2。 すべてのチャンネルディバイダーがオンになります。700 MHzの4つのLVPECL出力。200 MHzの4つのI <sub>vd</sub> 出力。すべての細かい遅延、最大電流。外部抵抗で消費される電力は含まれません
PDの電源ダウン	75	185	mW ; mW	PDピンが低く引っ張られます。終端で消費される電力は含まれません
PDの電源ダウン、最大睡眠	31		mW ; mW	PDピンが低く引っ張られます。PLL電源ダウン、レジスタ 0x010[1:0]=01b; 電源ダウンを同期し、レジスタ 0x230 [2]=1b; 配布の参照
VCP供給	4	4.8	mW ; mW	電源ダウン、レジスタ 0x230[1]=1b PLL動作。典型的な閉ループ構成
パワーデルタ、個々の機能				機能が有効/無効になっている場合のパワーデルタ
VCO分割器	30		mW ; mW	VCO分割器がバイパスされた
リフィン(差動)	20		mW ; mW	差分参照へのすべての参照オフが有効になりました
REF1、REF2(シングルエンド)	4		mW ; mW	REF1またはREF2へのすべての参照が有効になります。差分参照が有効になっていません
VCO ; VCO	70		mW ; mW	CLK入力を選択されたVCOに選択されました
PLL	75		mW ; mW	PLLオフからPLLオン、通常の動作。参照が有効になっていません
チャンネル分割器	30		mW ; mW	分割器をバイパスして2で分割して32で分割します
LVPECLチャンネル(分割器+出力ドライバ)	160		mW ; mW	周波数に関係なく、1つのLVPECL出力にLVPECL出力がオンになりません。
LVPECLドライバー	90		mW ; mW	第2のLVPECL出力がオンになり、同じチャンネル
LVDSチャンネル(分割器+出力ドライバ)	120		mW ; mW	1つのI <sub>vd</sub> 出力オンにI <sub>vd</sub> 出力がオンになりません。出力周波数への依存性については、図8を参照してください
LVDSドライバ	50		mW ; mW	第2のI <sub>vd</sub> 出力がオンになり、同じチャンネル
CMOSチャンネル(分割器+出力ドライバ)	100		mW ; mW	静的; 1つのCMOS出力にCMOS出力がオンになりません。出力周波数に対する変動については図9を参照してください
CMOSドライバー (ペア2位)	0		mW ; mW	静的; 2番目のCMOS出力、同じペア、オン
CMOSドライバー (2ペア目の1番目)	30		mW ; mW	静的; 第1出力、第2ペア、オン
微細遅延ブロック	50		mW ; mW	遅延ブロックを有効にして遅延ブロックをオフにします。最大電流設定

## タイミング図

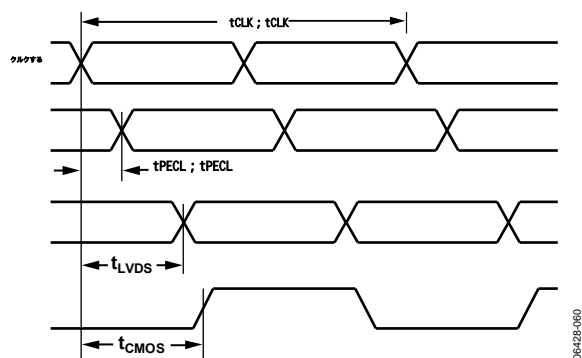


図2。CLK/CLKからクロックへの出力タイミング、DIV=1

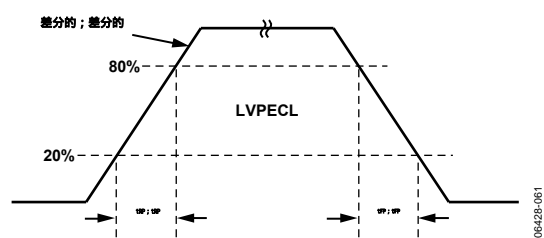


図3。LVPECL タイミング、差動

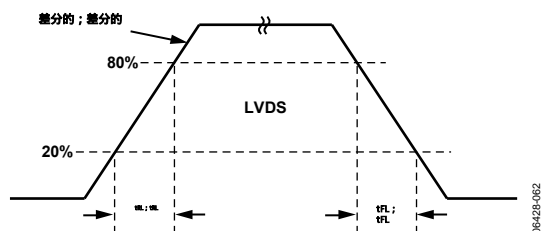


図4。LVDS タイミング、差動

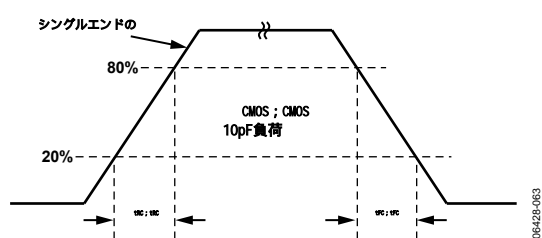


図5。CMOS タイミング、シングルエンド、10 pF 負荷

## 絶対最大評価

表18。

パラメータ; パラメータ	評価
VS, VS_LVPECL to GND	-0.3V~+3.6V
VCP to GND	-0.3V~+5.8V-0.3
REFIN, REFIN to GND	V~VS+0.3V-3.3V~
REFIN to RE-	+3.3V-0.3V~VS
FIN RSET to	+0.3V
GND CPRSET to	-0.3V~VS+0.3V
GND CLK, CLK	-0.3V~VS+0.3V
to GNDCLK to CLK	-1.2V~+1.2V-0.3
SCLK, SDIO, SDO, CS から GND へ	V~VS+0.3V
OUT0, OUT0, OUT1, OUT1, OUT2, OUT2,	-0.3V~VS+0.3V
OUT3, OUT3, OUT4, OUT4, OUT5, OUT6,	
OUT6, OUT7, OUT7 to GND と	
同期	-0.3V~VS+0.3V
REFMON, 状態, LD から GND	-0.3V~VS+0.3V
接合温度 <sup>1</sup>	150° C
保管温度範囲リード温度 (10秒)	-65° C~+150° C C 300° C

<sup>1</sup> jaのためのsettable 19。

絶対最大定格下にリストされているものを超えるストレスは、デバイスに永久的な損傷を引き起こす可能性があります。これはストレス評価のみです。この仕様の操作セクションに示されている以上のこれらまたはその他の条件でのデバイスの機能的動作は暗示されません。長期間にわたって絶対最大定格条件にさらされると、デバイスの信頼性に影響を与える可能性があります。

## 熱抵抗

表19。

パッケージタイプ <sup>1</sup>	Ja	ユニット
48リードLFCSP	24.7	°C/W

<sup>1</sup> EIA/JESD51-2に従って静止空気中の4層基板上で熱インピーダンス測定を行った。

## ESDの注意



**ESD (electrostatic discharge) sensitive device.**  
Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

図6. ピン構成

ピン番号。	入力/出力	ピン型	記憶のような	説明
1	0.	3.3 V CMOS	レフモン	参照モニタ(出力)。このピンには複数の選択可能な出力があります。settable 54、レジスタ0x01B。
2	0.	3.3 V CMOS	エルド	ロック検出(出力)。このピンには複数の選択可能な出力があります。settable 54、レジスタ0x01A。
3	1.	力	VCP ; VCP	チャージポンプ用電源(CP)。VS VCP 5.0vこのピンは通常3です。ほとんどのアプリケーションでは3 V。ただし、5 V外部VCX0を使用する場合、このピンは5 Vチャージポンプ(出力)でなければなりません。外部ループフィルタに接続します。
4	0.	3.3 V CMOS	CP ; CP	ステータス(出力)。このピンには複数の選択可能な出力があります。settable 54、レジスタ0x017。参照選択します。REF1(low)またはREF2(high)を選択します。このピンは内部30k のブルダウン抵抗を備えています。
5	0.	3.3 V CMOS	ステータス ;	手動同期と手動ホールドオーバー。このピンは手動同期を開始し、手動ホールドオーバーにも使用されます。アクティブな低さ。このピンは内部30k
6	0.	3.3 V CMOS	ステータス ;	のブルアップ抵抗を備えています。
7	1.	ループフィルタ	参照セル	ループフィルタ(入力)。内部的にVC0制御電圧ノードに接続します。このピンはグラウンドに対する内部容量が31 pFで、大きなループ帯域幅のループフィルタ設計に影響を与える可能性があります。
8	1.	ループフィルタ電力	同期する	このピンは、コンデンサでLDOをグラウンドにバイパスするためのものです。3.3 V電源ピン。
9	0.	差分的 ; 差分的	LF	CLKとともに、これはクロック分配部の自己バイアス差動入力です。内部VC0を使用すると、このピンは浮いたままにすることができます。
10, 24, 25, 30, 31, 36, 37, 43, 45	1.	クロック入力	バイパスVS	CLKとともに、これはクロック分配部の自己バイアス差動入力です。内部VC0を使用すると、このピンは浮いたままにすることができます。
11	1.	差分的 ; 差分的	クルクする	シリアル制御ポートデータクロック信号。
12	1.	クロック入力	クルクする	シリアル制御ポートチップセレクト ; アクティブな低さ。このピンは内部30k のブルアップ抵抗を備えています。
13	1.	3.3 V CMOS		
14	1.	3.3 V CMOS	SCLKCS	

ピン番号。	入力/出力	ピン型	記憶性のある	説明
15 16	0. I/O	3.3 V CMOS	SD0 ; SD0 SDI0 ; SDI0	シリアル制御ポート。一方向シリアルデータ出力。 シリアル制御ポート。双方向シリアルデータ入出力および一方向シリアルデータ入力。
17	1.	3.3 V CMOS	$\overline{\text{PD}}$ VS_LVPECL	
18	1.	3.3 V CMOS	OUT0 をリセット	チップリセット、アクティブロー。このピンは内部30k のプルアップ抵抗を備えています。
21, 40	I/O	3.3 V CMOS	アウト0	
42	0.	パワー	アウト1	チップの電源がダウンし、アクティブな状態が低くなります。このピンは内部30k のプルアップ抵抗を備えています。拡張電圧2.5vから3.3v lvpecl 電源ピン。
41	0.	LVPECL	アウト1	
39	0.	LVPECL	アウト2	LVPECL出力; 差動LVPECL出力の片側。
38	0.	LVPECL	アウト2	
19	0.	LVPECL	アウト3	LVPECL出力; 差動LVPECL出力の片側。
20	0.	LVPECL	アウト3	
22	0.	LVPECL	OUT4 ( OUT4A )	LVPECL出力; 差動LVPECL出力の片側。
23	0.	LVPECL	OUT4 (OUT4B)	
35	0.	LVDSまたはCMOS	OUT5 ( OUT5A )	LVPECL出力; 差動LVPECL出力の片側。
34	0.	LVDSまたはCMOS	OUT5 (OUT5B)	
33	0.	LVDSまたはCMOS	OUT6 ( OUT6A )	LVDS/CMOS出力; 差動LVDS出力またはシングルエンドCMOS出力の片側。
32	0.	LVDSまたはCMOS	OUT6 ( OUT6B )	
26	0.	LVDSまたはCMOS	OUT7 ( OUT7A )	LVDS/CMOS出力; 差動LVDS出力またはシングルエンドCMOS出力の片側。
27	0.	LVDSまたはCMOS	OUT7 (OUT7B)	
28	0.	LVDSまたはCMOS	RSET ; RSET	ここに接続された抵抗はCP電流範囲を設定します。名目値=5.1k 。
29	0.	LVDSまたはCMOS	CPRSET	
44	0.	LVDSまたはCMOS	REFIN ( REF2 )	これはREFINとともに、PLL参照のための自己バイアス差動入力です。あるいは、このピンはREF2のシングルエンド入力です。
46	1.	LVDSまたはCMOS	REFIN ( REF1 )	
47	1.	LVDSまたはCMOS	GND ; GN	これはREFINとともに、PLL参照のための自己バイアス差動入力です。あるいは、このピンはREF1のシングルエンド入力です。地面。適切に動作するには、パッケージの底部の外部パドルをグラウンドに接続する必要があります。
48	1.	LVDSまたはCMOS		
エパッド ; エパッド				

## 典型的な性能特性

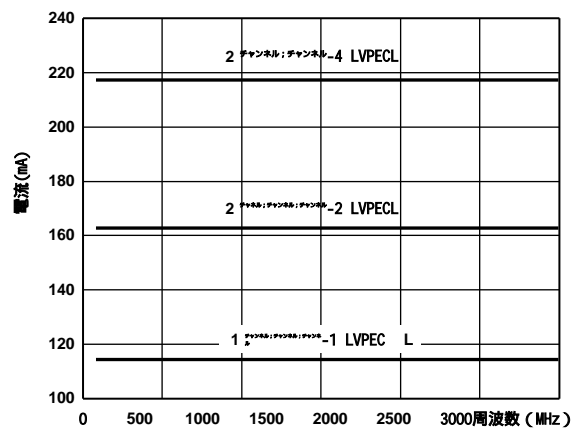


図7。電流対周波数、直接出力、LVPECL出力

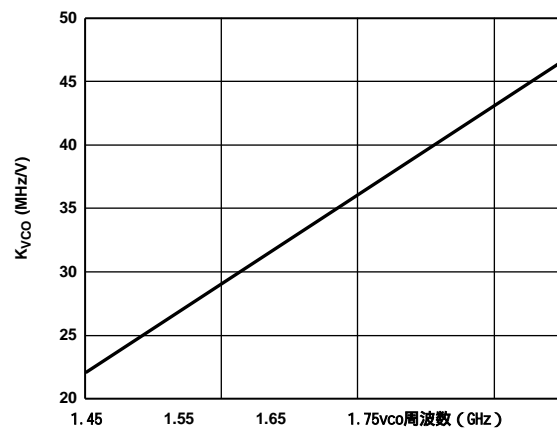


図10。VCO KVC0 vs周波数

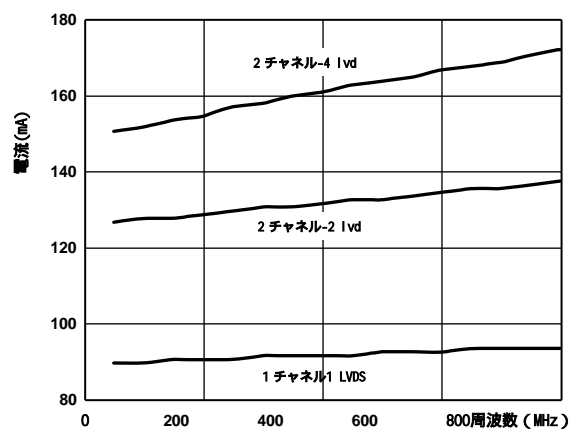
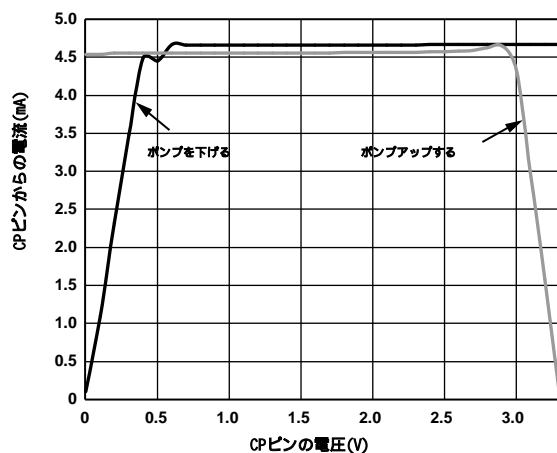
図8。電流と周波数のLVDS出力  
(クロック分配電流抽選を含む)

図11。VCP=3.3Vのチャージポンプ特性

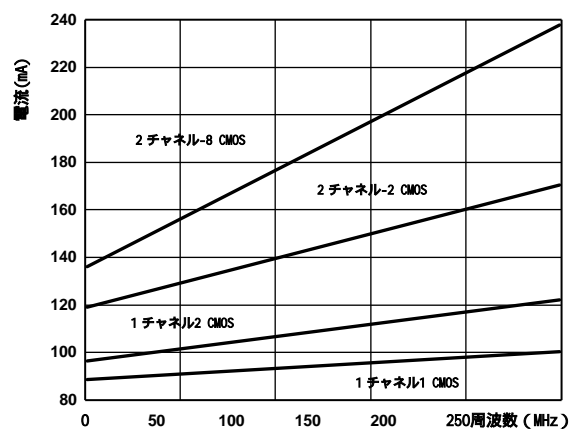


図9。電流と周波数のCMOS出力

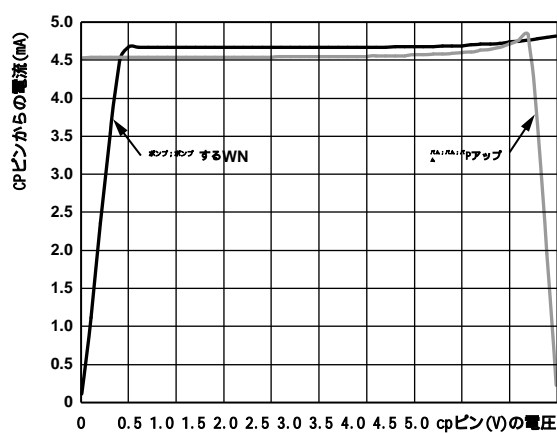


図12。VCP=5.0Vのチャージポンプ特性



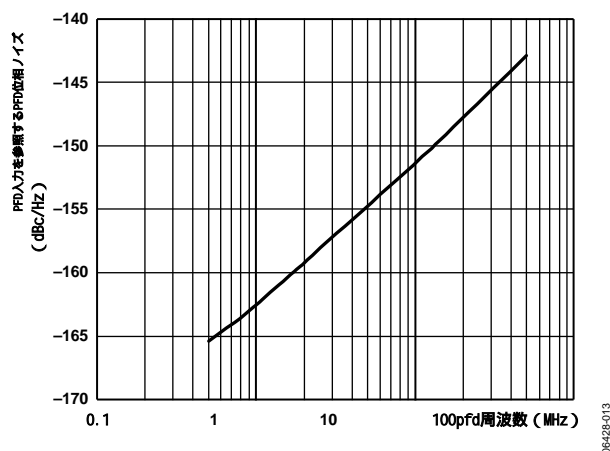


図13. PFD入力とPFD周波数を参照するPFD位相ノイズ

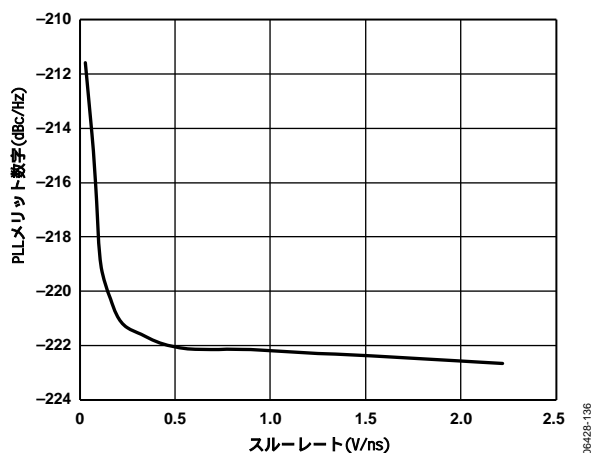


図14.  $REFIN/REFIN$ におけるメリット(FOM)とスループートのPLL数値

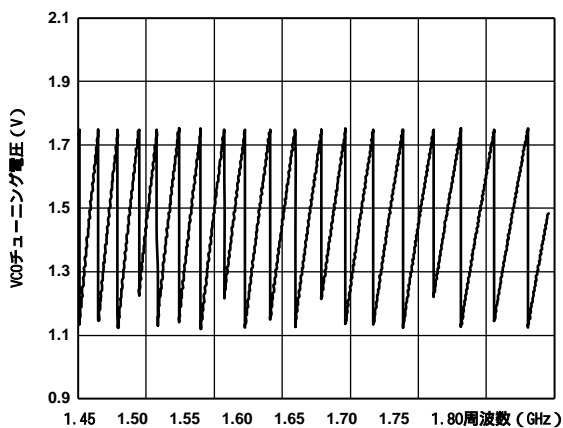


図15. VCOチューニング電圧と周波数(VCOキャリブレーションは、キャリブレーション中にアクティブなPLLセットアップのdcチューニング電圧を中心に行っていることに注意してください)。

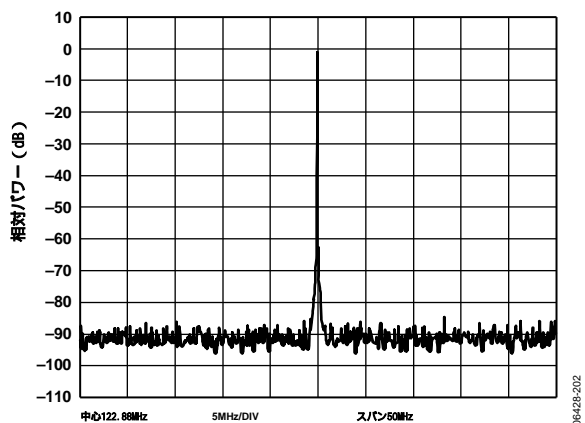


図16. PFD/CPスパー ; 122.88MHz ; PFD=15.36 MHz ; LBW=135kHz ; ICP=3 mA ; fVCO=1.475GHz

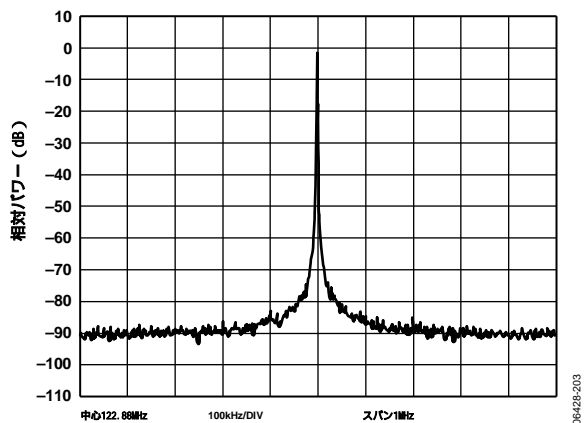


図17. 出力スペクトル、LVPECL ; 122.88MHz ; PFD=15.36 MHz ; LBW=135kHz ; ICP=3 mA ; fVCO=1.475GHz

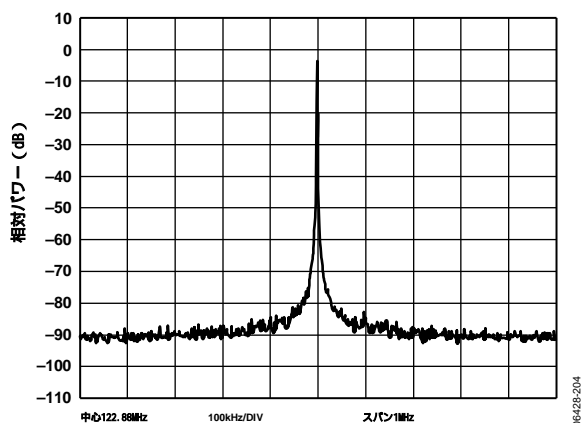


図18. 出力スペクトル、LVDS ; 122.88MHz ; PFD=15.36 MHz ; LBW=135kHz ; ICP=3 mA ; fVCO=1.475GHz

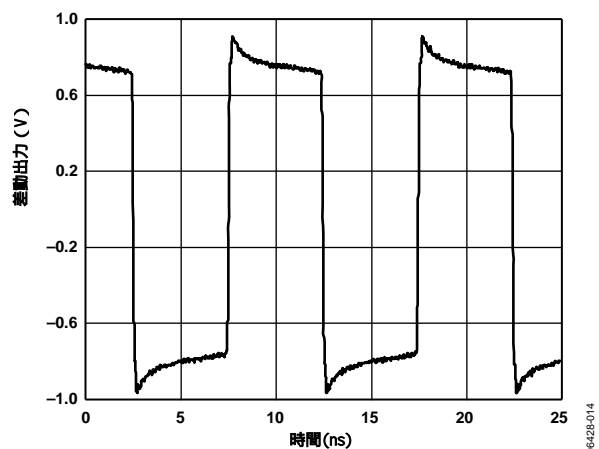


図19. 100 MHzでのLVPECL出力(差動)

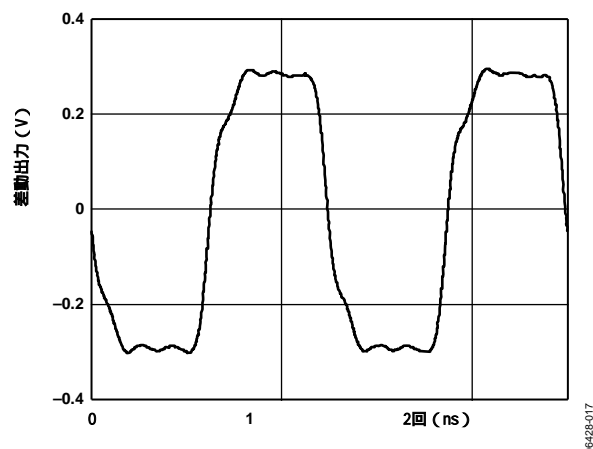


図22. 800 MHzのLVDS出力(差動)

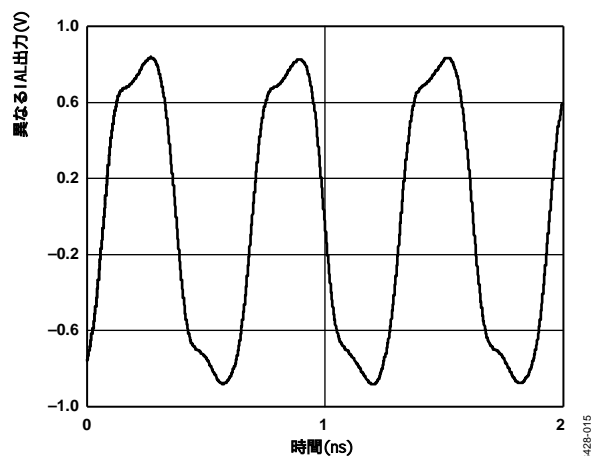


図20. 1600 MHzでのLVPECL出力(差動)

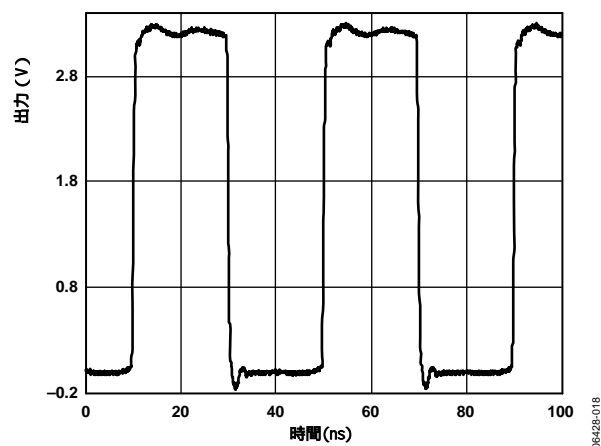


図23. 25 MHzでのCMOS出力

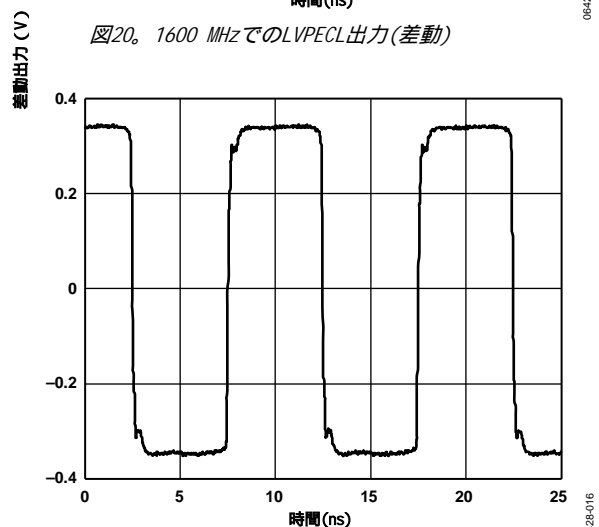


図21. 100 MHzでのLVDS出力(差動)

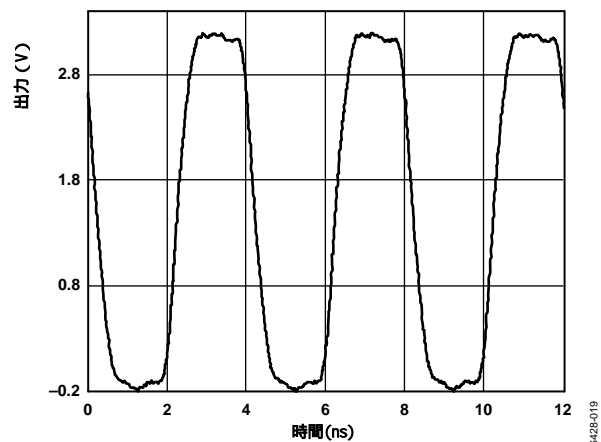
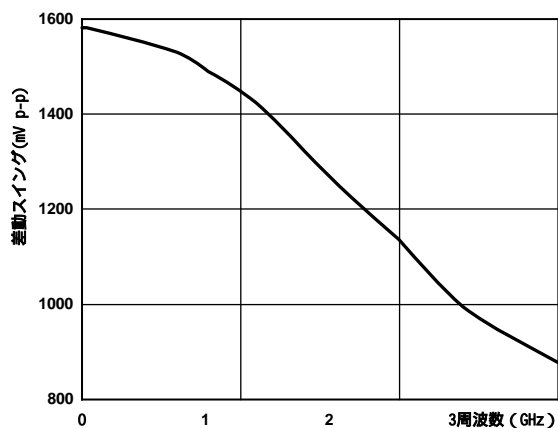
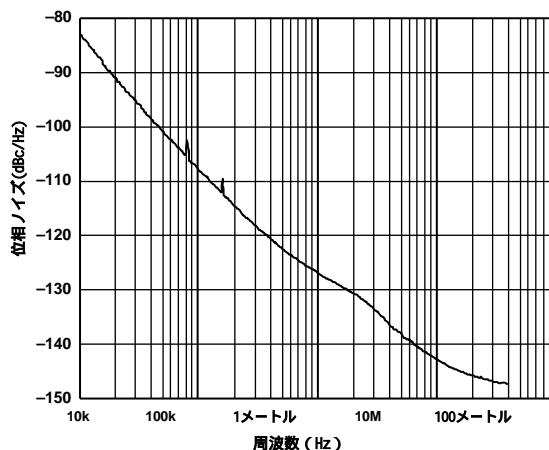


図24. 250 MHzでのCMOS出力



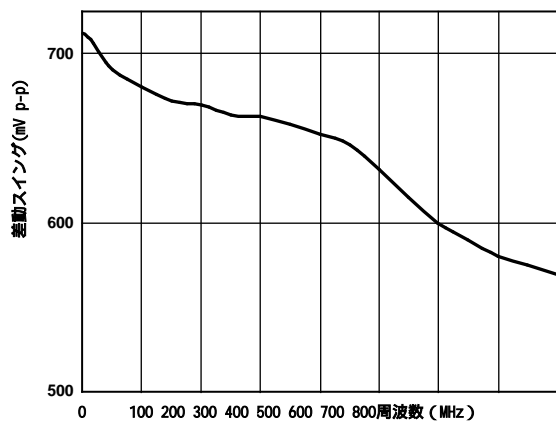
06428-020

図25。LVPECL差動スイング対周波数  
出力ペア間に差動プローブを使用する



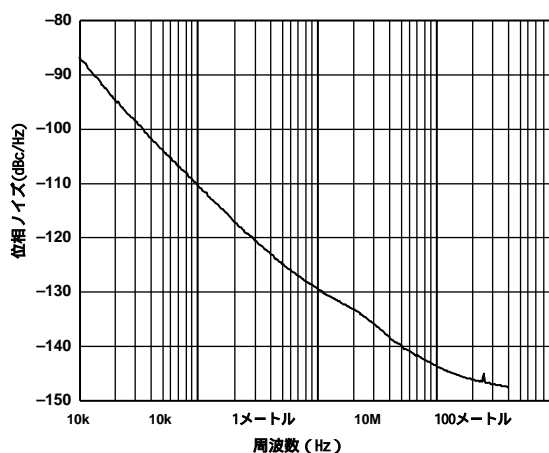
06428-205

図28。内部VCO位相ノイズ(絶対)1800 MHzでLVPECLに直接



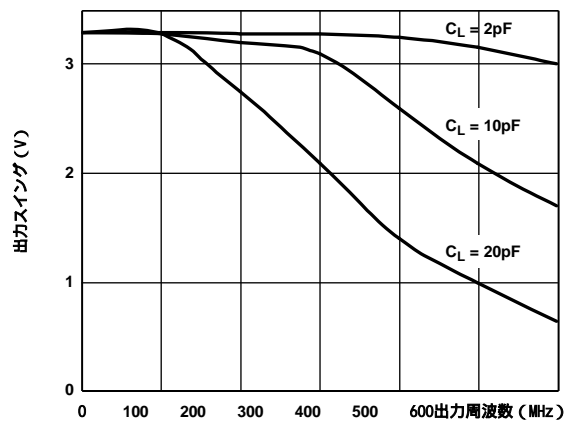
06428-021

図26。LVDS差動スイング対周波数  
出力ペア間に差動プローブを使用する



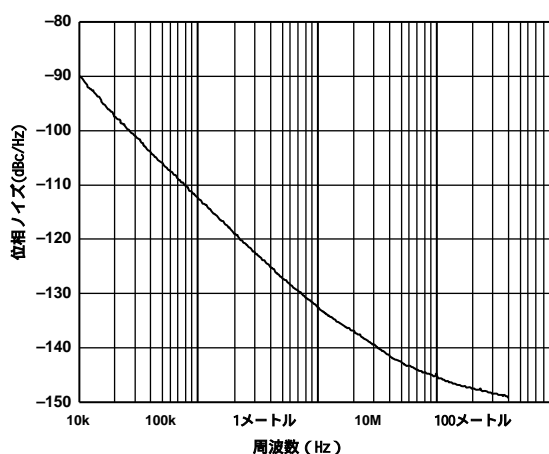
06428-206

図29。1625 MHzでLVPECLに直接的な内部VCO位相ノイズ(絶対)



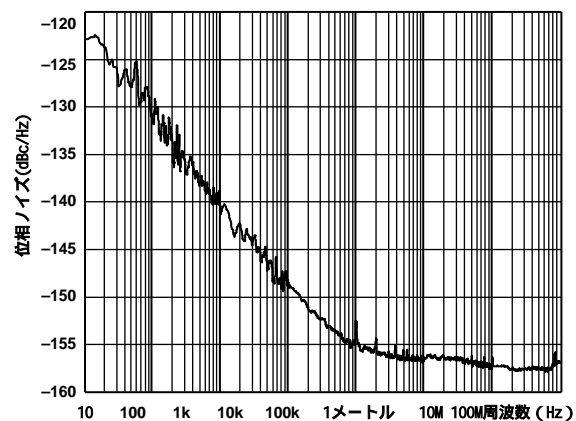
06428-133

図27。CMOS出力スイング対周波数および静電容量負荷



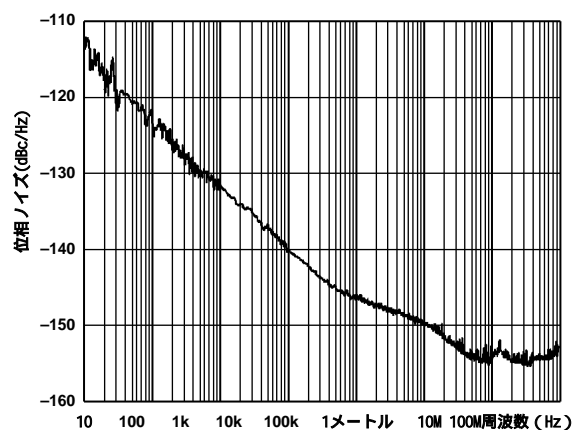
06428-207

図30。内部VCO位相ノイズ(絶対)1450 MHzでLVPECLに直接



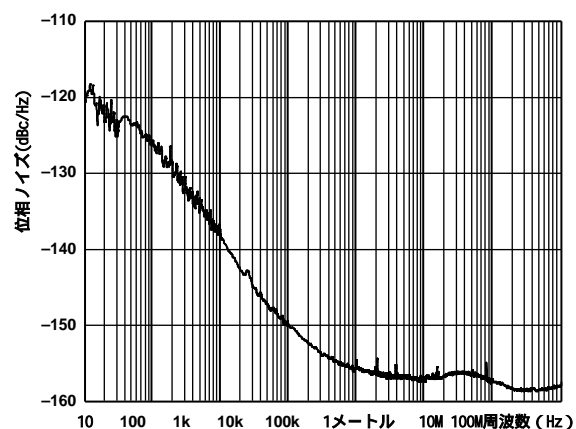
06428-026

図31。245.76MHzの位相ノイズ(添加剤)LVPECL、1で割る



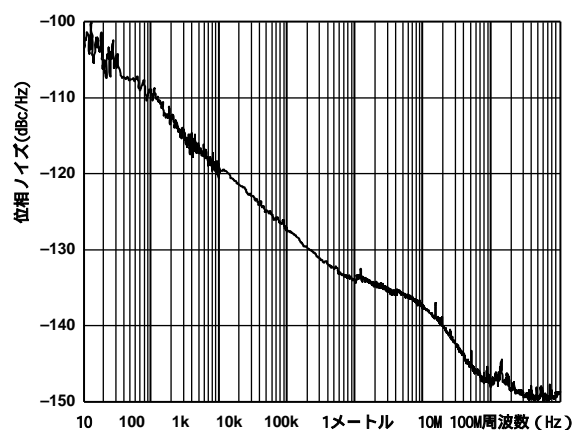
06428-142

図34。200 MHzの位相ノイズ(添加)Ivd、1で割る



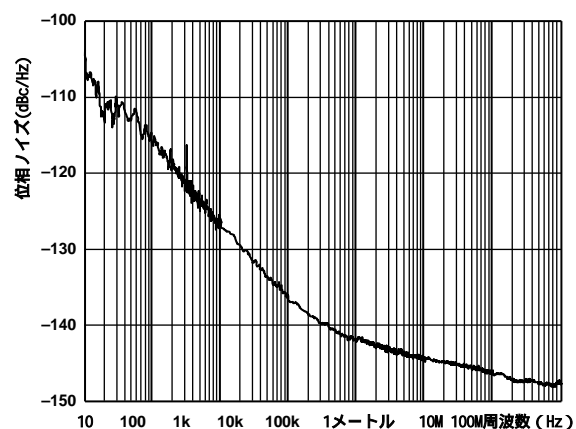
06428-027

図32。200 MHzの位相ノイズ(添加剤)LVPECL、5で割る



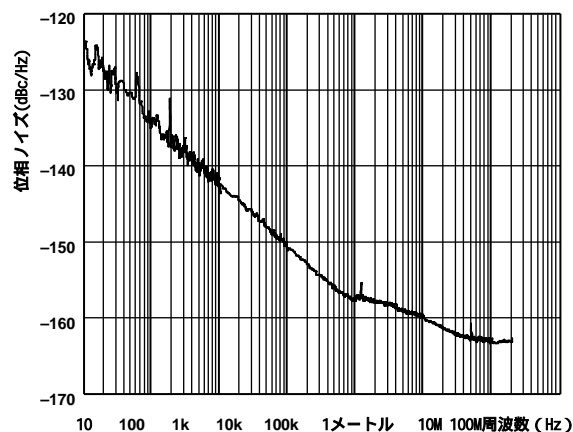
06428-130

図35。800 MHzの位相ノイズ(添加)Ivd、2で割る



06428-128

図33。1600 MHzの位相ノイズ(添加剤)LVPECL、1で割る



06428-131

図36。50 MHzの位相ノイズ(添加)CMOS、20で割る

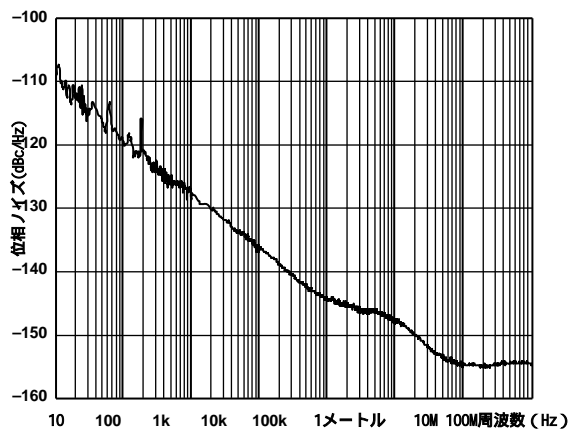


図37. 250 MHzの位相ノイズ(添加)CMOS、4で割る

06428-132

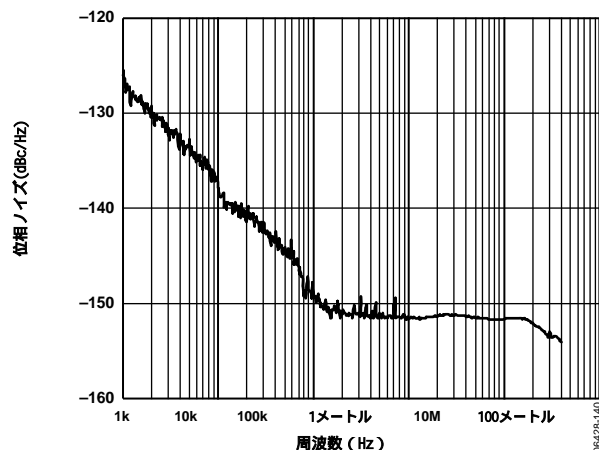


図40. 位相ノイズ(絶対)、外部VCXO(Toyocom TC0-2112)  
245.76mhz. PFD=15.36mhz ; LBW=250hz ; LVPECL出力=245.76mhz

06428-140

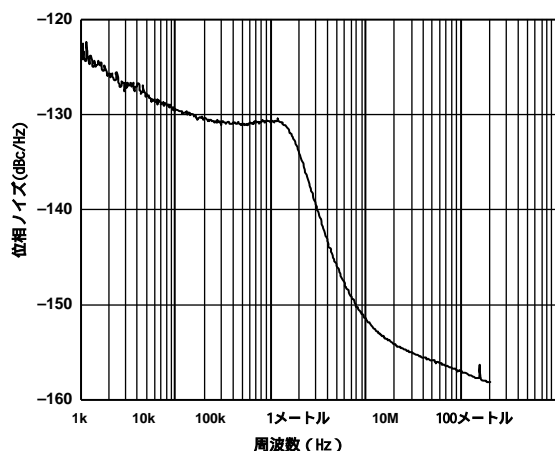


図38. 位相ノイズ(絶対)クロック生成。-の内部VC0  
1.475 GHz; PFD=15.36mhz ; LBW=135khz ; LVPECL出力=122.88mhz

06428-208

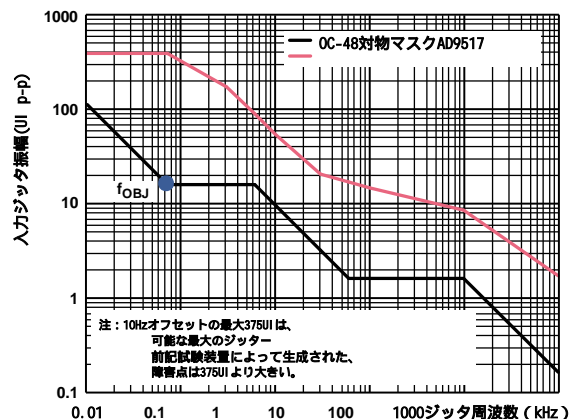


図41. GR-253ジッタ許容プロット

06427-148

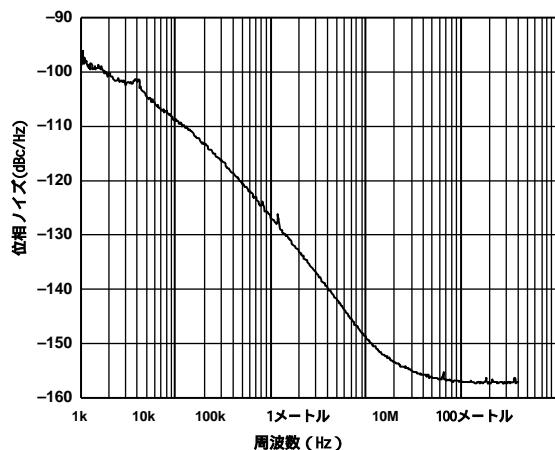


図39. 位相ノイズ(絶対)クロッククリーンアップ。1.556ghzの内部VC0。  
PFD=19.44mhz ; LBW=12.8khz ; LVPECL出力=155.52mhz

06428-209

## 用語；用語

### 位相ジッタと位相ノイズ

理想的な正弦波は、サイクルごとに $0^{\circ}$  から $360^{\circ}$  までの時間とともに位相が連続的かつ均一に進行すると考えられます。ただし、実際の信号は、時間の経過とともに理想的な位相の進行からある程度の変化を示します。この現象を位相ジッタと呼びます。多くの原因が位相ジッタに寄与する可能性があります。主な原因の1つはランダムノイズであり、統計的には分布がガウス(法線)であると特徴付けられます。

この位相ジッタにより、周波数領域における正弦波のエネルギーが広がり、連続的なパワースペクトルが生成される。このパワースペクトルは通常、正弦波(キャリア)からの周波数の所定のオフセットでの単位がdBc/Hzである一連の値として報告されます。前記値は、前記キャリア周波数における前記電力に対する1Hz帯域幅内に含まれる前記電力の比(dBで表される)である。測定ごとに、キャリア周波数からのオフセットも与えられます。

オフセット周波数のいくつかの間隔(たとえば、10 kHz から10 MHz)内に含まれる総電力を統合することは意味があります。これは、その周波数オフセット間隔にわたる積分位相ノイズと呼ばれ、そのオフセット周波数間隔内の位相ノイズによる時間ジッタと容易に関連することができます。位相ノイズは、ADCs、DACs、およびRFミキサの性能に悪影響を及ぼします。コンバータとミキサの実現可能なダイナミックレンジが低下しますが、影響は多少異なります。

### 時間ジッタ

位相ノイズは周波数領域現象です。時間領域においては、タイムジッタと同様の効果が発揮される。正弦波を観測すると、連続したゼロクロスの時間が変化する。正方形の波では、時間ジッタは、エッジの理想的な(規則的な)発生時間からの変位です。どちらの場合も、理想とのタイミングのばらつきはタイムジッタです。これらの変動は本質的にランダムであるため、時間ジッタは、ガウス分布の秒平均二乗根(rms)または1シグマ単位で指定されます。

DACまたはADCのサンプリングクロックで発生するタイムジッタは、コンバータの信号対ノイズ比(SNR)とダイナミックレンジを減少させます。可能な限り最低のジッタを持つサンプリングクロックは、特定のコンバータから最高のパフォーマンスを提供します。

### 付加位相ノイズ

加算位相ノイズとは、測定されているデバイスまたはサブシステムに起因する位相ノイズの量です。外部発振器またはクロックソースの位相ノイズが減算されます。これにより、各発振器およびクロックソースと組み合わせで使用すると、デバイスがシステム全体の位相ノイズにどの程度影響するかを予測することができ、それぞれが合計に独自の位相ノイズを寄与します。多くの場合、1つの素子の位相ノイズがシステムの位相ノイズを支配します。位相ノイズに複数の寄与者がある場合、合計は個々の寄与者の二乗和の平方根です。

### 付加時間ジッタ

加算時間ジッタは、測定されているデバイスまたはサブシステムに起因する時間ジッタの量です。外部発振器またはクロックソースの時間ジッタが減算されます。これにより、各発振器およびクロックソースと組み合わせで使用された場合、デバイスが合計システム時間ジッタにどの程度影響を与えるかを予測することができ、それぞれが合計に独自の時間ジッタを寄与します。多くの場合、外部発振器とクロックソースのタイムジッタがシステムタイムジッタを支配します。

## 詳細ブロック図

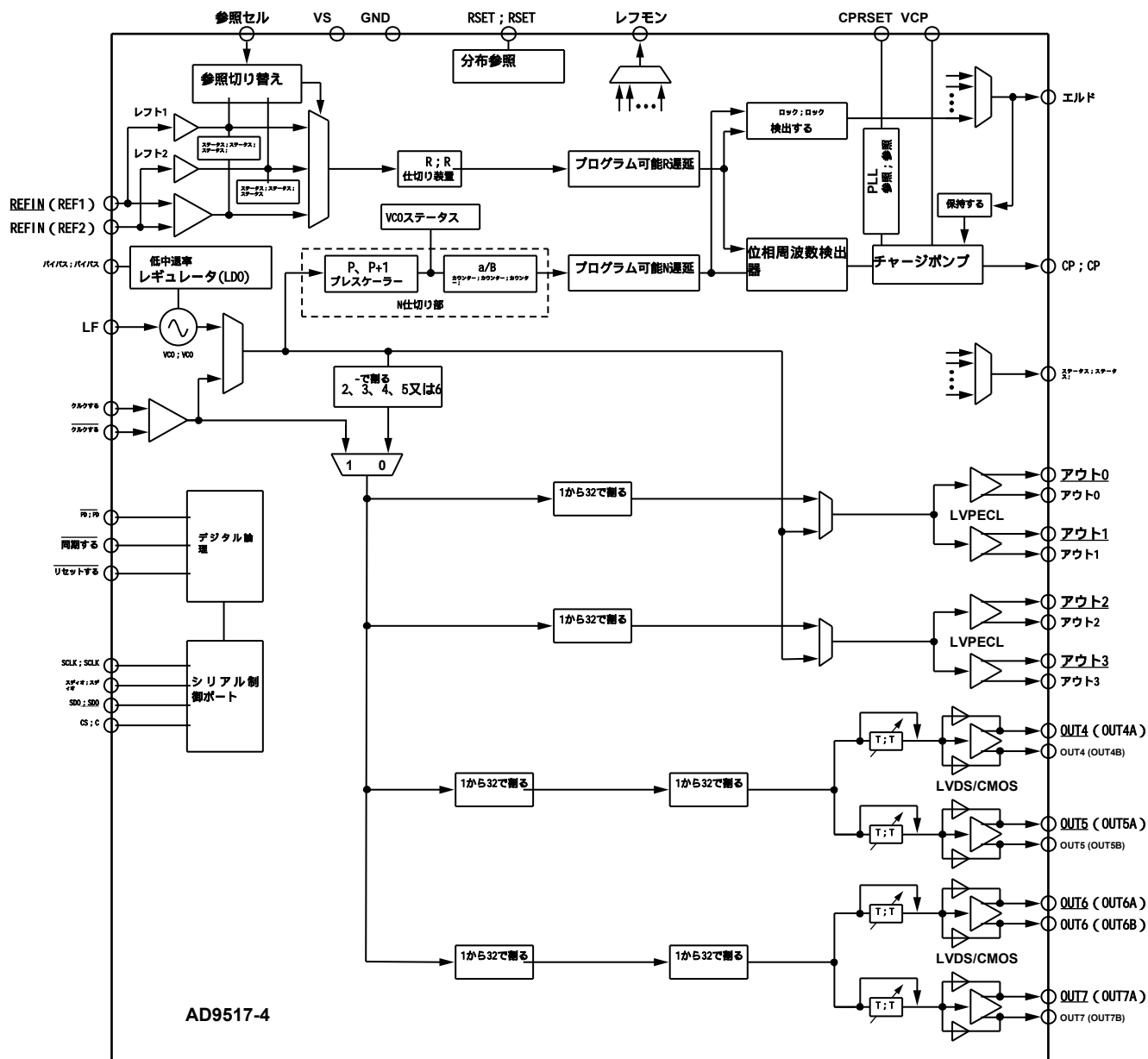


図42. 詳細ブロック図

06425-002

## 運用理論

### 運用構成

thead9517はいくつかの方法で構成できます。これらの構成は、制御レジスタ(settable 52 and table 53 through table 62)をロードして設定する必要があります。各セクションまたは機能は、対応する制御レジスタまたはレジスタに適切なビットを設定して個別にプログラムする必要があります。

#### 高周波クロック分布-CLKor外部VCO>1600 MHz

TheAD9517power-upデフォルト構成には、PLLがオフになり、入力のルーティングがセットされているため、

CLK/CLK入力はVCO分割器(divide-by-2/divide-by-3/divide-by-4/divide-by-5/divide-by-6)を介して配信部に接続されている。これは、最大2400 MHzまでの外部入力を可能にする配信専用モードです(表3)。前記チャネル分割器に適用可能な最大周波数は、1600mhzであり、したがって、チャネル分割器に到達する前に、より高い入力周波数を分割する必要があります。この入力ルーティングは、より低い入力周波数にも使用することができますが、最小分割はチャネル分割器の前に2です。

PLLが有効になっている場合、このルーティングはまた、2400 MHz未満の周波数を持つ外部VCOまたはVCXOとのPLLの使用を可能にします。この構成では、内部VCOは使用されず、電源がオフになる。外部VCO/VCXOはプリスケラに直接供給されます。

インタブル21に示されたレジスタ設定は、電源アップ時またはリセット操作後のこれらのレジスタのデフォルト値である。もし

レジスタの内容は、以前のプログラミングによって変更されます。

パワーアップまたはリセットすると、これらのレジスタを意図的にこれらの値に設定することもできます。

前記適切なレジスタ値がプログラムされた後、値が有効になるには、レジスタ0x232を0x01に設定する必要があります。

表21。一部のPLLレジスタのデフォルト設定

登録 ; 登録する ; 登録する	関数
0x010[1:0]=01b 0x1E0[2:0]=010b 0x1E1[0]=0b 0x1E1[1]=0b	PLL非同期電源ダウン (PLLオフ)。VCO分割器=4を設定します。 VCO分割器を使用してください。 CLKをソースとして選択しました。

内部PLLを外部VCOで使用する場合は、PLLをオンにする必要があります。

表22。外部VCOを使用するときの設定

登録 ; 登録する ; 登録する	関数
0x010[1:0]=00b 0x010-0x01D  0x1E1[1]=0b	PLL通常の動作(PLL on)。 PLL設定。参照入力を選択して有効にし、意図したループ構成に応じて、R、N(P、a、B)、PFD極性、およびICPを設定します。ソースとして選択されたCLK

外部VCOには、CPとVCOのチューニングピンとの間に接続されなければならない外部ループフィルタが必要です。このループフィルタは、PLLのループ帯域幅と安定性を決定します。使用しているVCOに適切なPFD極性を選択してください。

表23。PFD極性を設定する

登録 ; 登録する ; 登録する	関数
0x010[7]=0b 0x010[7]=1b	PFD極性が正(制御電圧が高いと周波数が高くなります)。 PFD極性負(制御電圧が高いと周波数が低くなります)。



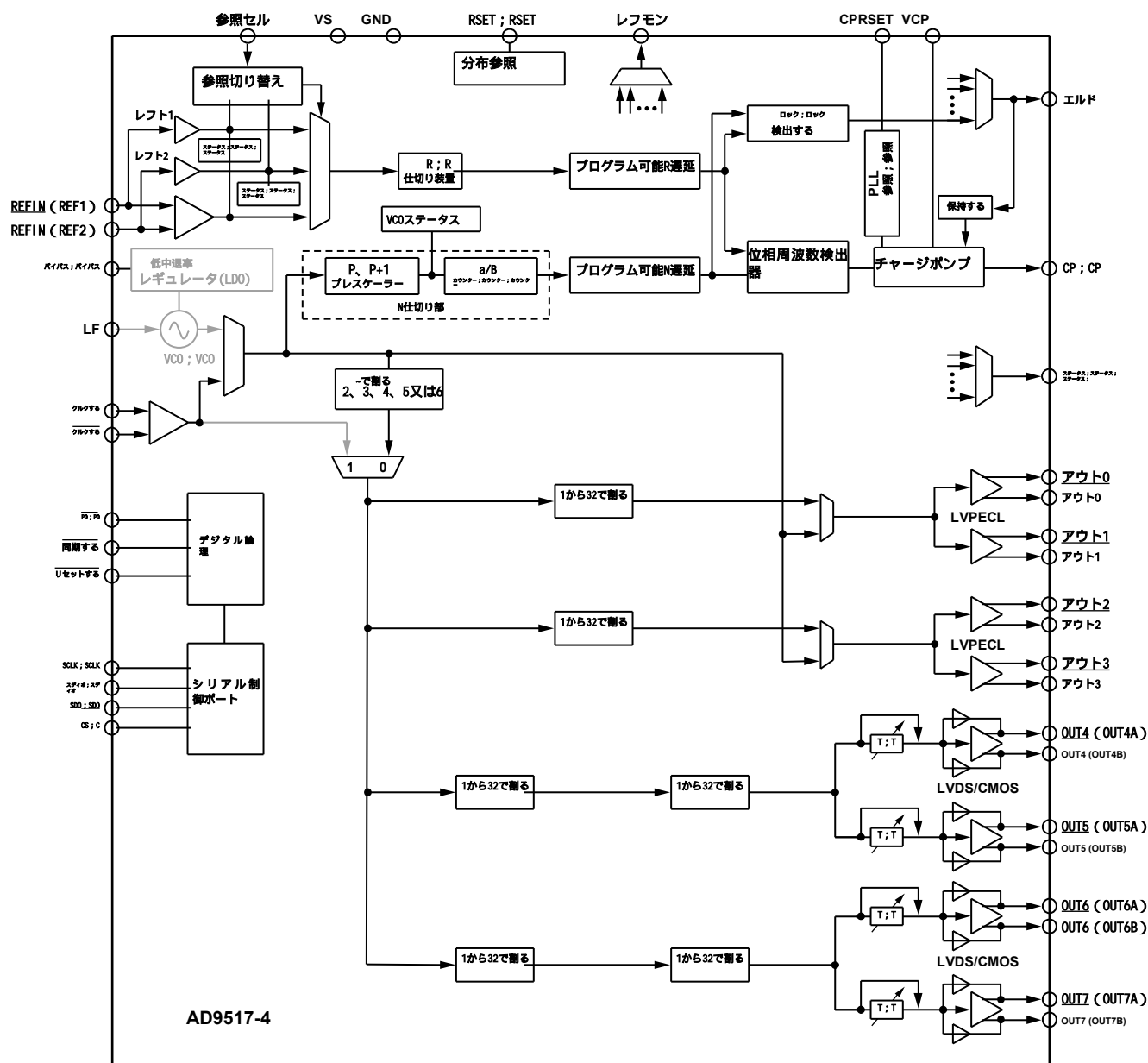


図43. 高周波クロック分布または外部VCO>1600 MHz

00423-029

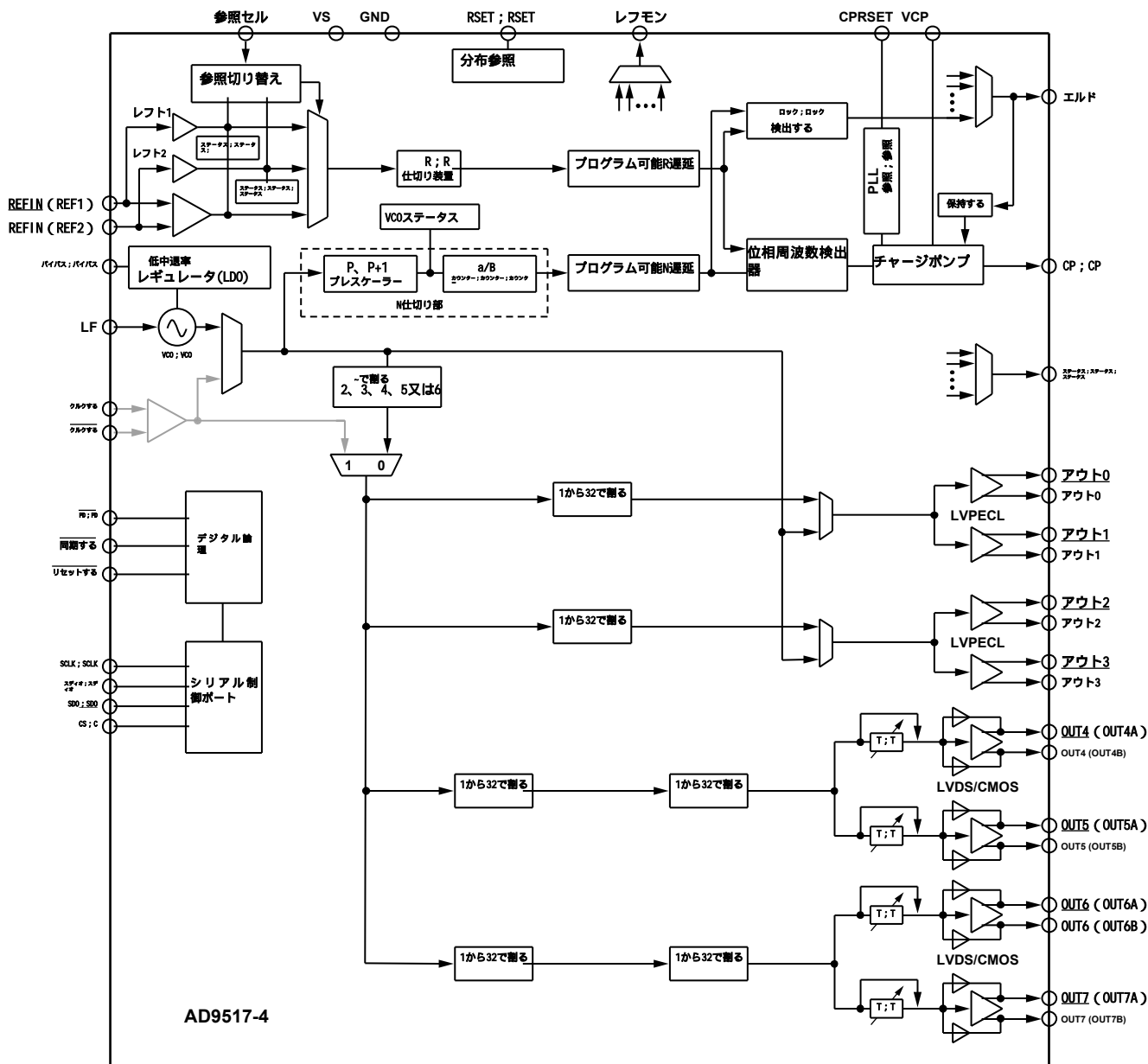


図44. 内部VCOおよびクロック分布

### 内部VCOおよびクロック分布

内部VCOとPLLを使用する場合、チャンネル分割器に提示される周波数が1600 MHzの指定された最大周波数を超えないことを確認するためにVCO分割器を使用する必要があります（表3）。前記内部PLLは、外部ループフィルタを用いて前記ループ帯域幅を設定する、外部ループフィルタもループの安定性に重要です。

内部VCOを使用する場合、最適なパフォーマンスを確保するためにVCO(レジスタ0x018[0])を校正する必要があります。内部VCOおよびクロック配布アプリケーションの場合は、inTable 24に表示されているレジスタ設定を使用します。

表24. 内部VCOを使用するときの設定

登録 : 変更する : 登録する	関数
0x010[1:0]=00b	PLL通常の動作(PLL on)。
0x010-0x01D	PLL設定。参照入力を選択して有効にし、意図したループ構成に応じてR、N(P、a、B)、PFD極性、およびICPを設定します。VCOキャリブレーションをリセットします。これは、電源投入後に初めて必要ではありませんが、その後実行する必要があります。
0x018[0]=0b、 0x232[0]=1b	
0x1E0[2:0]	VCO分割器を2で分割、3で分割、4で分割、5で分割、6で分割するように設定します。配信部のソースとしてVCO分割器を使用します。
0x1E1[0]=0b	ソースとしてVCOを選択します。
0x1E1[1]=1b 0 x018[0]=1b、 0x232[0]=1b	VCOキャリブレーションを開始します。

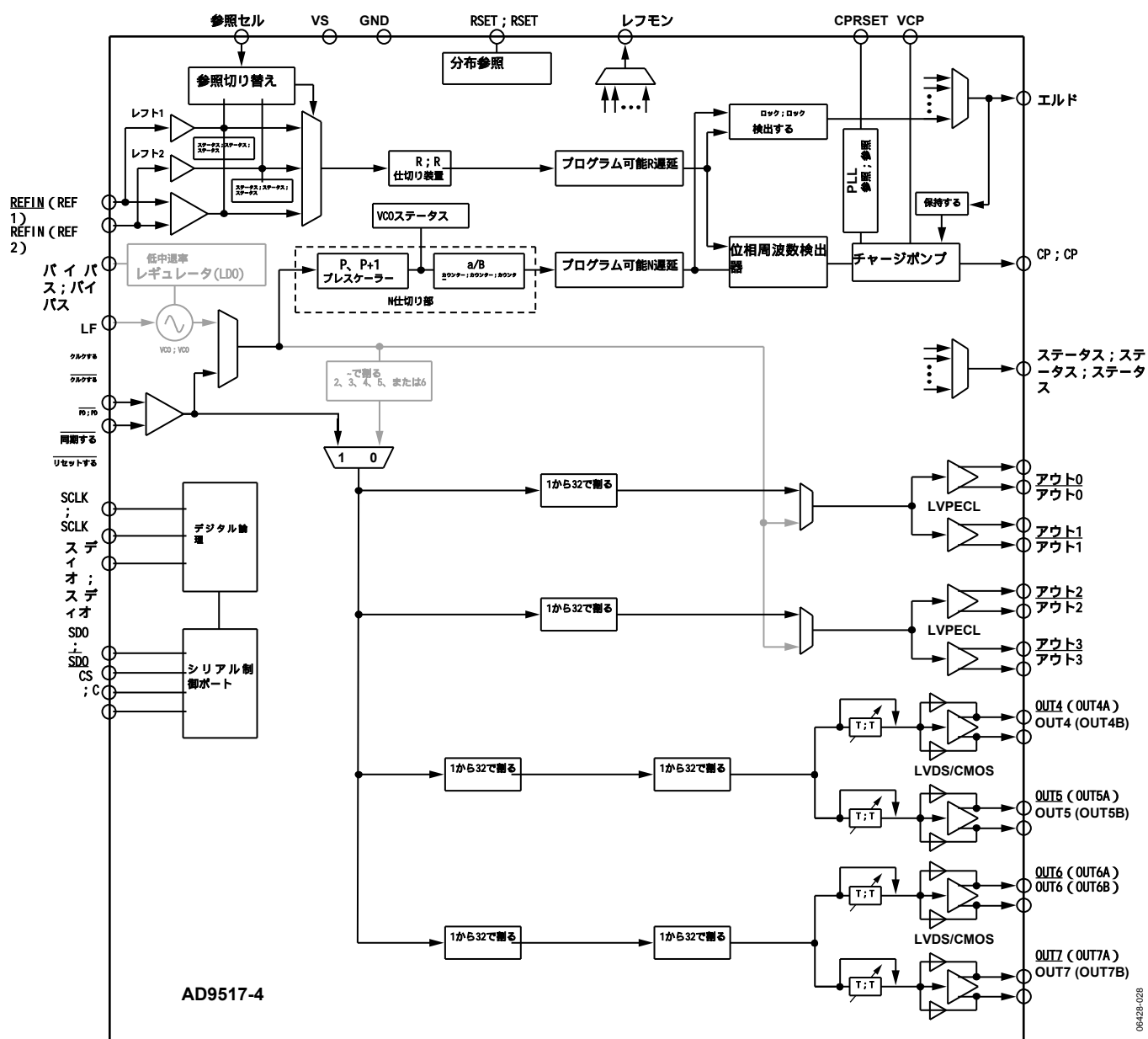


図45。クロック分布または外部VCO<1600 MHz

**クロック配布または外部VCO<1600 MHz**

配信する外部クロックソース又は外部VCO/VCX0が1600mhz未満の場合には、前記VCO分割器をバイパスする構成を用いることができる。この構成は、VCO分割器（2分分、3分分、4分分、5分分、6分分）がバイパスされる点でのみ、高周波クロック分布CLKまたは外部VCO>1600mhzsectionと異なる。これにより、クロックソースの周波数が1600 MHz未満に制限されます（チャンネル分割器で許可される最大入力周波数のため）。

**設定と登録設定**

外部クロックが1600 MHz未満のクロック配信アプリケーションの場合は、インタブル25に表示されているレジスタ設定を使用します。

**表25. クロック分布の設定<1600 MHz**

登録；登録する；登録する	関数
0x010[1:0]=01b 0x1E1[0]=1b	PLL非同期電源ダウン(PLLオフ)配電セクションのソースとしてVCO分割器をバイパス
0x1E1[1]=0b	ソースとして選択されたCLK

外部VCOが1600mhz未満の内部PLLを使用する場合は、PLLをオンにする必要があります。

**表26. 内部PLLと外部VCOを使用するための設定<1600 MHz**

登録；登録する；登録する	関数
0x1E1[0]=1b 0x010[1:0]=00b	配布部のソースとしてVCO分割器をバイパスする PLL通常の動作(PLL on)、レジスタ0x010の他の適切なPLL設定とともにレジスタ0x01D

外部VCO/VCX0には、CPとVCO/VCX0のチューニングピンとの間に接続されなければならない外部ループフィルタが必要です。このループフィルタは、PLLのループ帯域幅と安定性を決定します。使用しているVCO/VCX0に適切なPFD極性を選択してください。

**表27. PFD極性を設定する**

登録；登録する；登録する	関数
0x010[7]=0b	PFD極性正(制御電圧が高いと周波数が高くなります)
0x010[7]=1b	PFD極性負(制御電圧が高いと周波数が低くなります)

前記適切なレジスタ値がプログラムされた後、値が有効になるには、レジスタ0x232を0x01に設定する必要があります。

## 位相ロックループ(PLL)

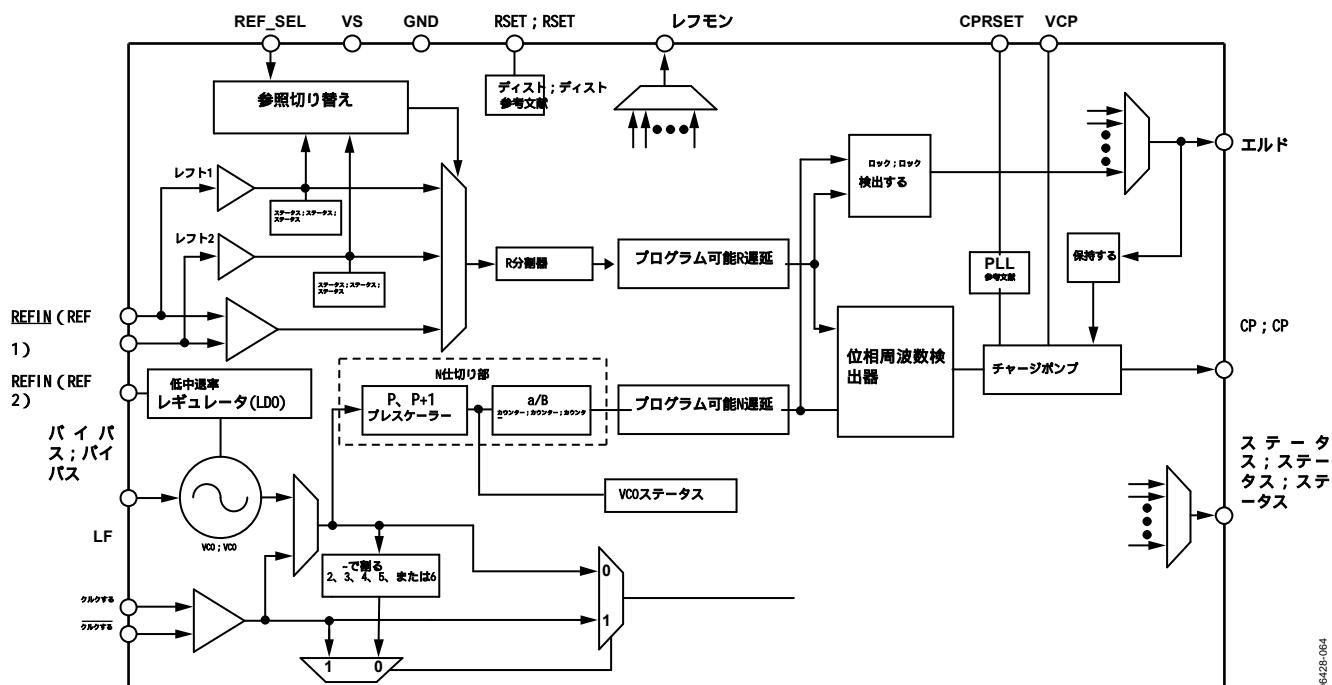


図46. PLL機能ブロック

thead9517は、オンチップVCOを備えたオンチップPLLを含む。PLLブロックは、完全な位相ロックループを作成するためにオンチップVCOで使用することも、外部VCOまたはVCX0で使用することもできます。PLLには外部ループフィルタが必要で、通常は少数のコンデンサと抵抗で構成されています。ループフィルタの構成と構成は、動作するPLLのループ帯域幅と安定性を確立するのに役立ちます。TheAD9517PLLは、供給された基準周波数からクロック周波数を生成するのに有用である。これには、その後の分割および分配のための基準周波数をはるかに高い周波数に変換することが含まれます。さらに、PLLを利用して、ノイズの多い参照上のジッタと位相ノイズをクリーンアップすることができます。PLLパラメータとループダイナミクスの正確な選択は、非常にアプリケーション固有です。thead9517pllの柔軟性と深さにより、部品をさまざまなアプリケーションや信号環境で機能するように調整できます。

**thePLLの構成**

thead9517は、さまざまな参照周波数、PFD比較周波数、VCO周波数、内部または外部VCO/VCX0、およびループダイナミクスを収容するPLLの柔軟な構成を可能にします。これは、R分割器、N分割器、PFD極性(外部VCO/VCX0にのみ適用されます)、アンチバックラッシュパルス幅、チャージポンプ電流、内部VCOまたは外部VCO/VCX0の選択を含むさまざまな設定によって達成されます。、ループ帯域幅。

これらは、プログラム可能なレジスタ設定(表52および表54)および外部ループフィルタの設計によって管理されます。成功したPLL動作と満足のいくPLLループパフォーマンスは、PLL設定の適切な構成に大きく依存します。外部ループフィルタの設計は、PLLの適切な動作に不可欠です。PLL理論と設計の徹底的な知識が役立ちます。

ADIsimCLK™(V1.2以降)は、PLLループフィルタの設計を含むthead9517の機能と機能の設計と探索に役立つ無料プログラムです。[www.analog.com/clocks](http://www.analog.com/clocks)で入手できます。

**位相周波数検出器 (PFD)**

PFDはRカウンタとNカウンタからの入力を受け取り、それらの位相と周波数の差に比例した出力を生成します。前記PFDは、前記アンチバックラッシュパルスの幅を制御するプログラム可能な遅延素子を備える、このパルスは、PFD伝達関数にデッドゾーンがないことを保証し、位相ノイズと参照スパークを最小限に抑えます。前記アンチバックラッシュパルス幅は、レジスタ0x017[1:0]によって設定されます。覚えておくべき重要な制限は、PFDに許可される最大周波数であり、これにより正しいアンチバックラッシュパルス設定が決定されます。前記アンチバックラッシュパルス設定は、位相周波数検出器パラメータofTable 2に指定されている、

### チャージポンプ (CP)

前記充電ポンプは、前記PFDによって制御される、PFDは、2つの入力間の位相と周波数の関係を監視し、積分ノード(ループフィルタの一部)を充電または放電するためにポンプアップまたはポンプダウンするようCPに指示します。集積フィルタリングされたCP電流は、LFピン(または外部VCOのチューニングピン)を介して内部VCOのチューニングノードを駆動して、VCO周波数を上下に移動させる電圧に変換されます。CPは、高インピーダンス(ホールドオーバー操作を可能にします)、通常の操作(PLLループのロックを試みます)、ポンプアップ、またはポンプダウン(テストモード)のために(レジスタ0x010[6:4])を設定できます。CP電流は(名目上)600  $\mu$ Aから4.8 mAまでの8段階でプログラム可能です。CP電流LSBの正確な値は、CPRSET抵抗によって設定され、公称5.1kです。CP\_RSETピンに接続された抵抗の値を2倍にすると、得られるチャージポンプ電流範囲は300  $\mu$ A to 2.4 mAになります。

### オンチップVCO

thead9517には、インタブル2に示されている周波数範囲をカバーするオンチップVCOが含まれています。前記キャリブレーション手順は、前記VCO動作電圧が前記所望のVCO周波数に対して中心になることを確保する、VCOループが最初にセットアップされたとき、および公称VCO周波数が変化するときはいつでも、VCOを校正する必要があります。ただし、VCOが校正されると、VCOは追加の校正を必要とせずに温度と電圧の極端な範囲でロックされたままにするのに十分な動作範囲を持っています。詳細については、VCOキャリブレーションセクションを参照してください。

オンチップVCOは、オンチップの低ドロップアウト(LDO)のリニア電圧レギュレータによって動力を供給されます。前記LDOは、前記電源電圧レベルの変動から前記VCOをある程度分離することを特徴とする、安定性を確保するために、バイパスピンを220nFコンデンサでグランドに接続する必要があります。このLDOは、アナログデバイス株式会社のanyCAP®レギュレータシリーズで使用されているのと同じ技術を採用しており、使用するコンデンサの種類に敏感ではありません。前記バイパスピンから外部負荷を駆動することはサポートされていません。参照入力信号が存在し、VCOキャリブレーション中にVCO分割器が静的になってはならないことに注意してください。

### PLL外部ループフィルタ

内部VCOを使用する場合は、最適なノイズとスプリアスパフォーマンスのために、外部ループフィルタをバイパスピンに参照する必要があります。図47は、内部VCOを用いたPLLの外部ループフィルタの一例を示す。表示された3次設計は、通常、最高の性能を提供します。所望のPLL構成ごとにループフィルタを計算する必要があります。前記成分の値は、前記VCO周波数、前記K<sub>VCO</sub>、前記PFD周波数、前記CP電流、前記所望ループ帯域幅および前記所望位相マージンに依存する、前記ループフィルタは、位相ノイズ、ループセッティング時間、およびループ安定性に影響を与えます。PLL理論の基本的な知識は、ループフィルタ設計を理解するのに役立ちます。ADIsimCLKは、アプリケーションの要件に応じてループフィルタの計算を

外部VCOを使用する場合、外部ループフィルタはグランドを参照する必要があります。外部VCOを用いたPLLの外部ループフィルタの例を参照してください。

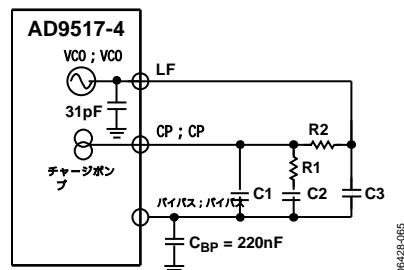


図47. 内部VCOを用いたPLLの外部ループフィルタの例

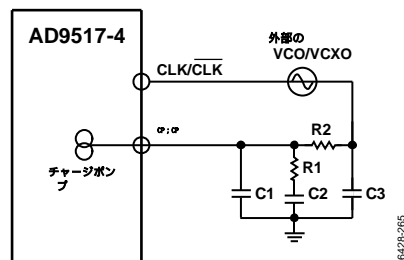


図48. 外部VCOを用いたPLLの外部ループフィルタの例

### PLL参照入力

thead9517は、完全差動入力または2つの独立したシングルエンド入力を可能にする柔軟なPLL参照入力回路を備えています。前記参照入力の入力周波数範囲は、インタブル2で指定されている、差動入力とシングルエンド入力の両方が自己バイアスされているため、入力信号の交流結合が容易になります。差動入力とシングルエンド入力は、REFINとREFINの2つのピン(それぞれREF1とREF2)を共有します。所望の参照入力タイプは、レジスタ0x01Cによって選択され、制御されます(表52および表54)。

差動参照入力を選択すると、両側のセルフバイアスレベルがわずかにオフセットされます(~100 mV, settable 2)。参照が遅いか欠落しているときに入力バッファのチャタリングを防ぎます。これにより、ドライバに要求される電圧スイングが増加し、オフセットを克服することができます。前記差動参照入力は、ac結合されたLVDSまたはac結合されたLVPECL信号のいずれかによって駆動され得る

前記シングルエンド入力は、直流結合されたCMOSレベル信号または交流結合された正弦波または正方形波のいずれかによって駆動され得る。各シングルエンド入力は、アイソレーションを増やして電力を減らす必要がない場合に独立して電源を切ることができます。差分またはシングルエンド参照のいずれかを具体的に有効にする必要があります。すべてのPLL参照入力はデフォルトでオフになっています。前記差分参照入力は、前記PLLがパワーダウンされるたびに、または前記差分参照入力を選択されていない場合にパワーダウンされる、シングルエンドバッファは、PLLの電源ダウン時、および個々の電源ダウンレジスタが設定されているときに電源ダウンします。差動モードが選択されると、シングルエンド入力の電源が切れます。

支援します。

差動モードでは、コンデンサを介してac結合できるように、基準入力ピンが内部に自己バイアスされています。これらの入力に直流カップルすることが可能です。差動リフィンがシングルエンド信号によって駆動される場合、未使用側（リフィン）を適切なコンデンサを介して静かなグランドにデカップリングする必要があります。図49はREFINの等価回路を示しています。

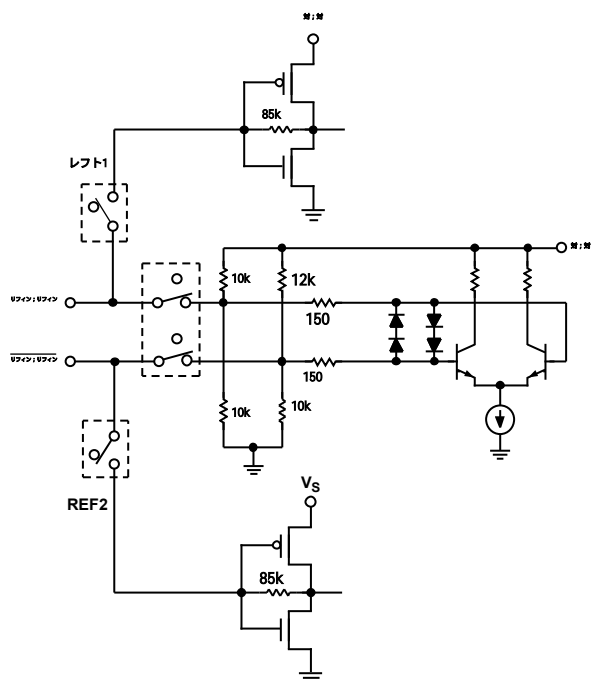


図49. リフィン等価回路

### 参照切り替え

thead9517は、デュアルシングルエンドCMOS入力と、単一の差動参照入力をサポートします。デュアルシングルエンドリファレンスモードでは、thead9517はREF1(pin refin on)とREF2(pin refin on)の間の自動および手動のPLLリファレンスクロック切り替えをサポートしています。この機能は、冗長参照のスムーズな切り替えを必要とするネットワークやその他のアプリケーションをサポートします。自動ホールドオーバー機能と組み合わせて使用すると、thead9517は最悪の場合の参照入力切り替えを実現し、出力周波数の乱れが10ppmと低くなります。

リファレンススイッチオーバーを使用する場合、シングルエンドリファレンス入力はdc結合CMOSレベルであり、高インピーダンスになることは決して許可されません。これらの入力が高いインピーダンスに行くことが許可されている場合、ノイズがバッファをチャタさせる可能性があり、参照の存在を誤って検出する可能性があります。

参照切り替えは、手動または自動で実行できます。手動切り替えは、レジスタ0x01Cを介して、またはREF\_SELピンを使用して行われます。手動切り替えには、切り替えられている参照入力上のクロックの存在、またはデグリッチ機能を無効にすることが必要です（レジスタ0x01C[7]）。この条件が満たされておらず、前記PLLが再取得しない場合、前記参照切替論理は失敗します。

自動リバーティプスイッチオーバーは、REFMONピンに依存して、REF1が消えるときを示します。レジスタ0x01B=0xF7とレジスタ0x01C=0x26をプログラミングすることにより、REF1が無効である場合にREFMONピンが高になるようにプログラミングされ、REF2に切り替えることが命令されます。REF1が再び有効になると、REFMONピンが低くなり、部品は再びREF1にロックされます。この機能にステータスピンを使用することも可能であり、REF2を好ましい参照として使用することができます。

スイッチオーバーデグリッチ機能は、PLLが新たに選択された参照と遠く離れている立ち上がりエッジを受信しないことを保証します。

自動非リバーティプスイッチングはサポートされていません。

### 基準分割器R

参照入力は参照分割器にルーティングされ、R(14ビットカウンタ)は、レジスタ0x011とレジスタ0x012に書き込むことによって0から16383の任意の値に設定できます。(R=0とR=1の両方がdivide-by-1を与えます。)R分割器の出力は、N分割器で分割されたVCO周波数と比較するPFD入力のいずれかに行きます。PFDに適用される周波数は、アンチバックラッシュパルス設定に依存する最大許容周波数を超えてはなりません(settable 2)。Rカウンタには独自のリセットがあります。Rカウンタは、R、a、およびBカウンタの共有リセットビットを使用してリセットできます。それもあり得る

同期操作によりリセットします。

### VCO/VCOフィードバック分割器n-p, a, B, R

前記N分割器は、プレスケアラ(P)と、2つのカウンタaおよびBとの組み合わせである。合計分割値は、

$$N = (P \times B) + A$$

ここで、Pの値は、2、4、8、16、または32であってもよい。

### プレスケアラ

thead9517のプリスケアラは、1、2、または3の固定分割(FD)モードと、プリスケアラがPと(p 1)で分割されるデュアルモジュラス(DM)モードの2つの動作モードを可能にします{2および3、4および5、8および9、16および17、または32および33}。プリスケアラ動作モードにはインタブル54、レジスタ0x016[2:0]が与えられます。すべてのモードがすべての周波数で利用可能であるわけではありません(表2)。

デュアルモジュラスモード(P//p 1)でthead9517を動作させる場合、入力基準周波数とVCO出力周波数を関連付けるために使用される方程式は、

$$f_{VCO} = (f_{REF}/R) \times (P \times B + a) = f_{REF} \times N/R$$

ただし、1、2、または3のFDモードでプリスケアラを動作させる場合、aカウンタは使用されず(a=0)、式は次のように単純化されます。

$$f_{VCO} = (f_{REF}/R) \times (P \times B) = f_{REF} \times N/R$$

a=0の場合、分割はP=2、4、8、16、または32の固定分割であり、その場合には前の式も適用される。



DMモードとFDモードの組み合わせを使用することで、theAD9517はN=1まで、最大N=26, 217 5までの値を達成できます。表28は、10 MHz参照入力をNの任意の整数倍数にロックする方法を示しています。

Nの同じ値は、ofN=12の場合に示すように、異なる方法で導出することができます。前記ユーザは、B=6でP=2の固定分割モードを選択することができ、a=0、B=6で2/3のデュアルモジュラスモードを使用します。またはa=0、B=3で4/5のデュアルモジュラスモードを使用します。

2/3デュアルモジュラスモードのプリスケアラへの最大周波数は200mhzに制限されています。この周波数制限がそのN分割器の柔軟性を制限する場合は2つだけあります。

N=7、N=11。これら2つの場合、プリスケアラへの最大周波数は300mhzであり、P=1fdモードを使用することで達成されます。他のすべての場合、ユーザは、他のプリスケアラモードを使用することにより、所望のN分割値を達成することができます。

#### aおよびBカウンタ

Bカウンタは3以上またはバイパスされなければならない、Rカウンタとは異なり、a=0は実際にはゼロです。

プリスケアラがデュアルモジュラスモードである場合、aカウンタはBカウンタよりも小さい必要があります。

A/Bカウンタへの最大入力周波数は、指定された最大プリスケアラ出力周波数(~300 MHz)に反映されます。これはプリスケアラの入力周波数です(VCOまたは

CLK)をPで割った。例えば、a/Bカウンタに向かう周波数が高すぎるため、VCO周波数が2400mhzより大きい場合、P=8/9のデュアルモジュラスモードは許可されない。theAD9517Bカウンタがバイパスされた場合(B=1)、aカウンタを0に設定し、結果として得られる全体の分割は、プリスケアラ設定Pに等しい必要があります。このモードにおける分割率は、1、2、3、4、8、16、32である。このモードは、内部VCOの周波数範囲が32より大きい全体的なフィードバック分割器を必要とするため、外部VCO/VCX0を使用する場合にのみ有効です。手動リセットは通常必要ではありませんが、A/Bカウンタには独自のリセットビットがあります。あるいは、R、a、Bカウンタの共有リセットビットを用いて、a、Bカウンタをリセットすることもできる。これらのリセットビットは自己クリアではないことに注意してください。

#### R、a、Bカウンタ-同期ピンリセット

R、a、Bカウンタは、同期ピンを介して同時にリセットすることもできます。この関数はレジスタ0x019[7:6]によって制御されます(表54)。同期ピンのリセットはデフォルトで無効になっています。

#### RおよびN分割遅延

R分割器およびN分割器の両方は、プログラム可能な遅延セルを備えている。これらの遅延を有効にすることで、PLL参照クロックとVCOまたはCLKとの位相関係を調整することができる。各遅延は3ビットで制御されます。合計遅延範囲は約1nsである。レジスタ0x019 in-Table 54を参照してください。

表28. 10 MHz参照入力を使用して異なるVCO周波数を生成します

ラテラ; フレサ; フレサ	(MHz) R	P	A	(B)	N	(MHz) モード	コメント/条件	fVCOの
10	1	1	1	X; X	1	1	10	FD; FD
10	1	1	2	X; X	1	2	20	FD; FD
10	1	1	1	X; X	3	3	30	FD; FD
10	1	1	1	X; X	4	4	40	FD; FD
10	1	1	1	X; X	5	5	50	FD; FD
10	1	2	X; X	3	6	60	FD; FD	
10	1	2	0	3	6	60	DM; DM	
10	1	2	1	3	7	70	DM; DM	
10	1	2	2	3	8	80	DM; DM	
10	1	2	1	4	9	90	DM; DM	
10	1	8	6	18	150	1500	DM; DM	
10	1	8	7	18	151	1510	DM; DM	
10	1	16	7	9	151	1510	DM; DM	
10	10	32	6	47	1510	1510	DM; DM	
10	1	8	0	25	200	2000	DM; DM	
10	1	16	14	16	270	2700	DM; DM	
10	10	32	22	84	2710	2710	DM; DM	

P=1、B=1 (aおよびBカウンタはバイパスされます)。  
P=2、B=1 (aおよびBカウンタはバイパスされます)。  
カウンタがバイパスされます。  
カウンタがバイパスされます。  
カウンタがバイパスされます。  
カウンタがバイパスされます。

P=2/3モードでのプリスケアラへの最大周波数は200 MHzです。  
200mhz~300mhzのプリスケアラ入力周波数にN=7またはN=11が必要な場合は、それぞれP=1、N=7または11を使用します。

P=8は許可されない (2700 ÷ 8 > 300mhz)。  
P=32は許可されません (a>Bは許可されません)。  
P=32、a=22、B=84。  
P=16も許可される。

## デジタルロック検出(DLD)

各ピンのmuxを介して適切な出力を選択することで、LD、STATUS、REFMONピンでDLD関数を利用することができます。前記DLD回路は、前記PFD入力における前記立ち上がりエッジの時間差が所定値（前記ロック閾値）未満である場合にロックを示す、ロックの損失は、時間差が指定された値（ロック解除しきい値）を超えた場合に示されます。ロック解除しきい値は、ロックしきい値よりも広く、ロックインジケータでチャタリングすることなく、ロックウィンドウを超えるいくつかの位相エラーが発生することができることに注意してください。

ロック検出ウィンドウのタイミングは、3つの設定によって異なります。

デジタルロック検出ウィンドウビット（レジスタ0x018[4]）、アンチバックラッシュパルス幅設定（レジスタ0x017[1:0]、settable 2）、およびロック検出カウンタ（レジスタ0x018[6:5]）。前記ロック検出閾値未満の時間差を有するプログラマブルな連続PFDサイクル数があるまでは、ロックが示されない、前記ロック検出回路は、その後の1周期において、前記ロック解除閾値よりも大きい時間差が生じるまで、ロックを指示し続けるロック検出が正常に動作するために、PFD周波数の期間は、ロック解除しきい値よりも大きくなければなりません。ロックに必要な連続したPFDサイクルの数はプログラム可能です（レジスタ0x018[6:5]）。

## アナログロック検出(ALD)

thead9517は、LDピンで使用するために選択できるALD機能を提供します。次のように2つのバージョンがあります。

- ？ Nチャネルオープンドレインロック検出。この信号には、正の電源に対するプルアップ抵抗が必要です。出力は通常、短くて低いパルスで高くなります。ロックは、低進行パルスの最小デューティサイクルによって示されます。
- ？ Pチャネルオープンドレインロック検出。この信号にはGNDにプルダウン抵抗が必要です。出力は通常、短くて高いパルスで低くなります。ロックは、高進行パルスの最小デューティサイクルによって示されます。

前記アナログロック検出機能は、ロック/ロック解除を示す論理レベルを提供するためにR-Cフィルタを必要とする

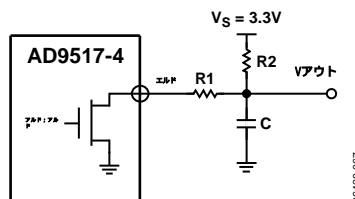


図50. アナログロック検出フィルタの例

Nチャネルオープンドレインドライバを使用する

## 電流源デジタルロック検出(DLD)

PLLロックシーケンス中に、PLLが完全にロックされ安定しているときに安定した状態を維持する前に、DLD信号が数回トグルすることは正常です。PLLがしっかりロックされた後にはのみDLDがアサートされることが望ましいアプリケーションがあるかもしれません。こ

LD pinコントロール(レジスタ0x01A[5:0])からの出力として選択された場合。

電流源ロック検出は、DLDがtrueである場合は110μaの電流を供給し、DLDがfalseである場合は接地にショートします。コンデンサがLDピンに接続されている場合は、DLD真時間中に電流源によって決定されるレートで充電されますが、DLDがfalseである場合はほぼ即座に放電されます。dピン（コンデンサの上部）の電圧を監視することで、dが十分に長い間trueであった後にのみ、論理ハイレベルを得ることができます。一瞬のDLD falseは充電をリセットします。適切なサイズのコンデンサを選択することにより、PLLが安定してロック検出がチャタチャしないまでロック検出指示を遅らせることができる。

前記LDピンに接続された外部コンパレータにより、前記コンデンサ上の電圧を検出することができる、ただし、アクティブな高信号としてREFMONピン制御（レジスタ0x01B[4:0]）またはステータスピン制御（レジスタ0x017[7:2]）で読み取ることができる内部のLDピンコンパレータがあります。アクティブな低信号（REFMON、レジスタ0x01B[4:0]およびステータス、レジスタ0x017[7:2]）としても利用できます。前記内部LDピンコンパレータは、トリップポイントとヒステリシスはインテグラル16にリストされています。

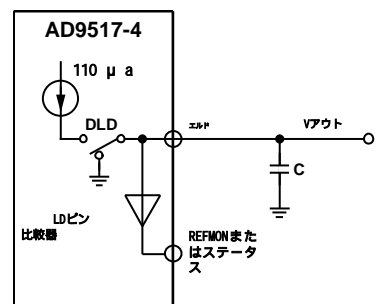


図51. 電流源ロック検出

## 外部VCX0/VCOクロック入力(CLK/CLK)

CLKは、thead9517clock分配部を駆動するための入力として使用できる差動入力である。この入力は最大2.4ghzを受信できます。ピンは内部に自己バイアスされており、入力信号はコンデンサを介してac結合される必要があります。

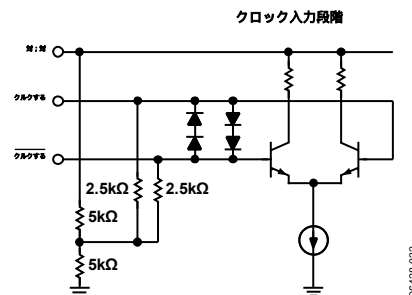


図52. クロック入力回路

CLK/CLK入力は、（PLLオフ付き）配布のみ入力として、または内部VCOが使用されていない場合に内部PLLを使用して外部VCX0/VCOのフィードバック入力として使用することができます。CLK/CLK入力は、最大2の周波数に使用できます。4 GHz。

れは、現在のソースロック検出機能を使用することで  
可能になります。この関数が設定されています

rev. e 80ページの37

### ホールドオーバー

TheAD9517PLLにはホールドオーバー機能があります。前記チャージポンプを高インピーダンス状態にすることにより、ホールドオーバーを実現することとを特徴とする、これは、PLL参照クロックが失われた場合に便利です。ホールドオーバーモードにより、VCOは参照クロックがなくても比較的一定の周波数を維持することができます。この機能がなければ、チャージポンプが一定のポンプアップまたはポンプダウン状態になり、大規模なVCO周波数シフトが発生する。前記チャージポンプが高インピーダンス状態になるため、前記チャージポンプ出力または前記VCOチューニングノードで発生したリークは、前記VCO周波数のドリフトを引き起こす、このドリフトは、VCO制御電圧の電流漏れ誘起スレート（ $I_{LEAK}/C$ ）によって制限されるため、大きな容量性成分を含むループフィルタを使用することでこれを軽減できます。ほとんどのアプリケーションでは、周波数精度は3秒から5秒で十分です。

同期ピンを用いた手動ホールドオーバーと自動ホールドオーバーモードの両方が提供されています。いずれかの関数を使用するには、ホールドオーバー関数を有効にする必要があります(レジスタ0x01D[0]とレジスタ0x01D[2])。

ホールドオーバーがキャリブレーション中にN分割器をリセットし、適切なキャリブレーションを妨げるため、ホールドオーバーを有効にしてVCOをキャリブレーションできないことに注意してください。VCOキャリブレーションを発行する前に、ホールドオーバーを無効にします。

### 手動ホールドオーバーモード

前記同期ピンが低くなった場合に、前記チャージポンプを高インピーダンス状態にすることができる手動ホールドオーバーモードを有効にすることができます。この操作はレベルに敏感ではなく、エッジに敏感です。前記チャージポンプは、直ちに高インピーダンス状態となる、チャージポンプを高インピーダンス状態から取り出すには、同期ピンを高くします。前記チャージポンプは、前記基準クロックからの次のPFD立ち上がりエッジと同期して高インピーダンス状態を残す、これにより、同期が上昇してから次のPFDイベントまでの間に無関係なチャージポンプイベントが発生することが防止されます。これは、基準クロックが存在しない限り、チャージポンプが高インピーダンス状態に留まることを意味する。

(N分割器内)Bカウンタは、基準パスPFDイベント上の高インピーダンス状態を残すチャージポンプと同期してリセットされます。これにより、RとNの仕切りのエッジが位置合わせされ、PLLがより速くセットアップされます。プリスケアラガリセットされていないため、この機能はBとRの数が近いときに最適に機能します。これにより、ループがセッタウトするための位相差が小さくなります。

このモードを使用する場合は、(少なくとも初期の同期イベントの後)同期ピンを無視するようにチャネルディバイダーを設定します。分割器が同期ピンを無視するように設定されていない場合、同期を低くするたびに分配出力がオフになり、部品をホールドオーバーにします。

### 自動/内部ホールドオーバーモード

この機能を有効にすると、ループがロックを失うと、チャージポンプが自動的に高インピーダンス状態になります。仮定は、ループがロックを失う唯一の理由は、基準クロックを失うPLLによるものであるということです。したがって、前記ホールドオーバー機能は、前記チャージポンプを高インピーダンス状態にして、前記基準クロックが消滅する前に、VCO周波数を可能な限り元の周波数に近づけることを特徴とする。自動/内部保持機能動作のフローチャートを示す図53を参照する。

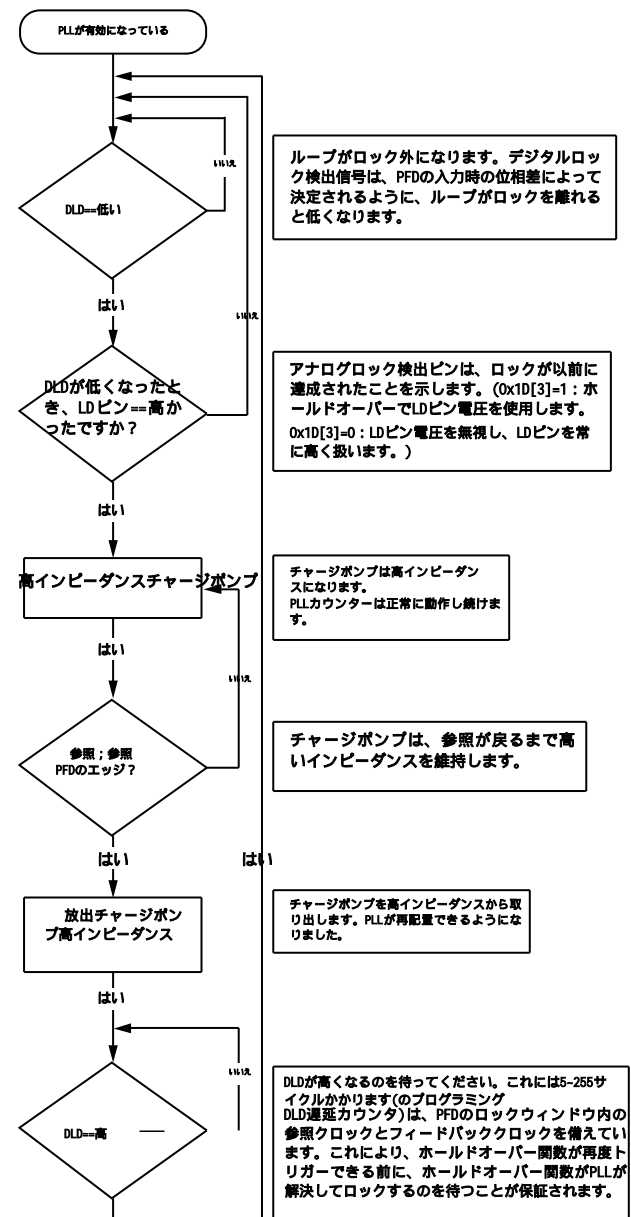


図53. 自動/内部ホールドオーバーモードのフローチャート

前記ホールドオーバー関数は、前記LDピンの論理レベルをホールドオーバーに入る条件として検出するLDの信号は、DLD、ALD、または電流源LDモードからのものであってもよい。LDコンパレータ(レジスタ0x01D[3])を無効にすることが可能です。これにより、ホールドオーバー関数は常にLDを高く感じます。

DLDが使用されている場合、PLLがロックを再取得している間、DLD信号がいくつかチャットする可能性があります。前記ホールドオーバー機能が再トリガされ、前記ホールドオーバーモードが終了することを防止する、現在のソースロック検出モードの使用は、このような状況を回避することをお勧めします(現在の情報源を参照)

デジタルロック検出部)。

前記チャージポンプは、ホールドオーバーモードになると、基準クロックが存在しない限り、高インピーダンス状態にとどまることを特徴とする。外部ホールドオーバーモードと同様に、Bカウンタ(N分割器)は、チャージポンプと同期してリセットされ、基準パスPFDイベント上でハイインピーダンス状態を残します。これにより、RとN分割器のエッジを整列させて、PLLのセッティングを迅速に行い、セッティング中の周波数誤差を減らすのに役立ちます。プリスケラがリセットされていないため、この機能はBとRの数に近いときに最適に機能します。これにより、ループがセッタウトするための位相差が小さくなります。

ホールドオーバーを離れた後、ループはロックを再取得し、LDピンはホールドオーバー(CPハイインピーダンス)に再入る前に(レジスタ0x01D[3]=1の場合)充電する必要があります。

ホールドオーバー関数は、常に現在選択されている参照(レジスタ0x01C)の状態に回答します。参照スイッチオーバー中にループがロックを失う場合(その参照スイッチオーバーセクションを参照)、ホールドオーバーはPFDの次の参照クロックエッジまで一時的にトリガーされます。

次のレジスタは、内部/自動ホールドオーバー機能に影響を与えます。

- ? レジスタ0x018[6:5]、ロック検出カウンタ。これらのビットは、ロックを示すためにDLDインジケータに必要なロック検出ウィンドウ内のエッジを持つ連続したPFDサイクルの数を変更します。これは、LDピンが充電を開始するまでに必要な時間だけでなく、ホールドオーバー機能が再稼働できるまでのホールドオーバーイベントの終了からの遅延に影響を与えます。
- ? レジスタ0x018[3]、デジタルロック検出を無効にします。DLD回路を有効にするには、このビットを0bに設定する必要があります。DLD機能が有効になっていないと、内部/自動ホールドオーバーが正しく動作しません。
- ? レジスタ0x01A[5:0]、ロック検出ピン出力選択。LDピンコンパレータを使用する場合、これらのビットをカレントソースロック検出モードのために000100bに設定します。適切な値のコンデンサでLDピンをロードします。
- ? レジスタ0x01D[3]、LDピンコンパレータを有効にします。1=有効化、0=無効化。無効にすると、ホールドオーバー機能は常にLDピンを高く感知します。
- ? レジスタ0x01D[1]、外部ホールドオーバー制御を有効にします。
- ? レジスタ0x01D[0]およびレジスタ0x01D[2]、ホールドオーバー機能が有効になります。ホール

たとえば、次の操作で自動保持を使用するには、次の手順に従います：

- ? 自動参照切り替え、REF1を好みます
- ? デジタルロック検出：5つのPFDサイクル、ハイレンジウィンドウ?LDピンコンパレータを使用した自動ホールドオーバー(通常のPLLレジスタに加えて)次のレジスタを設定します。
- ? レジスタ0x018[6:5]=00b; ロック検出カウンタ=5サイクル。
- ? レジスタ0x018[4]=0b; ロック検出ウィンドウ=高範囲。
- ? レジスタ0x018[3]=0b; DLD通常の動作。
- ? レジスタ0x01A[5:0]=000100b; 現在のソースロック検出モード。
- ? レジスタ0x01B[7:0]=0xF7; REFMONピンをステータスREF1(アクティブロー)に設定します。
- ? レジスタ0x01C[2:1]=11b; REF1およびREF2入力バッファを有効にします。
- ? レジスタ0x01D[3]=1b; LDピンコンパレータを有効にします。
- ? レジスタ0x01D[2]=1b; ホールドオーバー機能を有効にします。
- ? レジスタ0x01D[1]=0b; 内部/自動ホールドオーバーモードを使用します。
- ? レジスタ0x01D[0]=1b; ホールドオーバー機能を有効にします。(このビットを有効にする前に、VCOキャリブレーションが完了する必要があります。)
- ? REFMON pin to REFSELピンを接続します。

### 周波数ステータスマニタ

thead9517には、PLL参照(またはシングルエンドモードの場合の参照)とVCOが閾値周波数を下回ったかどうかを示すために使用される3つの周波数ステータスマニタが含まれています。図54には、それらのPLL内の位置を示す図が示されている。前記VCO状態周波数モニタは、前記N分割器への入力として前記CLK入力を選択されている場合にも、前記CLK入力を監視することができる。

PLL参照周波数モニタには、通常と拡張の2つの閾値周波数があります(表16.)。前記基準周波数モニタ閾値は、レジスタ0x01Aで選択される、周波数モニタの状態は、レジスタ0x01F、ビット[3:1]に見つけることができます。

ドオーバーが無効になっている場合、外部ホールドオーバーと内部ホールドオーバー/自動ホールドオーバーの両方が無効になります。

rev. e ページ 39 の 80

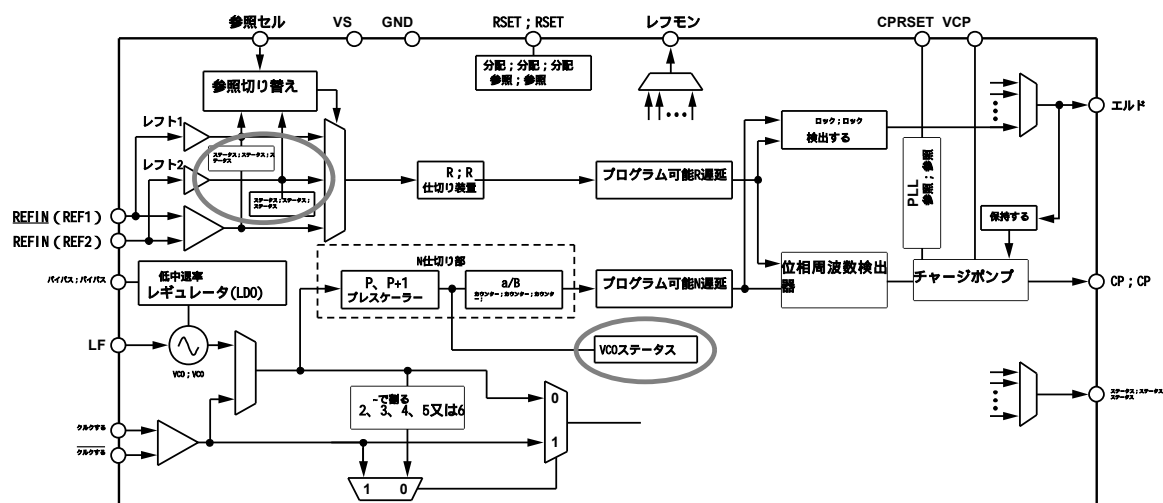


図54. 参照およびVCOステータスモニター

## VCO校正

thead9517オンチップVCOは、プロセスと温度にわたって適切な動作を保証するために校正する必要があります。VCOキャリブレーションは、選択した構成の内部VCO入力(LFピン)の直流電圧をセンターします。これは通常、初期設定中とPLL設定が変更されるたびにのみ必要です。VCOキャリブレーションは、R分割器出力によって駆動されるキャリブレーションコントローラによって制御されます。キャリブレーションには、入力基準クロックがリフィンピンに存在すること、およびPLLループをロックするために適切にPLLを設定することが必要です。thead9517の電源アップまたはリセット後の最初の初期化中に、レジスタ0x018[0]=1bを設定することによってVCOキャリブレーションシーケンスが開始されます。これは、更新レジスタ(レジスタ0x232[0]=1b)を実行する前に、最初のセットアップ中に行うことができます。初期設定の後、レジスタ0x018[0]=0bをリセットし、更新レジスタ動作を実行し、レジスタ0x018[0]=1bを設定し、更新レジスタ動作を実行することにより、VCOキャリブレーションシーケンスを開始する。リードバックビット、レジスタ0x1Fのビット6は、論理true(つまり、1b)を返すことによってVCOキャリブレーションが終了したときを示します。

VCOキャリブレーションの動作のシーケンスは次のとおりです。

1. PLLレジスタをPLLループの適切な値にプログラムします。その自動ホールドオーバーモードを無効にする必要があり、VCO分割器を「静的」に設定してはならないことに注意してください。
2. 入力された参照信号が存在することを確認します。
3. 電源アップまたはリセット後のレジスタの初期設定については、レジスタ0x018[0]=1bを設定してVCOキャリブレーションを開始します。その後、キャリブレーションが必要となる場合はいつでも、レジスタ0x018[0]=0bを設定し、レジスタを更新します。次にレジスタ0x018[0]=1bを設定し、レジスタを更新します。
4. 内部で同期動作が開始され、通常の同期関数動作によって決定される静的状態になる出力装置。
5. 前記VCOは、前記要求されたVCO周波数に対して所望の設定に校正する。
6. 内部では、同期信号が解放され、出力がクロックを継続することができます。

7. PLLループは閉じられています。
8. PLLロック。

前記VCOキャリブレーション中に同期が実行され、したがって、thead9517の出力はキャリブレーション中に静的に保持され、不要な周波数が生成されることを防ぎます。ただし、VCOキャリブレーションの終わりに、PLLループが完全に解決される前に、出力はクロックを再開することができます。VCOキャリブレーションクロック分割器は、inTable 54(レジスタ0x018[2:1])のように設定されています。

前記キャリブレーション分割器は、前記PFD周波数(基準周波数をRで割った)を前記キャリブレーションクロックまで分割する前記キャリブレーションは、前記PFD周波数を前記キャリブレーション分割器設定で分割して行われる、VCOキャリブレーションクロック周波数が低くなると、キャリブレーションが完了する時間が長くなる。

VCO校正クロック周波数は、

$$f_{CAL\_CLOCK} = f_{REFIN} / (R \times cal\_div), \text{ ここ}$$

で:

fREFINは、REFIN信号の周波数です。

RはR分割器の値です。

cal\_divは、VCOキャリブレーション分割器(レジスタ0x018[2:1])の分割セットです。

VCOキャリブレーションには4400のキャリブレーションクロックサイクルがかかります。したがって、PLL参照クロックサイクルにおけるVCOキャリブレーション時間は、次のように与えられます。

$$VCOを校正する時間 =$$

$$4400 \times R \times cal\_div \text{ PLL基準クロックサイクル}$$

表29. 異なるフレフィン周波数でVCOキャリブレーションを完了する時間の例

フレフィン(MHz)	R分割器	PFD	VCOを校正する時間
100	1	100 MHzの	88 μs
10	10	1 MHzの	8.8ミリ秒
10	100	100 kHz	88ミリ秒

VCOキャリブレーションは手動で開始する必要があります。これにより、特定のPLLレジスタの値が変更されるたびに、レジスタをプログラムする順序とキャリブレーションを開始するタイミングを決定するのに柔軟性があります。例えば、毎回自動キャリブレーションを行うことなく、VCO周波数を少量変更することが可能であり、これは、ユーザーがVCO制御電圧が公称最良のパフォーマンス制限を超えないことを知っている場合にのみ、注意して行う必要があります。たとえば、いくつかの100 kHzステップは問題ありませんが、いくつかのMHzはそうではないかもしれません。また、キャリブレーション手順によりVCO周波数が急激に変化するため、キャリブレーションが終了するまで自動的に配信部が同期される。したがって、この一時的な出力損失は予想されなければなりません。

VCOキャリブレーションは、次の条件で開始する必要があります。

- ？ 前記PLL R、P、B、及び分割器の設定を変更した後、又は前記PLL基準クロック周波数を変更した後、これは、実際には、異なるVCO周波数が生じるようにPLLレジスタまたは参照クロックが変更されたときを意味します。
- ？ システムキャリブレーションが必要なときはいつでも。VCOは、最初に反対の極端で校正された場合でも、極端な温度で適切に動作するように設計されています。ただし、VCOキャリブレーションは、必要に応じていつでも開始できます。

### 時計分布

クロックチャネルは、共通の分割器を共有する出力のペア(またはCMOSの場合はダブルペア)で構成されます。クロック出力は、前記出力ピンに接続する前記ドライバからなる、クロック出力は、ピンのLVPECLまたはLVDS/CMOS信号レベルのいずれかを持っています。

thead9517には4つのクロックチャネルがあります。2つのチャネルはLVPECL(4つの出力)です。2つのチャネルはLVDS/CMOS(最大4つのlvds出力または最大8つのCMOS出力)です。

各チャネルには、入力に適用されるクロック周波数を分割する独自のプログラマブル分割器があります。前記LVPECLチャネル分割器は、2~32のいずれかの整数で分割してもよいし、前記分割器をバイパスして1で分割してもよい。各LVDS/CMOSチャネル分割器には、これらの分割器が2つ含まれています。

カスケード構成のブロック。~の合計分割チャネルは、カスケード分割器の分割値の積です。これにより、 $(1-32) \times (1-32)$ 、または最大1024の値を割ることができます(これは1~1024のすべての値ではなく、2つの除算器の積である数値のセットのみであることに注意してください)。

ユーザがチャネル分割器を使用したい場合は、オンチップVCOの後にVCO分割器を使用する必要があります。これは、内部VCO周波数が最大チャネル分割器入力周波数(1600mhz)を超えているためです。前記VCO分割器は、2、3、4、5、または6で分割するように設定することができます。CLK入力に接続された外部クロック信号も、信号の周波数が1600 MHzより大きい場合はVCO分割器を必要とします。

チャネル分割器は、現在設定されている分割に応じて、さまざまなデューティサイクルを選択できます。つまり、任意の特定の分割の場合、Dは、分割器の出力をN+1の入力クロックサイクルで高に設定し、M+1の入力クロックサイクルで低に設定することができます(ここで $D=N+M+2$ )。例えば、分割5は1分割入力サイクルで高く、4サイクルで低く、分割5は3分割入力サイクルで高く、2サイクルで低くすることができます。他の組み合わせも可能です。

前記チャネル分割装置は、無効化可能なデューティサイクル補正機能を備えている、この機能は、上述した選択可能なデューティサイクルとは対照的に、奇数分割によって生じる50%以外のデューティサイクルを補正することができます。ただし、 $M=N+1$ で除算を設定する必要があります。

また、チャネル分割部は、粗位相オフセットや遅延を設定することができます。選択した分割に応じて、出力を最大31の入力クロックサイクル遅らせることができます。仕切り出力は、高開始または低開始に設定することもできます。

### クロックソースとしての内部VCOまたは外部CLK

thead9517のクロック分布には、内部VCOまたは外部クロックに接続された2つのクロック入力ソースがあります。

CLK/CLKピン。内部VCOまたはCLKのいずれかを配布するクロック信号のソースとして選択する必要があります。内部VCOをソースとして選択した場合、VCO分割器を使用する必要があります。ソースとしてCLKが選択された場合、CLK周波数が最大チャネル分割器入力周波数(1600mhz)未満であれば、VCO分割器を使用する必要はありません。そうでなければ、VCO分割器を使用して、周波数をチャネル分割器で許容できる周波数に減らす必要があります。表30は、VCO、CLK、VCO分割器の選択方法を示している。レジスタ0x1E1[1:0]は、チャネル分割ソースを選択し、VCO分割が使用されているかどうかを決定します。VCO分割器を使用せずにVCOを選択することはできません。

表30. チャネル分割器のソースとしてVCOまたはCLKを選択し、VCO分割器を使用するかどうか

レジスタ0x1E1		チャネル分割ソース	VCO分割器
ビット1	ビット0		
0	0	クルクする	使用していない許可されていない
0	1	クルクする	
1	0	VCOは許可されていません	
1	1		

### CLKor VCOはLVPECL出力に直接

内部VCOまたはCLK(VCO分割器の入力として選択されたいずれか)のいずれかをOUT0からOUT3のLVPECL出力に直接接続することができます。この構成により、VCOの最大周波数までの周波数をLVPECL出力に直接渡すことができます。LVPECL出力は、最高周波数でフル電圧スイングを提供できない場合があります。



LVPECL出力を内部VCOまたはCLKに直接接続するには、VCO分割器を配信セクションのソースとして選択する必要があります。たとえチャンネルが使用していない場合でも、VCO分割器を選択する必要があります。

内部VCOまたはCLKのいずれかを直接出力ルーティングのソースとして選択できます。

**表31. VCO分割器入力を直接ルーティングするための設定**

LVPECL出力へ

レジスタ設定	選択 ; 選択
0x1E1[1 : 0]=00b	CLKがソースです。選択されたVCO分割器
0x1E1[1 : 0]=10b	VCOはソースです。OUT0およびOUT1出力
0x192[1]=1b	に直接選択されたVCO分割器
0x198[1]=1b	OUT2およびOUT3出力へのダイレクト

### クロック周波数分割

合計周波数分割は、VCO分割器（使用時）とチャンネル分割器の組み合わせである。前記VCO分割器を用いる場合、前記VCO又はCLKから前記出力までの総分割は、前記VCO分割器（2, 3, 4, 5, 6）と前記チャンネル分割器の分割との積である。表32および表33は、チャンネルの周波数分割の設定方法を示している。LVPECL出力の場合、チャンネルごとに分割器は1つしかありません。LVDS/CMOS出力の場合、チャンネルごとに2つの分割器(X. 1、X. 2)がカスケードされています。

**表32. 分割器0及び分割器1の周波数分割**

CLK/VCO	2~6	1 (バイパスされた)	はい	1
CLK/VCO	2~6	1 (バイパスされた)	いいえ	(2-6)
CLK/VCO	2~6	2~32	いいえ	$\times (1)$ (2-6) $\times$ (2-32)
クルクする	使用されていない	1 (バイパスされた)	いいえ	1
クルクする	使用されていない	2~32	いいえ	2~32

CLKまたはVCOが選択された場合、周波数直接のVCOチャンネル分割器分割器出力分割

**表33. 分割器2及び分割器3の周波数分割**

		X.1	X.2	
CLK/VCO	2~6	1 (バイパスされた)	1 (バイパスされた)	(2-6) $\times$ (1) $\times$ (1)
CLK/VCO	2~6	2~32	1 (バイパスされた)	(2-6) $\times$ (2-32) $\times$ (1)
CLK/VCO	2~6	2~32	2~32	(2-6) $\times$ (2-32) $\times$ (2-32)
クルクする	使用されていない	1	1	1
クルクする	使用されていない	2~32	1	(2-32)

前記LVPECL出力ドライバを供給する前記チャンネル分割器は、1つの2-32分周器を含む、この分割器は、2-32で分割することができる、1による除算は、分割器をバイパスすることによって行われます。また、前記分割器は、前記分割比が奇数である場合に任意のデューティサイクル補正を可能にするプログラム可能なデューティサイクルを提供しています。前記入力クロック周期の段階的位相オフセットまたは遅延が選択可能であるチャンネル分割器は、入力で最大1600mhzの信号で動作します。仕切りの機能と設定は、適切なセットアップおよび制御レジスタをプログラミングすることによって選択されます (settable 52 throughable table 62)。

### VCO分割器

前記VCO分割部は、前記内部VCOまたは前記外部CLK入力と前記クロック分配チャンネル分割部との間で周波数分割を行う、VCO分割器は、2、3、4、5、または6で分割するように設定することができます (settable 60、レジスタ0x1E0[2 : 0])。

### チャンネル分割器-LVPECL出力

各対のLVPECL出力は、チャンネル分割器によって駆動される、4つのLVPECL出力(OUT0からOUT3)を駆動する2つのチャンネル分割器(0, 1)があります。表34は、これらの分割器の分割等の機能を設定するためのレジスタ位置を示している。前記除算は、MとNの値で設定されます。バイパスビットを設定することで、分割器をバイパスすることができます (分割1に相当し、分割回路の電源が切れません)。前記デューティサイクル補正は、前記DCCOFFビットの設定に応じて有効または無効にすることができます。

**表34. 分割器0と分割器11のDXを設定する**

仕切り装置	低サイクルM	高サイクルN	バイパス	DCCOFF ; DCCOFF
0	0x190[7 : 4]	0x190[3 : 0]	0x191[7]	0x192[0]
1	0x196[7 : 4]	0x196[3 : 0]	0x197[7]	0x198[0]

1 レジスタに格納された値=サイクルの#マイナス1に注意してください。

### チャンネル周波数分割 (0, 1)

各チャンネルについて (チャンネル番号がx : 0, 1である場合)、周波数分割、DXは、MとNの値によって設定されます (それぞれ4ビット、10進数0から10進数15を表します)。

$$\text{低サイクル数} = M + 1$$

$$\text{高サイクル数} = N + 1$$

サイクルは、現在チャンネル分割器 (VCO分割器outまたはCLK) の入力にルーティングされているクロック信号のサイクルです。分割器がバイパスされた場合、DX=1。

それ以外の場合は、DX = (N+1) + (M+1) = N+M+2である。これにより、各チャンネル分割器は2から32までの任意の整数で分割できます。

る	ていない			× (1)
クルクす	使用され	2~32	2~32	2~32 ×
る	ていない			(2~32)

クルクする

またはVCO VCO

チャンネル分割周波数

選択分割器

分割

rev. e 80ページの42

### デューティサイクルおよびデューティサイクル補正 (0, 1)

チャンネル出力時のクロック信号のデューティサイクルは、以下の条件の一部または全部の結果である。

- ? チャンネルのMとNの値は何ですか？
- ? DCCは有効になっていますか？
- ? VCO仕切りは使用されていますか？
- ? CLK入力デューティサイクルは何ですか？ (内部VCOのデューティサイクルは50%です。)

デフォルトでは、各チャンネルディバイダーでDCC関数が有効になっています。ただし、そのチャンネルのDCCOFFビットを設定することで、各チャンネル分割器について個別にDCC機能を無効にすることができます。チャンネル分割器の一定のMおよびN値は、50%以外のデューティサイクルをもたらす。デューティサイクル補正機能は、チャンネル分割器出力時の非50%デューティサイクルを自動的に50%デューティサイクルに補正することができます。デューティサイクル補正には、次のチャンネルディバイダ条件が必要です。

- ? 偶数分割をM=Nとして設定する必要があります。
- ? 奇数分割をM=n 1として設定する必要があります。

DCC関数によってバイパスまたは補正されていない場合、各チャンネル分割器出力のデューティサイクルは $(n-1)/(n-2)$ の数値であり、パーセンテージ(%)として表されます。各種構成のチャンネル分割器の出力時のデューティサイクルは、インタブル35toTable 37を示す。

表35. VCOディバイダー付きのデューティサイクル。入力デューティサイクルは50%

	N + M + 2	DCCOFF = 1	DCCOFF = 0
さえも	1 (仕切り器) バイパスされた)	50%	50%
奇数=3	1 (仕切り器) バイパスされた)	33.3%	50%
奇数=5	1 (仕切り器) バイパスされた)	40%	50%
偶数、奇数	さえも	$(N+1)/(N+M+2)$	50%; M=Nを必要とする
偶数、奇数	奇妙な	$(N+1)/(N+M+2)$	50%; M=n 1が必要です

VCO ; VCO  
仕切り装置

DX ; DX

出力デューティサイクル

表36. VCOディバイダー付きのデューティサイクル。入力デューティサイクルはX%

VCO 分割器	DX ; DX	出力デューティサイクル	
		DCCOFF = 1	DCCOFF = 0
さえも	1 (仕切り器) バイパスされた)	50%	50%
奇数=3	1 (仕切り器) バイパスされた)	33.3%	$(1+X\%)/3$ $(2+X\%)/5$
奇数=5	1 (仕切り器) バイパスされた)	40%	50%; M=n50%が必要であり、 M=N+1 50%が必要であり、 M=Nを必要とする
奇数=3	1 (仕切り器) バイパスされた)さえも	$(N+1)/(N+M+2)$ $(N+1)/(N+M+2)$ $(N+1)/(N+M+2)$	$(3N+4+X\%)/(6N+9)$ 、M=N+1 50%が必要、 M=Nを必要とする
奇数=5	奇妙な	$(N+1)/(N+M+2)$	$(5n-7-x\%)/(10n-15)$ 、M=n 1が必要です
奇数=5	奇妙な	$(N+1)/(N+M+2)$	
奇数=5	奇妙な	$(N+1)/(N+M+2)$	

表37. VCO分割器を使用していない場合のチャンネル分割器出力デューティサイクル

入力クロック義務サイクル	DX ; DX	出力デューティサイクル	
		DCCOFF = 1	DCCOFF = 0
任意の	1さえも	1 (仕切り器) バイパス) (n-1)/(n-2)	入力デューティサイクルと同じ 50%; M=Nが必要
任意の	奇妙な	1 (仕切り器) バイパス) (n-1)/(n-2)	50%; M=N+1が必要 $(n-1-x\%)/(2 \times n-3)$ 、M=n 1が必要です
50%	奇妙な	1 (仕切り器) バイパス) (n-1)/(n-2)	
X%	奇妙な	1 (仕切り器) バイパス) (n-1)/(n-2)	

内部VCOのデューティサイクルは50%です。したがって、VCOが出力に直接接続されている場合、デューティサイクルは50%です。CLK入力が出力に直接ルーティングされている場合、出力のデューティサイクルはCLK入力と同じです。

### 位相オフセットまたは粗い時間遅延(0, 1)

各チャンネル分割器は、レジスタビットを設定することにより、位相オフセット、または粗い時間遅延をプログラムすることができます (settable 38)。これらの設定は、チャンネル分割器の入力周波数のサイクル数 (連続した立ち上がりエッジ) を決定し、分割器の出力の立ち上がりエッジをオフセットまたは遅延させる。この遅延は、遅延していない出力 (つまり、位相オフセットがゼロ) に関するものです。遅延量は、位相オフセット (P0) レジスタにロードされた5ビットと、チャンネル分割器毎にスタートハイ (SH) ビットによって設定されます。スタートハイビットが設定されている場合、遅延は、分割器用にプログラムされた低サイクル数 (M) によっても影響されます。

位相オフセットを有効にするには、同期関数を使用する必要があります (出力同期関数セクションの同期を参照してください)。

表38. 分割器0の位相オフセットと分割を設定し、仕切り部1

仕切り装置	始める ; 始める高(SH)	段階 オフセット (P0)	低サイクルメートル	高サイクル \N
0	0x191[4]	0x191[3 : 0]	0x190[7 : 4]	0x190[3 : 0]
1	0x197[4]	0x197[3 : 0]	0x196[7 : 4]	0x196[3 : 0]

-にする

t=遅延(秒単位)。

c=遅延(DXへの入力時のクロック信号の周期単位)。

TX=分割器の入力時のクロック信号の周期、DX(秒単位)。

$$=16 \times SH[4] + 8 \times P0[3] + 4 \times P0[2] + 2 \times P0[1] + 1 \times P0[0]$$
は、チャンネル分割をN=高サイクル、M=低サイクルとする。

#### ケース1

15の場合 :

$$\Delta t = \Phi \times T_x$$

$$\Delta c = \Delta t / T_x = \Phi$$

#### ケース2

16の場合 :

$$t = (-16 + M + 1) \times t_x \quad c = t / T_x$$

各分割器に異なる位相オフセットを与えることにより、チャンネル分割器入力クロック周期のインクリメントで出力と出力の遅延を設定することができる。図55は、このような出力間の粗いオフセットを設定した結果を示しています。



### チャンネル分割器-LVDS/CMOS出力

チャンネル分割器2およびチャンネル分割器3は、それぞれ1の出力を駆動し、合計4つの出力 (OUT4-OUT7) を与える。あるいは、これらのLVDS差動出力のそれぞれは、最大8つのCMOS出力を提供するペア (aおよびB) of CMOSシングルエンド出力として個別に構成できます。デフォルトでは、各ペアのB出力はオフですが、必要に応じてオンにすることができます。

チャンネル分割器2およびチャンネル分割器3は、それぞれ2-32の2つのカスケード分周器からなる。前記チャンネル周波数分割は、DX.1 × DX.2または1024までである、Divide-by-1は、これらの分割器の一方または両方をバイパスすることによって実現される。デフォルトでは、両方のディバイダーにもDCCが有効になっていますが、必要に応じてチャンネルのDCCOFFビットを設定することで、この機能を無効にすることができます。粗位相オフセットまたは遅延もプログラム可能です (位相オフセットまたは粗時間遅延 (分割器2および分割器3) セクションを参照してください)。前記チャンネル分割装置は、最大1600mhzまで動作します。適切なセットアップおよび制御レジスタ (表52および表53スルーテーブル62) をプログラミングすることにより、仕切りの特徴および設定が選択される。

表39. 分割器2、分割器31の設定分割 (DX)

仕切り装置	メートル	\N	バイパス	DCCOFF ; DCCOFF
2	2.1 4]	0x199[7 : 0]	0x19C[4]	0x19D[0]
	2.2 4]	0x19B[7 : 0]	0x19C[5]	0x19D[0]
3	3.1 4]	0x19E[7 : 0]	0x1A1[4]	0x1A2[0]
	3.2 4]	0x1A0[7 : 0]	0x1A1[5]	0x1A2[0]

1 レジスタに格納された値=サイクルの#マイナス1に注意してください。

### チャンネル周波数分割 (分割器2および分割器3)

各チャンネル分割器の分割は、個々の分割器のレジスタ内のビットによって設定されます (X.Y=2, 1, 2)。 (2, 3, 1, 3, 2)

低サイクル数=MX。Y+1

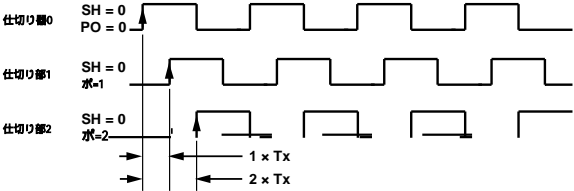
高サイクル数=NX。Y+1

X.1とX.2の両方がバイパスされた場合、DX=1 × 1=1。

X.2のみをバイパスした場合、DX=(nx.1 mx.1 2) × 1。

X.1とX.2の両方がバイパスされない場合、DX=(nx.1 mx.1 2) × (nx.2 mx.2 2)。

前記分割部をカスケード化することにより、最大1024までのチャンネル分割を得ることができる。ただし、1から1024までのすべての整数値分割が得られるわけではありません。2つの分割器 (DX.1 × DX.2) の別々の分割の積である値のみを実現できます。分割器2と分割器3を使用するときに1つの分割器のみが必要な場合は、最初の分割器 (X.1) を使用し、2番目の分割器 (X.2) をバイパスします。X.1をバイパスしてX.2を使用しないでください。



06428-071

図55。粗い位相オフセット(または遅延)の影響

### デューティサイクルおよびデューティサイクル補正 (仕切り2および仕切り3)

ディバイダー2とディバイダー3には、ディバイダー0とディバイダー1と同じデューティサイクルとDCCの考慮事項が適用されます(デューティサイクルとデューティサイクル補正(0,1)セクションを参照)。しかしながら、これらのチャンネル分割器では、可能な構成の数がさらに複雑になる。

ディバイダ2およびディバイダ3のデューティサイクル補正には、次のチャンネルディバイダ条件が必要です。

- ? 偶数DX. YはMX. Y=NX. Y (低サイクル=高サイクル)として設定する必要があります。
- ? 奇数のDX. YをMX. Y=nx. y 1として設定する必要があります(低サイクルの数は高サイクルの数よりも1つ大きい必要があります)。
- ? バイパスされた分割器が1つだけであれば、2番目の分割器、X. 2でなければなりません。
- ? 1つの分割器だけが偶数分割を持っている場合、それは2番目の分割器、X. 2でなければなりません。

分割器2および分割器3からの出力クロックのデューティサイクルの可能性をテーブル44からインタブル40に示す。

### テーブル40. 分割器2及び分割器3のデューティサイクルと、VCO分割器

使用された; デューティサイクル補正オフ(DCCOFF=1)

VCO 分割器	D <sub>X.1</sub>	D <sub>X.2</sub>	出力 デューティサイクル
	N <sub>X.1</sub> + M <sub>X.1</sub> + 2	N <sub>X.2</sub> + M <sub>X.2</sub> + 2	
偶数 奇数=3	1	1	50%
奇数=5 偶数	1	1	33.3%
偶数、奇数	1	1	40%
偶数、奇数	偶数、奇数	1	(NX. 1 1)/(nx. 1 mx. 1 2)
偶数、奇数	偶数、奇数	1	(nx. 1 1)/(nx. 1 mx. 1 2)(nx. 2 1)/(nx. 2 mx. 2 2)
偶数、奇数	偶数、奇数	偶数、奇数	(nx. 2 1)/(nx. 2 mx. 2 2)
偶数、奇数	偶数、奇数	偶数、奇数	

### テーブル41. 分割器2及び分割器3のデューティサイクルと、VCO分割器

使用されていない; デューティサイクル補正オフ(DCCOFF=1)

入力クロックデューティサイクル	D <sub>X.1</sub>	D <sub>X.2</sub>	出力 デューティサイクル
	N <sub>X.1</sub> + M <sub>X.1</sub> + 2	N <sub>X.2</sub> + M <sub>X.2</sub> + 2	
50%	1	1	50%
X%	1	1	X%
50%	偶数、奇数	1	(NX. 1+1)/(NX. 1+MX. 1+2)(NX. 1+1)/(NX. 1+MX. 1+2)(NX. 2+1)/(NX. 2+MX. 2+2)/(NX. 2+MX. 2+2)
X%	偶数、奇数	1	
50%	偶数、奇数	偶数、奇数	
X%	偶数、奇数	偶数、奇数	

テーブル42. 分割器2及び分割器3のデューティサイクルと、使用されたVCO分割器。デューティサイクル補正がオンになっています(DCCOFF=0)。VCO ; VCO分割器入力デューティサイクル

VCO 分割器	D <sub>X.1</sub>	D <sub>X.2</sub>	出力デューティサイクル
	N <sub>X.1</sub> + M <sub>X.1</sub> + 2	N <sub>X.2</sub> + M <sub>X.2</sub> + 2	
さえも	1	1	50%
奇妙な	1	1	50%
さえも	偶数(NX. 1=MX. 1)	1	50%
奇妙な	偶数(NX. 1=MX. 1)	1	50%
さえも	奇数(MX. 1=NX. 1+1)	1	50%
奇妙な	奇数(MX. 1=NX. 1+1)	1	50%
さえも	偶数(NX. 1=MX. 1)	偶数(NX. 2=MX. 2)	50%
奇妙な	偶数(NX. 1=MX. 1)	偶数(NX. 2=MX. 2)	50%
さえも	奇数(MX. 1=NX. 1+1)	偶数(NX. 2=MX. 2)	50%
奇妙な	奇数(MX. 1=NX. 1+1)	偶数(NX. 2=MX. 2)	50%
さえも	奇数(MX. 1=NX. 1+1)	奇数(MX. 2=NX. 2+1)	50%
奇妙な	奇数(MX. 1=NX. 1+1)	奇数(MX. 2=NX. 2+1)	50%

表43. 分割器2及び分割器3のデューティサイクルと、使用されたVCO分割器。デューティサイクル補正(DCCOFF=0); VCO ; VCO分割器入力デューティサイクル=

VCO 分割器	D <sub>X.1</sub>	D <sub>X.2</sub>	出力デューティサイクル
	N <sub>X.1</sub> + M <sub>X.1</sub> + 2	N <sub>X.2</sub> + M <sub>X.2</sub> + 2	
偶数 奇数=3	1	1	50%
奇数=5 偶数	1	1	(1 + X%)/3 (2 + X%)/5
偶数	さえも	1	50%
奇妙な ; 奇妙な	(NX. 1=MX. 1)でも	1	50%
さえも	(NX. 1=MX. 1)奇数	1	50%
奇数=3	(MX. 1=NX. 1+1)奇数	1	(3NX. 1 + 4 + X%)/(6NX. 1 + 9) (5NX. 1 + 7 + X%)/(10NX. 1 + 15)
奇数=5	(MX. 1=NX. 1+1)奇数	さえも	(NX. 2=MX. 2)
さえも	(MX. 1=NX. 1+1)でも	も	(NX. 2=MX. 2)
奇妙な ; 奇妙な	(NX. 1=MX. 1)でも	も	(NX. 2=MX. 2)
さえも	(NX. 1=MX. 1)奇数	も	(NX. 2=MX. 2)
奇妙な ; 奇妙な	(MX. 1=NX. 1+1)奇数	奇数	50%
さえも	(MX. 1=NX. 1+1)奇数	(MX. 2=NX. 2+1)	50%
奇数=3	(MX. 1=NX. 1)	奇妙な ; 奇妙	50%

奇数=5	+1 ) 奇数 ( MX. 1=NX. 1 +1 ) 奇妙な ; 奇妙 な ( MX. 1=NX. 1 +1 )	な ( MX. 2=NX. 2+ 1 )	NX. 1+ ) 15NX. 2+22+ X% ) / ( 5 ( 2nx. 1 +3 ) ( 2nx. 2+3 ) )
------	--	----------------------------	--

表44. 分割器2及び分割器3のデューティサイクルと、VCO分割器使用されていない；デューティサイクル補正オン(DCCOFF=0)

入力クロックデューティサイクル	D <sub>X,1</sub>	D <sub>X,2</sub>	出力デューティサイクル
	N <sub>X,1</sub> + M <sub>X,1</sub> + 2	N <sub>X,2</sub> + M <sub>X,2</sub> + 2	
50%	1	1	50%
50%	さえも (NX. 1=MX. 1) 1	1	50%
X%		1	X%( 高 )
X%	さえも (NX. 1=MX. 1) 奇数	1	50%
50%	(MX. 1=NX. 1+1) 奇数	1	(NX. 1+1+X%)/(2NX. 1+3)
X%	(MX. 1=NX. 1+1) でも	さえも (NX. 2=MX. 2) も	50%
X%	(NX. 1=MX. 1) 奇数	(NX. 2=MX. 2) も	50%
50%	(MX. 1=NX. 1+1) 奇数	(NX. 2=MX. 2) も	50%
X%	(MX. 1=NX. 1+1) 奇数	(NX. 2=MX. 2) 奇数	50%
50%	(MX. 1=NX. 1+1) 奇数	(MX. 2=NX. 2+1) 奇数	(2NX. 1NX. 2 + 3NX. 1 + 3NX. 2 + 4 + X%)/(2NX. 1 + 3)(2NX. 2 + 3)

## 位相オフセットまたは粗い時間遅延（分割器2および分割器3）

分割器2および分割器3は、位相オフセットまたは遅延を有するように設定することができる。位相オフセットは、位相オフセットおよびスタートハイレジスタ内のビットの組み合わせによって設定されます（settable 45）。

テーブル45. 分割器2の位相オフセットおよび分割を設定し、仕切り部3

仕切り装置	始める ; 始める高(SH)	段階オフセット (P0)	低いサイクルM	高サイクルN
2	2.1	0x19C[0]	0x19A[3 : 0]	0x199[7 : 4]
	2.2	0x19C[1]	0x19A[7 : 4]	0x19B[7 : 4]
3	3.1	0x1A1[0]	0x19F[3 : 0]	0x19E[7 : 4]
	3.2	0x1A1[1]	0x19F[7 : 4]	0x1A0[7 : 4]

-にする

t=遅延(秒単位)。

$$\Phi_{xy} = 16 \times SH[0] + 8 \times PO[3] + 4 \times PO[2] + 2 \times PO[1] + 1 \times PO[0]$$

TX. 1=DX. 1への入力時のクロック信号の期間(秒単位)。

TX. 2=DX. 2への入力時のクロック信号の期間(秒単位)。

## ケース1

x. 1 15、 x. 2 15のとき：

$$t = x. 1 \times TX. 1 + x. 2 \times TX. 2$$

## ケース2

x. 1 15、 x. 2 16のとき：

$$t = x. 1 \times TX. 1 + (x. 2 - 16 + MX. 2 + 1) \times TX. 2$$

## ケース3

x. 1 16、 x. 2 15のとき：

$$t = (x. 1 - 16 + MX. 1 + 1) \times TX. 1 + x. 2 \times TX. 2$$

## ケース4

x. 1 16、 x. 2 16のとき：

Δt =

$$(x. 1 - 16 + MX. 1 + 1) \times TX. 1 + (x. 2 - 16 + MX. 2 + 1) \times TX. 2$$

## 微細遅延調整（仕切り部2および仕切り部3）

EachAD9517LVDS/CMOS出力(OUT4からOUT7)には含まれます前記出力時の前記クロック信号に変時間遅延（t）を付与するようにプログラム可能なアナログ遅延素子と、

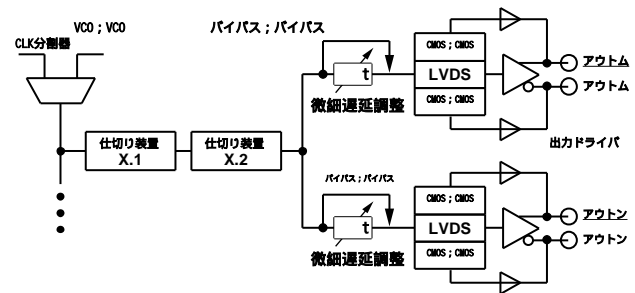


図56. 微遅延(OUT4~OUT7)クロック信号に適用される遅延量は、出力ごとに4つのレジスタをプログラミングすることによって決定されます(settable 46)。

表46. アナログ微細遅延の設定

出力 ; 出力 (LVDS/CMOS)	ランプコンデンサ	ランプ現在	遅延分率	遅延バイパス
アウト4	0x0A1[5 : 3]	0x0A1[2 : 0]	0x0A2[5 : 0]	0x0A0[0]
アウト5	0x0A4[5 : 3]	0x0A4[2 : 0]	0x0A5[5 : 0]	0x0A3[0]
アウト6	0x0A7[5 : 3]	0x0A7[2 : 0]	0x0A8[5 : 0]	0x0A6[0]
アウト7	0x0AA[5 : 3]	0x0AA[2 : 0]	0x0AB[5 : 0]	0x0A9[0]



**微細遅延を計算する**

遅延ブロックの遅延を算出するには、以下の値および式を使用します。

$$I_{RAMP}(\mu A) = 200 \times (\text{ランプ電流1})$$

$$\text{コンデンサ数} = \text{ビット数} =$$

$$\text{ランプコンデンサ0イン} + 1$$

例：101=1+1=2; 110=1+1=2; 100=2+1=3;

001 = 2 + 1 = 3; 111 = 0 + 1 = 1.

$$\text{遅延範囲 (ns)} = 200 \times ((\text{キャップ数} 3) / (I_{RAMP})) \times$$

$$1.3286 \text{ オフセット (ns)} = 0.34$$

$$+ (1600 - I_{RAMP}) \times 10^{-4} + \left( \frac{\text{No. of Caps} - 1}{I_{RAMP}} \right) \times 6 \text{ 遅延フルスケール (ns)} = \text{遅延範囲オフセット}$$

$$\text{微細遅延 (ns)} =$$

$$\text{遅延範囲} \times \text{遅延分} \times (1/63) + \text{オフセット}$$

10進数47 (101111b; 0x2F) までの遅延分数値のみがサポートされていることに注意してください。

いかなる場合も、前記微細遅延が前記出力クロック期間の1/2を超えてはならない、クロック期間の半分を超える遅延が試行された場合、出力はクロックを停止します。

遅延関数は、遅延していない出力に指定されたものよりも大きなジッタを追加します。これは、遅延機能を主にFPGA、ASIC、DUC、およびDDCなどのデジタルチップをクロックするために使用する必要があることを意味します。この遅延を有効にした出力は、データ変換器のクロックには適していない場合があります。遅延ブロックは、可変遅延を作成するためにランプとトリップポイントを使用するため、長いフルスケールではジッタが高くなります。ランプ時間が遅くなると、より多くのタイムジッタが発生します。

**出力の同期-同期関数**

The AD9517 clock 出力は互いに同期できます。出力は個別に同期から除外できます。同期は、除外されていない出力を静的条件の事前設定セットに設定し、その後、これらの出力を解放して、事前設定条件が適用されたときに同じ瞬間にクロックを継続することで構成されます。これにより、2つ以上の出力のエッジの位置合わせや、2つ以上の出力の粗位相オフセット設定に応じたエッジの間隔が可能となる。

出力の同期は、次のようにいくつかの方法で実行されます。

- ? 同期ピンを強制的に低くしてから解放します(手動同期)。
- ? ソフト同期ビット(レジスタ0x230[0])、ソフトリセットビット(レジスタ0x000[2][ミラーリング])、およびパワーダウン分配参照ビット(レジスタ0x230[1])のいずれかを設定してからリセットします。
- ? 前記チップパワーアップシーケンスの一部として前記出力の同期を実行することにより、
- ? リセットピンを強制的に低くしてから解放する(チップリセット)。
- ? PDピンを強制的に低くしてから解放する(チップパワーダウン)。
- ? VCOキャリブレーションが完了した後。内部同期信号は、VCOキャリブレーションの開始時に自動的にアサートされ、完了時に解放されます。

同期機能を実行する最も一般的な方法は、同期ピンを使用して出力を手動で同期することです。これには、同期ピンの低い信号が必要であり、同期ピンは低く保持され、同期が必要なときに解放されます。同期操作のタイミングを図57(VCO分割器を使用して)と図58(VCO分割器を使用していない)に示します。チャネル分割器への入力時に、head9517内のクロックエッジに対する同期信号の非同期性により、最大1周期のクロックの不確実性が存在する。前記同期立ち上がりエッジから前記同期出力クロックの開始までの遅延は、前記VCO分割器が使用されるか否かに応じて、前記VCO分割器入力(see Figure 57)の1周期または前記チャネル分割器入力(see Figure 58)の1周期に加えて、前記チャネル分割器入力の14~15周期のクロックの間である。サイクルは信号の立ち上がりエッジからカウントされます。同期機能を実行するもう1つの一般的な方法は、レジスタ0x230[0]でソフト同期ビットを設定してリセットすることです(詳細については、settable 53 through table 62)。ソフト同期ビットの設定とリセットの両方が、有効になるには、すべてのレジスタ操作(レジスタ0x232[0]=1)を更新する必要があります。

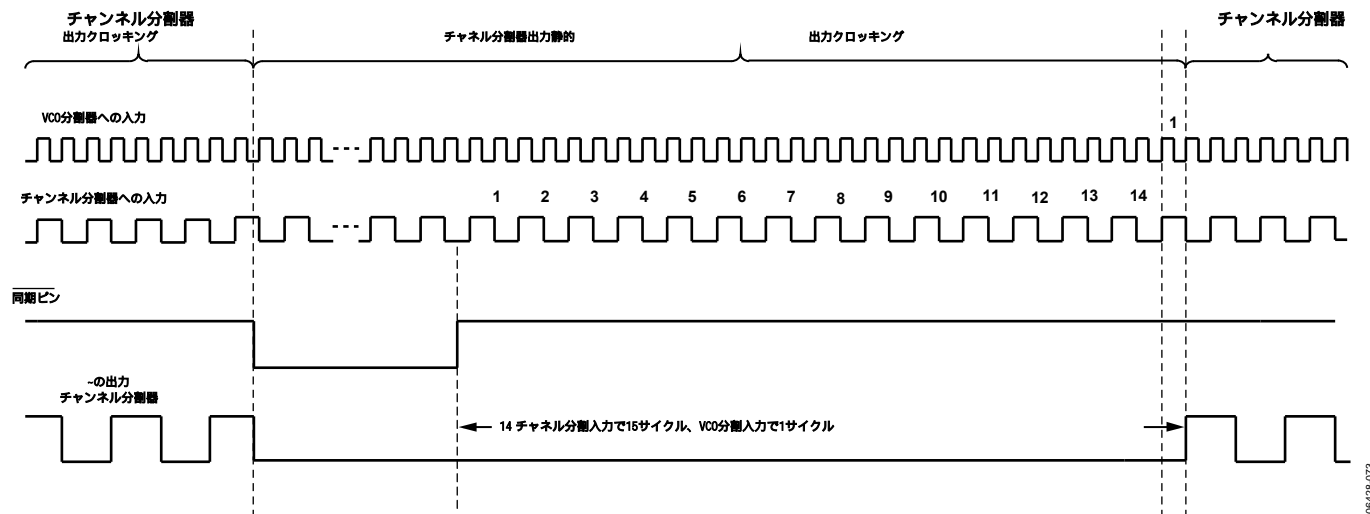


図57。VCO分割器を使用するときの同期タイミング-CLKor VCOが入力されます

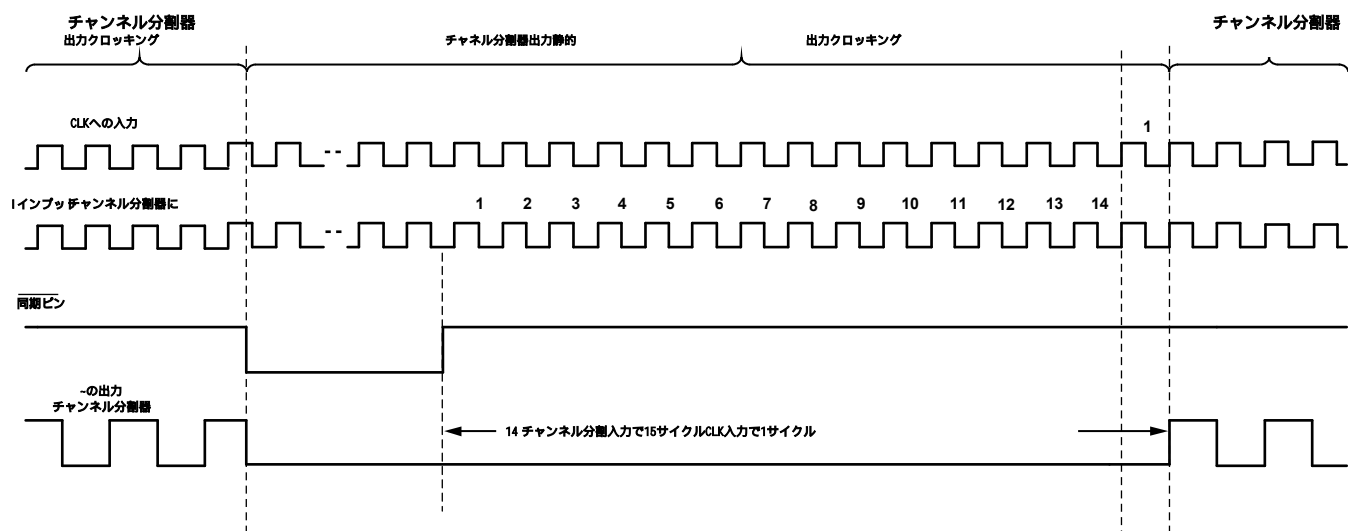


図58。VCO分割器が使用されていない場合の同期タイミング-CLK入力のみ

同期操作は、(nosyncビットによって)除外されていないすべての出力を事前に設定された条件にもたらし、出力が同期でクロックを開始することを許可します。プリセット条件は、チャンネルのスタートハイビットとその位相オフセットのそれぞれの設定を考慮に入れます。これらの設定は、同期動作が行われているときの各出力の静的状態と、同期動作が完了したときに再びクロックを開始したときの出力の状態と相対位相の両方を制御します。出力間と同期後に、位相オフセットを設定できます。

TheAD9517outputsはペアであり、ペアごとにチャンネル分割器を共有します(ofCMOSの場合は2つのペア、4つの出力)。同期条件はペアの両方の出力に適用されます。

各チャンネル(分割器とその出力)は、チャンネルのノシンクビットを設定することで、任意の同期操作から除外できます。同期(除外チャンネル)を無視するように設定されているチャンネルは、同期動作中に出力を静的に設定せず、非除外チャンネルの出力と同期されません。

### クロック出力

thead9517は、3つの異なる出力レベルの選択肢を提供します。

LVPECL、LVDS、およびCMOS。OUT0-OUT3はLVPECL差動出力です。OUT4-OUT7はLVDS/CMOS出力です。これらの出力は、LVDS差動またはシングルエンドCMOS出力のペアとして構成することができます。

**LVPECL出力-OUT0からOUT3**

LVPECL差動電圧(VOD)は、-400 mVから-960 mVまで選択できます(レジスタ0x0F0[3:2]を参照して、レジスタ0x0F5[3:2]を参照してください)。LVPECL出力には電源用の専用ピン(VS\_LVPECL)が付いているため、別の電源を使用できます。VS\_LVPECLは2.5V~3.3Vであることができます。

LVPECL出力極性を非反転または反転として設定することができ、ボードレイアウトを変更することなくアプリケーション内の出力の相対極性を調整することができます。各LVPECL出力は、必要に応じてパワーダウンまたはパワーアップできます。LVPECL出力段のアーキテクチャにより、特定の停電条件下では電氣的過剰応力や破壊が発生する可能性があります。このため、LVPECL出力にはいくつかのパワーダウンモードがあります。これには、完全なパワーダウンよりもやや多くの電力を消費しますが、パワーダウン中に出力デバイスを保護し続ける安全なパワーダウンモードが含まれます。LVPECL出力ピンが終了した場合は、安全な電源ダウンモードを選択することをお勧めします。ピンがフローティングされたまま(つまり接続されていない)の場合、トータルパワーダウンモードは問題ありません。

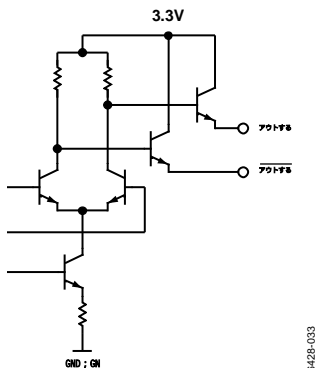


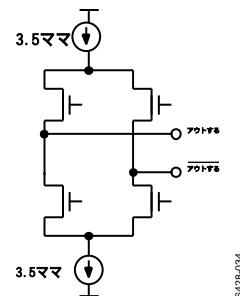
図59. LVPECL出力単純等価回路

**LVDS/CMOS出力-OUT4からOUT7**

OUT4~OUT7は、LVDS差動出力またはoFCMOSの一对のシングルエンド出力のいずれかとして構成できます。LVDS出力は、-1.75mAから-7mAまでの選択可能な出力電流を可能にします。

LVDS出力極性を非反転または反転として設定することができ、ボードレイアウトを変更することなくアプリケーション内の出力の相対極性を調整することができます。電力を節約するために必要な場合は、各LVD出力を電源を切ることができます。

OUT4からOUT7までは、CMOS出力でもよい。各Lvd出力は、2つのCMOS出力に設定することができます。これは、OUT4A、OUT4B、OUT5A、OUT5B、OUT6A、OUT6B、OUT7A、およびOUT7Bの最大8つのCMOS出力を提供します。出力がCMOSとして設定されている場合、CMOS出力aは自動的にオンになります。CMOS出力Bは独立してオンまたはオフすることができます。CMOS出力の相対極性は、反転と非反転の任意の組み合わせについても選択できます(表57、レジスタ0x140[7:5]、レジスタ0x141[7:5]、レジスタ0x142[7:5]、レジスタ0x143[7:5])。

図60. LVDS出力単純化等価回路を使用して  
3.5mA典型電流源

各LVDS/CMOS出力は、電力を節約するために必要に応じてパワーダウンできます。前記CMOS出力の電源ダウンは、前記出力のLVDSの電源ダウンを制御する同じビットによって制御されます。このパワーダウン制御は、CMOS出力aとCMOS出力Bの両方に影響を与えます。ただし、CMOS出力aが電源を入れると、CMOS出力Bが個別に電源を入れることも、電源を入れることもできる。

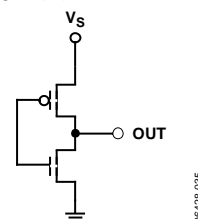


図61. CMOS等価出力回路

**リセットモード**

thead9517には、チップをリセット状態に強制して、すべてのレジスタをデフォルト値に復元し、これらの設定をアクティブにするいくつかの方法があります。

**VSが適用されたときの電源オンリセット-起動条件**

VS電源がオンになると、電源オンリセット(POR)が発行されます。これにより、チップがデフォルトのレジスタ設定で決定される電源オン条件に初期化されます。これらは、ofTable 52のデフォルト値(六角)列に示されています。電源オン時に、thead9517も同期操作を実行し、出力をデフォルトの設定に従って位相アライメントします。

**セットピンを介した非同期リセット**

非同期のハードリセットは、リセットを一瞬で低く引っ張ることによって実行される、リセットは、チップレジスタをデフォルトの設定に復元します。

**レジスタ0x000によるソフトリセット[2]**

レジスタ0x000[2]およびレジスタ0x000[5]=1bを書き込むことによりソフトリセットが実行される。このビットは自己クリアではありません。それをリセットし、ソフトリセット操作を完了するには、レジスタ0x000[2]とレジスタ0x000[5]=0bを書き込むことによってクリアする必要があります。ソフトリセットは、内部レジスタにデフォルト値を復元します。ソフトリセットビットは、更新レジスタコマンド(レジスタ0x232)を発行する必要はありません。

## 電源ダウンモード

### PDを介したチップの電源ダウン

head9517はPDピンを低く引っ張ることでパワーダウン状態にすることができます。電源を切ると、head9517内のほとんどの機能と電流がオフになります。PDが論理高に戻るまで、チップはこの電源ダウン状態のままです。head9517が起動すると、PDピンを低く保持している間に新しいプログラミングによってレジスタが変更されない限り、電源ダウン前にレジスタにプログラムされた設定に戻ります。

PDパワーダウンは、LVPECL出力を安全なシャットダウンモードで維持するために必要なバイアス電流を除いて、チップ上の電流をシャットダウンします。これは、トリステート時に特定の終端および負荷構成によって引き起こされる可能性のある損傷からLVPECL出力回路を保護するために必要です。これは完全な電源ダウンではないため、スリープモードと呼ぶことができます。head9517がPDパワーダウン中の場合、チップは次の状態になります。

- ? PLLがオフになっています(非同期電源ダウン)。
- ? VCOがオフです。
- ? CLK入力バッファがオフです。
- ? すべての仕切りがオフになっています。
- ? すべてのI<sub>vd</sub>/CMOS出力がオフになります。
- ? すべてのLVPECL出力はセーフオフモードにあります。
- ? 前記シリアル制御ポートはアクティブであり、前記チップはコマンドに応答する、

theAD9517clock出力を同期する必要がある場合は、電源ダウンを終了すると同期が必要です(出力同期機能の同期セクションを参照してください)。電源ダウンを終了するときVC0キャリブレーションは必要ありません。

### PLLの電源ダウン

head9517のPLL部は、選択的に電源を切ることができます。インタブル54に示すように、レジスタ0x010[1:0]によって設定された3つのPLL動作モードがあります。

非同期電源ダウンモードでは、レジスタが更新されるとすぐにデバイスの電源がダウンします。

同期パワーダウンモードでは、前記PLLパワーダウンは、前記チャージポンプによってゲートされ、不要な周波数ジャンプを防止することを特徴とする、レジスタが更新された後、次のチャージポンプイベントが発生すると、デバイスは電源ダウンになります。

### 配電停電

前記配信部は、レジスタ0x230[1]=1bを書き込むことで電源を切ることができる、これにより、配信部へのバイアスがオフになります。LVPECLパワーダウンモードが通常動作(00b)であれば、そのLVPECL出力に低インピーダンス負荷がかかると、このパワーダウン時に大幅な電流を引き出すことができる。LVPECLパワーダウンモードが11bに設定されている場合、LVPECL出力は逆バイアスから保護されず、一定の終了条件で損傷する可能性がある。

### 個別クロック出力停止

適切なレジスタに書き込むことで、クロック分布出力のいずれかを個別に電源を切ることができます。レジスタマップには、各出力の個々の電源ダウン設定が詳細に記載されています(表52)。LVDS/CMOS出力は、出力負荷構成に関係なく電源を切ることができます。LVPECL出力には複数の電源ダウンモード(表56)があり、さまざまな出力終了条件に対応する際にある程度の柔軟性が与えられます。モードが10bに設定されている場合、LVPECL出力は逆バイアスから保護されます。

2 vbe 1 v. モードが11bに設定されている場合、LVP-ECL出力は逆バイアスから保護されず、特定の終了条件で損傷する可能性があります。この設定は、レジスタ0x230[1]=1bで配電ブロックの電源がダウンされた場合の動作にも影響します(配電電源がダウンされたセクションを参照)。

### 個別回路ブロックの停電

他の9517circuitブロック(CLK、REF1、REF2など)は個別に電源を切ることができます。これにより、特定のチップ機能が不要なときはいつでも省電力化のために部品を柔軟に構成することができます。

## シリアル制御ポート

TheAD9517serial コントロールポートは、多くの業界標準のマイクロコントローラおよびマイクロプロセッサとの簡単なインターフェースを可能にする、柔軟で同期的なシリアル通信ポートです。AD9517serial 制御ポートは、Motorola SPI®およびIntel®SSR®プロトコルの両方を含むほとんどの同期転送フォーマットと互換性があります。シリアル制御ポートは、head9517を構成するすべてのレジスタへの読み取り/書き込みアクセスを可能にします。単一バイトまたは複数バイト転送、およびMSB最初またはLSB最初の転送フォーマットがサポートされています。TheAD9517serial コントロールポートは、単一の双方向I/Oピン(SDI0のみ)または2つの一方方向I/Oピン(SDI0/SDO)に設定できます。デフォルトでは、head9517は双方向モードであり、長い命令です(長い命令はサポートされている唯一の命令モードです)。

### シリアルコントロールポートピンの説明

SCLK(シリアルクロック)は、シリアルシフトクロックです。このピンは入力です。SCLKは、シリアルコントロールポートの読み取りと書き込みを同期するために使用されます。このクロックの立ち上がりエッジには書き込みデータビットが登録され、立ち上がりエッジには読み出しデータビットが登録される。このピンは内部的に30kΩ抵抗によって引き下げられ、グランドになります。SDI0(シリアルデータ入出力)は、入力のみ(一方方向モード)または入出力の両方(双方向モード)として機能する双方向ピンです。thead9517はデフォルトで双方向入力モード(レジスタ0x000[0]=0b)に設定されます。SDO(シリアルデータアウト)は、データを読み返すための別の出力ピンとして、一方方向I/Oモード(レジスタ0x000[0]=1b)でのみ使用されます。

CS(チップセレクトバー)は、読み取りサイクルと書き込みサイクルをゲートするアクティブなローコントロールです。CSが高い場合、SDOおよびSDI0はハイインピーダンス状態になります。このピンは、VSに対して30kΩの抵抗によって内部的に引き上げられます。

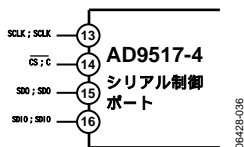


図62. シリアル制御ポート

### シリアル制御ポートの一般的な動作

head9517への書き込みまたは読み出し操作は、CSを低く引くことによって開始されます。

3バイト以下のデータ(プラス命令データ)が転送されるモードでは、CSが高に失速することがサポートされます(settable 47)。これらのモードでは、CSは任意のバイト境界上で一時的に高く戻ることができ、システムコントローラが次のバイトを処理するための時間を許可します。CSはバイト境界のみで高く行くことができ、転送のいずれかの部分(命令またはデータ)中に高く行くことができます。

この期間中、前記シリアル制御ポート状態マシンは、全てのデータが送信されるまで待機状態となるシステムコントローラがすべてのデータが送信される前に転送を中止することを決定した場合、状態マシンは、残りの転送を完了するか、少なくとも1つの完全なSCLKサイクル(ただし、8つ未満のSCLKサイクル)のためにCSを低く戻すことによって、リセットする必要があります。非バイト境界上のCSを上げると、シリアル転送が終了し、バッファがフラッシュされます。

ストリーミングモード(settable 47)では、任意の数のデータバイトを連続ストリームで転送することができ、レジスタアドレスは自動的に増加または減少されず(theMSB/LSB最初の転送セクションを参照)。転送する最後のバイトの最後にCSを上げる必要があります、それによってストリームモードが終了します。

### 通信サイクル-命令プラスデータ

head9517との通信サイクルには2つの部分があります。最初の部分は、最初の16のSCLK立ち上がりエッジと一致して、16ビットの命令ワードをhead9517に書き込みます。前記命令ワードは、前記通信サイクルの第2の部分である前記データ転送に関する情報をhead9517serial 制御ポートに提供する、前記命令ワードは、次のデータ転送が読み出しであるか書き込みであるか、前記データ転送のバイト数、および前記データ転送の最初のバイトの開始レジスタアドレスを定義する、

### 書く

前記命令ワードが書き込み動作のための場合、第2の部分は、AD9517のシリアル制御ポートバッファへのデータの転送である、データビットは、SCLKの立ち上がりエッジに登録されます。転送の長さ(1、2、3バイトまたはストリーミングモード)は、命令バイトで2ビット([W1:W0])で示されます。転送が1、2、または3バイトであるが、ストリーミングではない場合、CSは、バスを失速させるために8ビットの各シーケンスの後に上昇することができます(サイクルを終了する最後のバイトの後を除きます)。バスが停止すると、CSが低下するとシリアル転送が再開される。非バイト境界上のCSを上げると、シリアル制御ポートがリセットされます。書き込み中、ストリーミングモードは予約されたレジスタまたは空白レジスタをスキップしません。したがって、ユーザーは部品の適切な動作を維持するために、予約されたレジスタに書き込むビットパターンを知っている必要があります。制御レジスタマップ(settable 52)を参照して、予約されたレジスタのデフォルト値がゼロ以外であるかどうかを判断します。空白レジスタにどのデータが書き込まれているかは関係ありません。

データは、thead9517の実際の制御レジスタに直接ではなく、シリアル制御ポートバッファ領域に書き込まれているため、シリアル制御ポートバッファ内容をthead9517の実際の制御レジスタに転送してアクティブにするための追加の動作が必要である。更新レジスタ操作は、レジスタ0x232[0]=1bを設定することで構成されています(このビットは自己クリアです)。更新レジスタ動作が実行される前に、任意のバイト数のデータを変更できます。更新レジスタ動作は、以前の更新以降、バッファに書き込

まれたすべてのレジスタ変更を同時に実行します。

rev. e 80ページの51

読む

前記命令ワードが読み出し動作のための場合、次のN × 8のSCLKサイクルは、前記命令ワードで指定されたアドレスからデータをクロックアウトし、[W1 : W0]で決定されるNは1-3である。N=4の場合、読み出し動作はストリーミングモードであり、CSが上昇するまで継続されます。ストリーミングモードでは、予約済みレジスタまたは空白レジスタをスキップしません。読み取りデータは、SCLKの立ち上がりエッジで有効です。

theAD9517serial 制御ポートのデフォルトモードは双方向モードです。双方向モードでは、送信されたデータと読み取りデータの両方がSDIOピンに表示されます。SD0アクティブビット、レジスタ0x000[0]=1bを介して、thead9517を一方モードに設定することも可能です。一方モードでは、読み取りデータがSD0ピンに表示されます。

読み取りリクエストは、シリアル制御ポートバッファ領域にあるデータ、またはアクティブレジスタにあるデータを読み取ります（図63を参照）。バッファまたはアクティブレジスタの読み取りは、レジスタ0x004[0]によって制御されます。

thead9517は長い命令モードのみをサポートします。したがって、レジスタ0x000[4 : 3]を11bに設定する必要があります。（このレジスタはミラービットを使用しています。）長命令モードは、電源アップまたはリセット時のデフォルトです。

thead9517登録にレジスタアドレス0x000を使用します  
アドレス0x232。

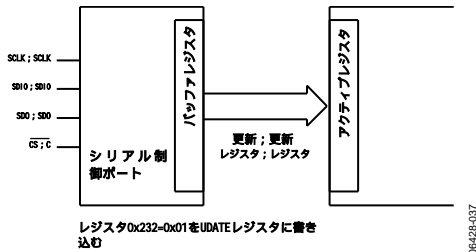


図63。シリアル制御ポートバッファレジスタとthead9517のアクティブレジスタ

命令単語(16ビット)

前記命令ワードのMSBは、前記命令が読み出しであるか書き込みであるかを示すR/Wである次の2ビット、[W1 : W0]は、バイト単位の転送の長さを示します。最後の13ビットは、読み取りまたは書き込み操作を開始するアドレス（[A12 : A0]）です。

書き込みの場合、命令ワードの後にビット[W1 : W0]で示されるデータのバイト数が続きます（settable 47）。

表47。バイト転送数

W1	W0	転送するバイト
0	0	1
0	1	2
1	0	3
1	1	ストリーミングモード

[A12 : A0]で見つかった13ビットは、通信サイクルのデータ転送部分の間に書き込まれるレジスタマップ内のアドレスを選択します。AD9517によって使用される0x232レジスタの範囲をカバーするには、ビット[A9 : A0]のみが必要です。ビット[A12 : A10]は常に0bに設定する必要があります。マルチバイト転送の場合、このアドレスは開始バイトアドレスです。MSB最初のモードでは、その後のバイトはアドレスを減少させます。

MSB/LSB最初の転送

TheAD9517instructionワードとバイトデータは、最初にMSBまたは最初にLSBであることができます。レジスタ0x000に書き込まれたすべてのデータはミラーリングされなければなりません。このミラーリングの例として、このレジスタのデフォルト設定を参照してください：0x18、ビット4とビット3をミラーリングします。これは長い命令モードを設定します（これはデフォルトでサポートされている唯一のモードです）。

thead9517のデフォルトは最初にMSBです。

LSBが最初にレジスタ0x000[1]とレジスタ0x000[6]によって設定された場合、それはシリアル制御ポートの動作にのみ影響を与え、更新を実行する必要がないため、すぐに有効になります。

MSB最初のモードがアクティブである場合、命令とデータバイトはMSBからLSBに書き込まれなければなりません。MSB最初の形式でのマルチバイトデータ転送は、最も重要なデータバイトのレジスタアドレスを含む命令バイトから始まります。後続のデータバイトは、高いアドレスから低いアドレスへの順に続く必要があります。MSB第1モードにおいて、前記シリアル制御ポート内部アドレス生成部は、前記マルチバイト転送周期のデータバイト毎に減少する

LSBが最初にアクティブになったとき、命令とデータバイトはLSBからMSBに書き込まれなければなりません。LSB最初の形式でのマルチバイトデータ転送は、複数のデータバイトが続く最も重要なデータバイトのレジスタアドレスを含む命令バイトから始まります。前記シリアル制御ポートの前記内部バイトアドレス生成部は、前記マルチバイト転送周期のバイト毎にインクリメントする、

TheAD9517serial 制御ポートレジスタアドレスは、MSB最初のモードがアクティブである場合（デフォルト）、マルチバイト入出力操作のために0x000に書き込まれたばかりのレジスタアドレスから減少します。LSB第1モードがアクティブである場合、シリアル制御ポートのレジスタアドレスは、マルチバイト入出力動作のために書き込まれたアドレスからアドレス0x232に向かって増加します。

ストリーミングモードは、アドレス0x232に到達すると常に終了します。未使用のアドレスは、マルチバイトのI/O操作中にスキップされないことに注意してください。

表48。ストリーミングモード(アドレスはスキップされません)

書き込みモード	アドレス方向	停止シーケンス
最初にLSB	インクリメント	0x230、0x231、0x232、停止 0x001、0x000、0x232、

最初にMSB	減少；減少	停止
--------	-------	----



表49. シリアル制御ポート、16ビット命令ワード、MSB最初

MSB ; MSB

LSBの

I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
R/W	W1	W0	A12 = 0	A11 = 0	A10 = 0	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

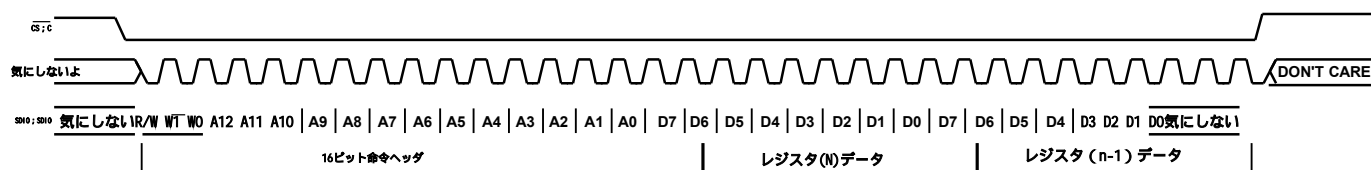


図64. シリアル制御ポートwrite-MSB first、16ビット命令、2バイトデータ

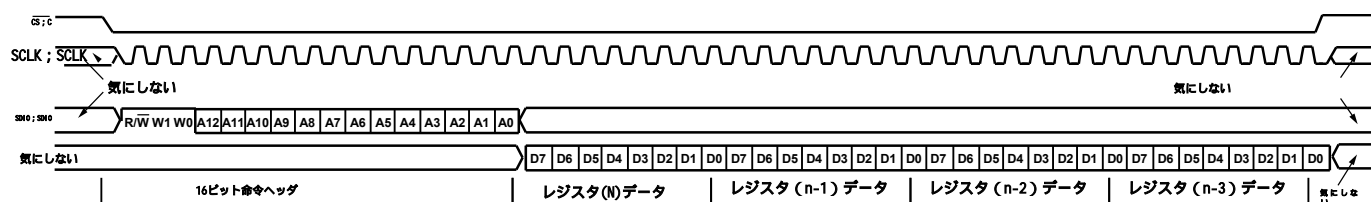


図65. シリアル制御ポート読み取り-MSB最初、16ビット命令、4バイトデータ

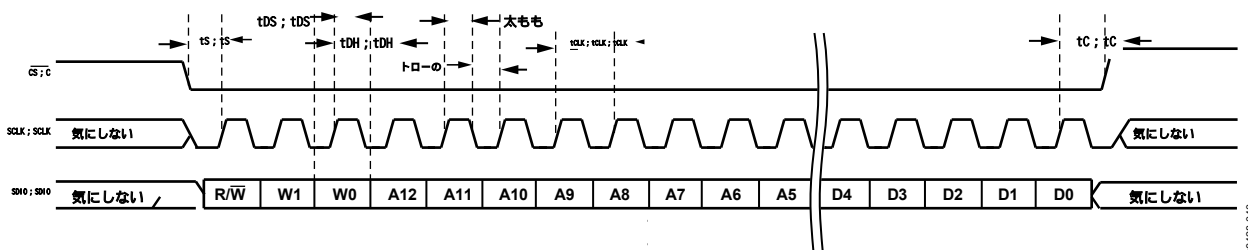


図66. シリアル制御ポート書き込みMSB最初、16ビット命令、タイミング測定

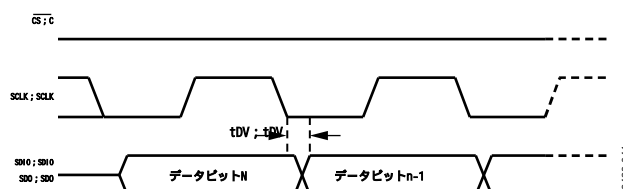


図67. シリアル制御ポートレジスタ読み出しのタイミング図

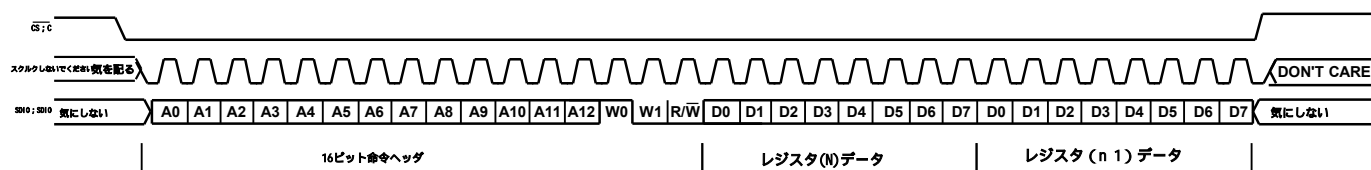


図68. シリアルコントロールポートwrite-LSB first、16ビット命令、2バイトデータ

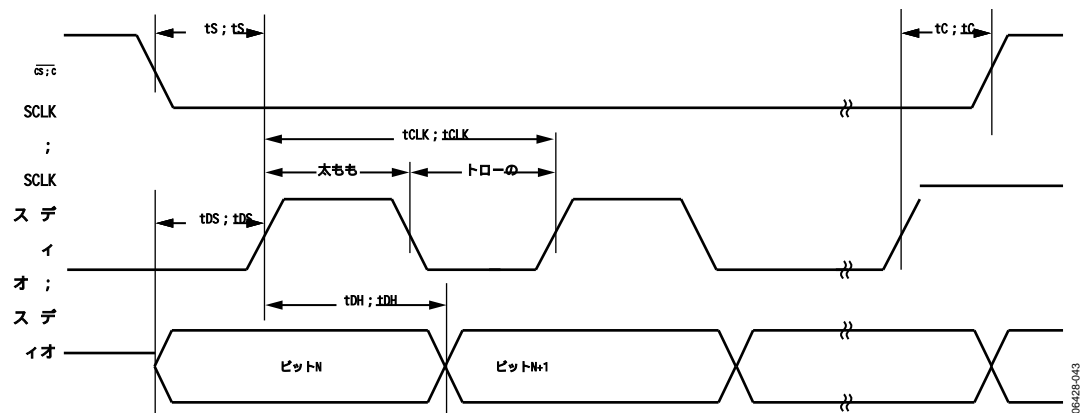


図69. シリアル制御ポートタイミング書き込み

テーブル50. シリアル制御ポートタイミング

パラメータ ; パラメータ	説明
$t_{DS}; t_{DS}$	データとSCLKの立ち上がりエッジ間のセットアップ時間
$t_{DH}; t_{DH}$	データとSCLKの立ち上がりエッジの間の保持時間
$t_{CLK}; t_{S}; t_{C}$	時計の時期
Too	CS落下エッジとSCLK立ち上がりエッジ (通信サイクルの開始) 間のセットアップ時間SCLK立ち上がりエッジとCS立ち上がりエッジ (通信サイクルの終了) 間のセットアップ時間SCLKが論理ハイ状態であるべき最小期間
$t_{DVS}; t_{DVS}$	SCLKが論理低い状態にあるべき最小期間
	有効なSDIOとSDOへのSCLK (図67を参照)

## 熱性能

テーブル51. 48リードLFCSPの熱パラメータ

シンボル	JEDEC JESD51-7 plus JEDEC JESD51-5 2S2P Testボードを使用した熱特性	値(° C/W)
j <sub>a</sub>	接合と周囲の熱抵抗、JEDEC JESD51-2あたりの自然対流(静止空気)	24.7
j <sub>ma</sub>	接合から周囲への熱抵抗、JEDEC JESD51-6あたりの気流1.0m/秒(移動空気)	21.6
j <sub>mb</sub>	接合と周囲の熱抵抗、JEDEC JESD51-6あたり2.5m/秒の気流(移動空気)	19.4
j <sub>b</sub>	接合対基板熱抵抗、JEDEC JESD51-8あたりの自然対流(静止空気)	12.9
サイズJB	接合対基板特性評価パラメータ、JEDEC JESD51-6(静止空気)およびJEDEC JESD51-8あたりの自然対流	11.9
サイズJB	接合対基板特性評価パラメータ、JEDEC JESD51-6(移動空気)およびJEDEC JESD51-8あたり1.0m/秒の気流	11.8
サイズJB	接合対基板特性評価パラメータ、JEDEC JESD51-6(移動空気)およびJEDEC JESD51-8あたり2.5m/秒の気流	11.6
j <sub>c</sub>	1 mil-std-883あたりの接合対ケース熱抵抗(ダイ対ヒートシンク)、方法1012.1	1.3
サイズJT	接合からパッケージ上への特性評価パラメータ、JEDEC JESD51-2あたりの自然対流(静止空気)	0.1
サイズJT	接合からパッケージ上への特性評価パラメータ、JEDEC JESD51-2あたりの気流1.0m/秒(静止空気)	0.2
サイズJT	接合からパッケージ上への特性評価パラメータ、JEDEC JESD51-2あたり2.0m/秒の気流(静止空気)	0.3

アプリケーションPCB上のhead9517の接合温度を決定するには、次の式を使用します。

$$T_J = TCASE + (j_t \times PD)$$

ここで：

T<sub>J</sub>は接合温度(°C)である。

TCASEは、パッケージの上部中央でユーザーが測定したケース温度(°C)です。

j<sub>t</sub>は、fromtable51からの値である。

PDはデバイスの消費電力です(表17)。

j<sub>a</sub>の値は、パッケージ比較およびPCB設計の考慮事項のために提供されます。j<sub>a</sub>は1次に用いることができる

T<sub>J</sub>を次式T<sub>J</sub>=T<sub>A</sub>+ (j<sub>a</sub> × PD) で近似

する

ここでT<sub>A</sub>は周囲温度(°C)です。

j<sub>c</sub>の値は、外部ヒートシンクが必要な場合のパッケージ比較およびPCB設計上の考慮事項のために提供されます。j<sub>b</sub>の値は、パッケージ比較とPCB設計の考慮事項のために提供されます。

## 制御レジスタ

### 制御レジスタマップの概要

表52. 制御レジスタマップの概要

レグ. Addr. (16)	パラメータ ; パラメータ	ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)	デフォルト値 (六角)	
シリアルポート構成											
0 × 000	シリアルポート構成	SD0 ; SD0 アクティブな	最初にLSB	ソフトリセット	長い命令	長い命令	ソフトリセット	最初にLSB	SD0アクティブ	0 × 18	
0x001	空白の ; 空白の										
0x002	予約された										
0x003	部品ID	部品ID(読み取り専用)								0xD3	
0 × 004	読み取り制御	空白の ; 空白の							アクティブレジスタを読み返す	0 × 00	
PLL											
0x010	PFDとチャージポンプ	PFD極性	チャージポンプ電流			チャージポンプモード		PLLの電源ダウン		0x7D	
0x011	Rカウンター	14ビットR分割器、ビット[7 : 0] (LSB)									0x01
0x012		空白の ; 空白の			14ビットR分割器、ビット[13 : 8] (MSB)					0 × 00	
0x013	カウンター	空白の ; 空白の			6ビットカウンター					0 × 00	
0x014	Bカウンタ	13ビットBカウンタ、ビット[7 : 0] (LSB)								0x03	
0x015		空白の ; 空白の				13ビットBカウンタ、ビット[12 : 8] (MSB)				0 × 00	
0x016	PLL制御1	CPピンをVCP/2に設定する	リセットRカウンタ	aをリセットし、Bカウンタ	すべてをリセットカウンタ	Bカウンタバイパス	プリスケaler-P			0x06	
0 × 017	PLL制御2	ステータスピン制御						アンチバックラッシュパルス幅		0 × 00	
0x018	PLL制御3	予約された	ロック検出カウンタ		デジタルロック検出ウィンドウ	デジタルロック検出を無効にする	VCOキャリブレーション分割器		現在のVCO cal	0x06	
0x019	PLL制御4	R、a、Bカウンタ同期ピンリセット		Rパス遅延			Nパス遅延			0 × 00	
0x01A	PLL制御5	予約された	参照周波数モニタ閾値	LDピン制御						0 × 00	
0x01B	PLL制御6	VCO周波数モニター	REF2 (REFIN) 周波数モニター	REF1 (REFIN) 周波数モニター	REFMONピン制御						0 × 00
0x01C	PLL制御7	切り替えデグリッチを無効にする	選択するレフト2	使用するREF_SELピン	予約された		レフト2電源投入	レフト1電源投入	差分的 ; 差分的参照	0 × 00	
0x01D	PLL制御8	予約された			PLLステータスレジスタを無効にする	LDピンコンパレータ有効化	保持有効化	外部のホールドオーバー制御	ホールドオーバー有効	0 × 00	
0x01E	PLL制御9	予約された								0 × 00	
0x01F	PLL読み返し	予約された	VCOカル完成した	ホールドオーバーアクティブ	REF2選択されました	VCO周波数>しきい値	REF2周波数>閾値	REF1周波数>閾値	デジタルロック検出	なし	
0x020~0x04F	空白の ; 空白の										

レグ。 Addr. (16)	パラメータ； パラメータ	ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット 0 (LSB)	デフォルト値 (六角)
微遅延調整OUT4-OUT7										
0x0A0	OUT4遅延バイパス	空白の；空白の							OUT4 遅延 バイパス	0x01
0x0A1	OUT4遅延フルスケール	空白の；空白の	OUT4ランプコンデンサ			OUT4ランプ電流			0 × 00	
0x0A2	OUT4遅延分	空白の；空白の	OUT4遅延分							0 × 00
0x0A3	OUT5遅延バイパス	空白の；空白の							OUT5 遅延 バイパス	0x01
0x0A4	OUT5遅延フルスケール	空白の；空白の	OUT5ランプコンデンサ			OUT5ランプ電流			0 × 00	
0x0A5	OUT5遅延分	空白の；空白の	OUT5遅延分							0 × 00
0x0A6	OUT6遅延バイパス	空白の；空白の							OUT6 遅延 バイパス	0x01
0x0A7	OUT6遅延フルスケール	空白の；空白の	OUT6ランプコンデンサ			OUT6ランプ電流			0 × 00	
0x0A8	OUT6遅延分	空白の；空白の	OUT6遅延分							0 × 00
0x0A9	OUT7遅延バイパス	空白の；空白の							OUT7 遅延 バイパス	0x01
0x0AA	OUT7遅延フルスケール	空白の；空白の	OUT7ランプコンデンサ			OUT7ランプ電流			0 × 00	
0x0AB	OUT7遅延分	空白の；空白の	OUT7遅延分							0 × 00
0x0AC~ 0x0EF	空白の；空白の									
LVPECL出力										
0x0F0	アウト0	空白の；空白の			アウト0 反転する	アウト0 lvpecl 差動電圧		アウト0電源ダウン		0x08
0x0F1	アウト1	空白の；空白の			アウト1 反転する	アウト1 lvpecl 差動電圧		OUT1電源ダウン		0x0A
0x0F2、 0x0F3	予約された									
0x0F4	アウト2	空白の；空白の			アウト2 反転する	アウト2 lvpecl 差動電圧		アウト2電源ダウン		0x08
0x0F5	アウト3	空白の；空白の			アウト3 反転する	アウト3 lvpecl 差動電圧		アウト3電源ダウン		0x0A
0x0F6~ 0x13F	空白の；空白の									
LVDS/CMOS出力										
0 × 140	アウト4	アウト4 CMOS 出力極性	OUT4 LVDS/ CMOS 出力極性	OUT4 CMOS B	OUT4選択 LVDS/CMOS	アウト4 LVD 出力電流		アウト4 電源を切る		0x42
0x141	アウト5	アウト5 CMOS 出力極性	OUT5 LVDS/ CMOS 出力極性	OUT5 CMOS B	OUT5選択 LVDS/CMOS	アウト5 lvd 出力電流		アウト5 電源を切る		0x43
0x142	アウト6	アウト6 CMOS 出力極性	OUT6 LVDS/ CMOS 出力極性	OUT6 CMOS B	OUT6選択 LVDS/CMOS	アウト6 lvd 出力電流		アウト6 電源を切る		0x42
0x143	アウト7	アウト7 CMOS 出力極性	OUT7 LVDS/ CMOS 出力極性	OUT7 CMOS B	OUT7選択 LVDS/CMOS	アウト7 LVD 出力電流		アウト7 電源を切る		0x43
0x144~ 0x18f	空白の；空白の									

レグ. Addr. (16)	パラメータ ; パラメータ	ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)	デフォルト値 (六角)	
LVPECLチャネル分割器											
0x190	仕切り器0 (PECL)	分割器0低サイクル				分割器0高サイクル				0 × 00	
0x191		仕切り装置 0バイパス	仕切り器0 同期性 ; 同期性	仕切り器0 強気に強く する	仕切り器0 高くスタート する	分割器0位相オフセット				0 × 80	
0x192		空白の ; 空白の		予約された				仕切り器0 出力に直接	仕切り器0 DCCOFF ; DCCOFF	0 × 00	
0x193~ 0x195	予約された										0 × 00
0x196	仕切り部1 (PECL)	分割器1低サイクル				分割器1ハイサイクル					
0x197		仕切り装置 1バイパス	仕切り部1 同期性 ; 同期性	仕切り部1 強気に強く する	仕切り部1 高くスタート する	分割器1位相オフセット				0 × 00	
0x198		空白の ; 空白の		予約された				仕切り部1 出力に直接	仕切り部1 DCCOFF ; DCCOFF	0 × 00	
LVDS/CMOSチャネル分割器											
0x199	仕切り部2 (LVDS/CMOS)	低サイクル分割器2.1				高サイクル分割器2.1				0x22	
0x19A		位相オフセット分割部2.2				位相オフセット分割部2.1				0 × 00	
0x19B		低サイクル分割器2.2				高サイクル分割器2.2				0x11	
0x19C		予約された	バイパス仕 切り2.2	バイパス仕 切り2.1	仕切り部2 同期性 ; 同期 性	仕切り部2 強気に強く する	高くスタート する 仕 切 り 部 2.2	高くスタート する 仕切り部2.1	0 × 00		
0x19D		空白の ; 空白の		予約された				仕切り部2 DCCOFF ; DCCOFF	0 × 00		
0x19E	仕切り部3 (LVDS/CMOS)	低サイクル分割器3.1				高サイクル分割器3.1				0x22	
0x19F		位相オフセット分割部3.2				位相オフセット分割部3.1				0 × 00	
0x1A0		低サイクル分割器3.2				高サイクル分割器3.2				0x11	
0x1A1		予約された	バイパス分 割器3.2	バイパス分 割器3.1	仕切り部3 同期性 ; 同期 性	仕切り部3 強気に強く する	高くスタート する 仕 切 り 部 3.2	高くスタート する 仕切り部3.1	0 × 00		
0x1A2		空白の ; 空白の		予約された				仕切り部3 DCCOFF ; DCCOFF	0 × 00		
0x1A3	予約された										
0x1A4~ 0x1DF	空白の ; 空白の										
VCO分割器とCLK入力											
0x1E0	VCO分割器	空白の ; 空白の			予約された	VCO分割器			0x02		
0x1E1	入力CLKs	予約された		電源ダウン クロック入 力部	VCOクロック インターフェ イスの電源を 切る	VCOとCLKの 電源を切る	選択する VCO または CLK	バイパスVCO 分割器	0 × 00		
0x1E2~ 0x22A	空白の ; 空白の										
システム											
0x230	電源を切って 同期する	予約された				電源ダウン 同期	パワーダウ ン配電基準	ソフト同期	0 × 00		
0x231		空白の ; 空白の			予約された				0 × 00		
すべてのレジスタを更新する											
0x232	すべてを更新 する	空白の ; 空白の							すべてのレ ジスタを更	0 × 00	

	レジスタ；レジスタ		新する (self) クリアビット)	
--	-----------	--	--------------------------	--

## 制御レジスタマップの説明

テーブル53 through table 62は、各制御レジスタ機能の詳細な説明を提供する。レジスタは16進数のアドレスごとにリストされています。ビットの範囲（たとえば、ビット5からビット2まで）は、次のように、コロンと括弧を使用して示されます。[5 : 2]。

表53. シリアルポート構成と部品ID

レジスタ アドレス (16)	ビット	名前	説明
0 × 000	[7:4]	ミラーリング、ビット [3 : 0]	ビット[7 : 4]は常にビット[3 : 0]をミラーリングする必要があり、部品があるかどうかは関係ありません。 MSBまたはLSB最初のモードにあります(ビット1、レジスタ0x000を参照してください)。ユーザは次のようにビットを設定する必要があります：ビット7=ビット0。 ビット6=ビット1。 ビット5=ビット2。 ビット4=ビット3。
	3	長い指示	ショート/ロング命令モード。この部分は長い命令モードのみを使用しているため、このビットは常に1bに設定する必要があります。 0 : 8ビット命令（短い）。 1 : 16ビット命令（長い）（デフォルト）。
	2	ソフトリセット	ソフトリセット。 1 : ソフトリセット；デフォルト値を内部レジスタに復元します。自己クリアではありません。リセット操作を完了するには、0bにクリアする必要があります。
	1	最初にLSB	MSBまたはLSBデータの向き。 0 : 最初にデータ指向のMSB減少に対処します(デフォルト)。 1 : 最初にデータ指向のLSB。インクリメントに対処します。
	0	SD0アクティブ	一方向または双方向のデータ転送モードを選択します。 0 : 書き込みと読み取りに使用されるSDIOピン；SD0が高インピーダンスに設定されません。双方向モード(デフォルト)。 1 : 読み取りに使用されるSD0、書き込みに使用されるSDIO。一方向モード。
0x003	[7:0]	部品ID(読み取り専用)	Head9517 ad9517-0 : 0x11のダッシュバージョン(-0--4)を一意に識別します AD9517-1 : 0x51 AD9517-2 : 0x91 AD9517-3 : 0x53 AD9517-4 : 0xD3
0 × 004	0	アクティブレジスタを 読み返す	読み取りに使用するレジスタバンクを選択します。 0 : バッファレジスタを読み返します（デフォルト）。 1 : アクティブなレジスタを読み返します。



表54. PLL

レグ。 Addr. (16)	ビット	名前	説明
0x010	7	PFD極性	PFD極性を設定します。負極性は(必要に応じて)外部VC0/VCX0でのみ使用されます。前記オンチップVC0は、正の極性を必要とし、ビット7=0b。 0：陽性；制御電圧が高いと、周波数が高くなります(デフォルト)。 1：陰性；制御電圧が高いと、周波数が低くなります。
	[6:4]	CP電流	チャージポンプ電流(CPRSET=5.1k )。
			<b>6    5    4    Icp (mA)</b>
			0    0    0    0.6
			0    0    1    1.2
			0    1    0    1.8
			0    1    1    2.4
			1    0    0    3.0
			1    0    1    3.6
			1    1    0    4.2
			1    1    1    4.8 (デフォルト)
	[3:2]	CPモード	チャージポンプの動作モード。
			<b>3    2    チャージポンプモード</b>
			0    0    高インピーダンス状態。
			0    1    電源電流を強制する(ポンプアップ)。強制シンク電流(ポンプダウン)。通常の動作(デフォルト)。 1    0    ト。 1    1
	[1:0]	PLLの電源ダウン	PLL動作モード。
			<b>1    0    モード</b>
			0    0    通常の動作。
			0    1    非同期電源ダウン(デフォルト)。通常の動作。 1    0    同期電源ダウン。 1    1
0x011	[7:0]	14ビットR分割器、ビット[7:0](LSB)	R分割器LSBs-下位8ビット(デフォルト=0x01)。
0x012	[5:0]	14ビットR分割器、ビット[13:8](MSB)	R分割器MSBs-上6ビット(デフォルト=0x00)。
0x013	[5:0]	6ビットカウンタ	カウンタ(N分割器の一部)(デフォルト=0x00)。
0x014	[7:0]	13ビットBカウンタ、ビット[7:0](LSB)	Bカウンタ(N分割器の一部)-下位8ビット(デフォルト=0x03)。
0x015	[4:0]	13ビットBカウンタ、ビット[12:8](MSB)	Bカウンタ(N分割器の一部)-上5ビット(デフォルト=0x00)。
0x016	7	CPピンをVCP/2に設定する	CPピンをVCP電源電圧の1/2に設定します。 0：CP通常動作(デフォルト)。 1：CPピンがVCP/2に設定されます。
	6	リセットRカウンタ	Rカウンタ(R分割器)をリセットします。 0：通常(デフォルト)。 1：Rカウンタをリセット中に保持します。
	5	a、Bカウンタをリセットする	aとBカウンタ(N分割器の一部)をリセットします。 0：通常(デフォルト)。 1：aカウンタとBカウンタをリセットします。
	4	すべてのカウンタをリセットする	R、a、およびBカウンタをリセットします。 0：通常(デフォルト)。 1：R、a、およびBカウンタをリセットします。
	3	Bカウンタバイパス	Bカウンタバイパス。これは、FDモードでプリスケラを操作する場合にのみ有効です。 0：通常(デフォルト)。 1：Bカウンタは、divide-by-1に設定されます。これにより、プリスケラ設定により、N個の分割器の分割を決定できます。

レグ。 Addr. (16)	ビット	名前	説明							
0x016	[2:0]	プリスケアラーP	プリスケアラ : DM=デュアルモジュラス、FD=固定分割。							
			210モードプレスケアラー							
			000FD ; FD-1で割ります。							
			001FD ; FD-2で割ります。							
			010DM ; DM2で割ります (2/3モード)。							
			011DM ; DM4で割ります (4/5モード)。							
			100DM ; DM8で割ります (8/9モード)。							
			101DM ; DM16で割ります (16/17モード)。							
			110DM ; DM32で割ります (32/33モード) (デフォルト)。							
111FD ; FD-3で割ります。										
0 × 017	[7:2]	ステータスピン 制御	ステータスピンに接続された信号を選択します。							
			765432レベルまたは動的信号ステータスピンの信号							
									LVL ; LVL	
			0	0	0	0	0	0	ダイン ;	グラウンド(dc) (デフォルト)。
			0	0	0	0	0	1	ダイン ;	N分割器出力 (遅延後)。
			0	0	0	0	1	0	ダイン ;	R分割器出力 (遅延後)。
			0	0	0	0	1	1	ダイン ;	分割器出力と、
			0	0	0	1	0	0	ダイン ;	プリスケアラ出力。
			0	0	0	1	0	1	ダイン ;	PFDアップパルス。
			0	0	0	1	1	0	ダイン ;	PFDダウンパルス。
			0	X	X	X	X	X	ダイン ;	グラウンド (dc); 上記で指定されていない10XXXXbの他のすべてのケースについて。
			0	X	X	X	X	X	ダイン ;	次の選択はREFMONと同じです。
			1						ダイン ;	地面 (dc)。
			1	0	0	0	0	0	ダイン ;	REF1クロック (差動モードのときの差動参照)。
			1	0	0	0	0	1	ダイン ;	REF2クロック (差動モードでは使用できません)。
			1	0	0	0	1	0	ダイン ;	PLLへの参照を選択しました (差分モードのときの差分参照)。PLL
			1	0	0	0	1	1	ダイン ;	への選択されていない参照 (差分モードでは使用できません)。選
			1	0	0	1	0	0	ダイン ;	択された参照のステータス (差分参照のステータス)。アクティ
			1	0	0	1	0	1	ダイン ;	ブな高さ。
			1	0	0	1	1	0	LVL ; LVL	選択されていない参照のステータス (差分モードでは使用で
			1	0	0	1	1	1	LVL ; LVL	きません)。アクティブな高さ。
			1	0	1	0	0	0	ダイン ;	ステータスREF1周波数 (アクティブハイ)。
			1	0	1	0	0	1	ダイン ;	ステータスREF2周波数 (アクティブハイ)。
			1	0	1	0	0	1	ダイン ;	(状態REF1周波数) および (状態REF2周波数)。
			1	0	1	0	1	0	ダイン ;	(DLD) および (選択された参照のステータス) および (VCOのステータス)。
			1	0	1	0	1	1	ダイン ;	VCO周波数のステータス (アクティブハイ)。
			1	0	1	1	0	0	ダイン ;	選択された参照 (low=REF1、high=REF2)。
			1	0	1	1	0	1	ダイン ;	デジタルロック検出 (DLD)。アクティブな高さ。
			1	0	1	1	1	0	ダイン ;	ホールドオーバーアクティブ (アクティブハイ)。
			1	0	1	1	1	1	ダイン ;	LD pinコンパレータ出力 (アクティブハイ)。
			1	1	0	0	0	0	ダイン ;	VS (PLL供給)。
			1	1	0	0	0	1	ダイン ;	REF1クロック (差動モードのときの差動参照)。
			1	1	0	0	1	0	LVL ; LVL	REF2クロック (差動モードでは使用できません)。
			1	1	0	0	1	1	LVL ; LVL	PLLへの参照を選択しました (差分モードのときの差分参照)。PLLへの選
			1	1	0	1	0	0	LVL ; LVL	択されていない参照 (差動モードの場合は使用できません)。選択された
			1	1	0	1	0	1	LVL ; LVL	参照のステータス (差分参照のステータス)。アクティブな低さ。選択
			1	1	0	1	1	0	LVL ; LVL	されていない参照のステータス (差分モードでは使用できません)。ア
			1	1	0	1	1	1	LVL ; LVL	クティブな低さ。REF1周波数のステータス (アクティブロー)。
			1	1	1	0	0	0	LVL ; LVL	REF2周波数のステータス (アクティブロー)。
			1	1	1	0	0	1	LVL ; LVL	(REF1周波数のステータス) および (REF2周波数のステータ
			1	1	1	0	1	0	LVL ; LVL	ス)。 (DLD) および (選択された参照のステータス) および
			1	1	1	0	1	1	LVL ; LVL	(VCOのステータス)。VCO周波数のステータス (アクティブ
			1	1	1	1	0	0	LVL ; LVL	低)。
			1	1	1	1	0	1	LVL ; LVL	選択された参照 (low=REF2、high=REF1)。
			1	1	1	1	1	0	ダイン ;	デジタルロック検出 (DLD) (アクティブロー)。
			1	1	1	1	1	1	ダイン ;	ホールドオーバーアクティブ (アクティブロー)。
			1	1	1	1	1	1	ダイン ;	LD pinコンパレータ出力 (アクティブロー)。
			1	1	1	1	1	1	ダイン ;	

									ダイン ; ダイン ダイン ; ダイン ; ダイン ダイン ; ダイン ; ダイン LVL ; LVL LVL ; LVL LVL ; LVL LVL ; LVL LVL ; LVL LVL ; LVL LVL ; LVL LVL ; LVL LVL ; LVL LVL ; LVL LVL ; LVL	
--	--	--	--	--	--	--	--	--	---	--

レジ. Addr. (16)	ビット	名前	説明	
0 × 017	[1:0]	反発防止 パルス幅	<b>1</b>	<b>0</b> アンチバックラッシュパルス幅(ns)
			0	0
			0	1
			1	0
			1	1
2.9 (デフォルト)。これが推奨設定です。通常は変更する必要はありません。 1.3. この設定は、PFD周波数が50 MHz>であれば必要になる場合があります。6.0. 2.9.				
0x018	[6:5]	ロック検出カウンタ	DLDがロック状態を示す前に、ロック検出ウィンドウ内にエッジを持つ必要な連続したPFDサイクル数。	
			<b>6</b>	<b>5</b> ロックを決定するためのPFDサイクル
			0	0
			0	1
			1	0
	1	1		
	5 (デフォルト)。16. 64. 255.			
	4	デジタルロック検出ウィンドウ	前記PFDへの入力における前記立ち上がりエッジの時間差が前記ロック検出ウィンドウ時間未満であれば、前記デジタルロック検出フラグが設定されるフラグは、時間差がロック損失閾値よりも大きくなるまで設定され続けます。 0：高範囲 (デフォルト)。 1：低範囲	
	3	デジタルロック検出を無効にする	デジタルロック検出動作。 0：通常のロック検出動作 (デフォルト)。 1：ロック検出を無効にします。	
	[2:1]	VCOカル分割器	VCOキャリブレーション分割器。 PLL参照クロックからVCOキャリブレーションクロックを生成するために使用される分割器。	
			<b>2</b>	<b>1</b> VCOキャリブレーションクロック分割器
			0	0
			0	1
			1	0
	1	1		
	2. この設定は、PFD周波数が12.5MHz未満では問題ありません。PFD周波数はfREF/sirです。 4. この設定は、PFD周波数が25 MHz未満の場合は問題ありません。 8. この設定は、PFD周波数が50 MHz未満の場合は問題ありません。 16 (デフォルト)。この設定はどのPFD周波数でも問題ありませんが、VCOキャリブレーション時間も最長になります。			
	0	現在のVCO cal	VCOキャリブレーションを開始するために使用されるビット。このビットは、アクティブなレジスタで0bから1bに切り替える必要があります。キャリブレーションを開始するには、次の3つのステップを使用します。まず、入力参照信号が存在することを確認します。第二に、0b (すでにゼロではない場合) に設定し、更新ビット (レジスタ0x232、ビット0) が続きます。そして3番目に、プログラム1bに続き、別の更新ビット (レジスタ0x232、ビット0) が続きます。このビットをクリアすると、VCOキャリブレーションが破棄され、通常はPLLがロックを失うことになります。ユーザーは、VCOキャリブレーション中にホールドオーバーがレジスタ0x01D=00bのビットを有効にすることを確認する必要があります。	
0x019	[7:6]	R <sub>a</sub> Bカウンタ同期ピンリセット	<b>7</b>	<b>6</b> アクション
			0	0
			0	1
			1	0
			1	1
同期(デフォルト)では何もしません。非同期リセット。 同期リセット。 同期では何もしません。				
[5:3]	Rパス遅延	Rパス遅延(デフォルト=0x00)(settable 2)。		
[2:0]	Nパス遅延	Nパス遅延(デフォルト=0x00)(settable 2)。		

レグ。 Addr. (16)	ビット	名前	説明																																																																																																																																																																																																																																																																																																																																																																																																																																								
	6	基準周波数モニタ閾値	前記基準（REF1/REF2）周波数モニタの検出閾値周波数を設定します。これは、VCO周波数モニタの検出しきい値（settable 16：REF1、REF2、およびVCO周波数ステータスモニタパラメータ）に影響を与えません。 0：周波数がより高い周波数閾値（デフォルト）を超えている場合は、周波数が有効です。 1：周波数が低い周波数閾値を超えている場合は、周波数が有効です。																																																																																																																																																																																																																																																																																																																																																																																																																																								
0x01A	[5:0]	LDピン制御	LDピンに接続された信号を選択します。																																																																																																																																																																																																																																																																																																																																																																																																																																								
			<table><tr><th>5</th><th>4</th><th>3</th><th>2</th><th>1</th><th>0</th><th>レベルまたは動的信号</th><th>LDピンでの信号</th></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td>LVL；LVL</td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td>ダイン；</td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td>ダイン；</td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td>ダイン</td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td>ダイン；</td><td></td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>ダイン；</td><td>デジタルロック検出(高=ロック、低=ロック解除)(デフォルト)。</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>ダイン</td><td>Pチャンネル、オープンドレインロック検出（アナログロック検出）。</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>ヒズ；ヒズ</td><td>Nチャンネル、オープンドレインロック検出（アナログロック検出）。</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>ズ</td><td>高Z LDピン。</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>カル；カル</td><td>現在のソースロック検出(DLDがtrueの場合110μa)。</td></tr><tr><td>0</td><td>X； X</td><td>X； X</td><td>X ；</td><td>X ；</td><td>× ×</td><td>ル LVL；LVL LVL；LVL</td><td>グラウンド(dc)；上記で指定されていない10XXXXbの他のすべてのケースについて。次の選択はREFMONと同じです。 地面(dc)。</td></tr><tr><td>1</td><td></td><td></td><td>X</td><td>X</td><td></td><td>LVL；LVL</td><td></td></tr><tr><td>1</td><td>0</td><td>0</td><td></td><td>0</td><td>0</td><td>ダイン；</td><td>REF1クロック(差動モードのときの差動参照)。</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>ダイン；</td><td>REF2クロック(差動モードでは使用できません)。</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>ダイン</td><td>PLLへの参照(無差分モード時の差分参照)を選択しました。PLLへの</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>ダイン；</td><td>選択されていない参照(差動モードでは使用できません)。</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>ダイン；</td><td>選択された参照のステータス（差分参照のステータス）。アクティ</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>ダイン</td><td>ブな高さ。選択されていない参照のステータス（差分モードで</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>ダイン；</td><td>は使用できません）。アクティブな高さ。</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>ダイン；</td><td>ステータスREF1周波数(アクティブハイ)。</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>ダイン</td><td>ステータスREF2周波数(アクティブハイ)。</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>ダイン；</td><td>(状態REF1周波数)および(状態REF2周波数)。</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>ダイン；</td><td>(DLD)および(選択された参照のステータス)および(VCOのステータス)。</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>ダイン</td><td>VCO周波数のステータス(アクティブハイ)。</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>LVL；LVL</td><td>選択された参照(low=REF1、high=REF2)。</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>LVL；LVL</td><td>デジタルロック検出(DLD)。アクティブな高さ。</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>LVL；LVL</td><td>ホールドオーバーアクティブ(アクティブハイ)。</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>LVL；LVL</td><td>利用できません。使用しないでください。</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td><td>LVL；LVL</td><td>VS(PLL供給)。</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>LVL；LVL</td><td>REF1クロック(差動モードのときの差動参照)。</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>LVL；LVL</td><td>REF2クロック(差動モードでは使用できません)。</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>LVL；LVL</td><td>PLLへの参照を選択しました(差分モードのときの差分参</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td><td>LVL；LVL</td><td>照)。</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>LVL；LVL</td><td>PLLへの選択されていない参照(差動モードの場合は使用できま</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td><td>LVL；LVL</td><td>せん)。選択された参照のステータス（差分参照のステータ</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td></td><td>LVL；LVL</td><td>ス）。アクティブな低さ。</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td><td>ダイン；</td><td>選択されていない参照のステータス（差分モードでは使用で</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>1</td><td>1</td><td>ダイン；</td><td>きません）。アクティブな低さ。</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>1</td><td>1</td><td>ダイン</td><td>REF1周波数のステータス(アクティブロー)。</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>ダイン；</td><td>REF2周波数のステータス(アクティブロー)。</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td><td>ダイン；</td><td>(REF1周波数の状態)および(REF2周波数の状態)。</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>ダイン</td><td>(DLD)および(選択された参照のステータス)および(VCOのステータス)。</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td><td>1</td><td>ダイン；</td><td>VCO周波数のステータス(アクティブ低)。</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>ダイン；</td><td>選択された参照(low=REF2、high=REF1)。</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td><td>ダイン</td><td>デジタルロック検出(DLD)。アクティブな低さ。</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>ダイン；</td><td>ホールドオーバーアクティブ(アクティブロー)。</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>ダイン；</td><td>利用できません。使用しないでください。</td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td>ダイン</td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td>LVL；LVL</td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td>LVL；LVL</td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td>LVL；LVL</td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td>LVL；LVL</td><td></td></tr></table>	5	4	3	2	1	0	レベルまたは動的信号	LDピンでの信号							LVL；LVL								ダイン；								ダイン；								ダイン								ダイン；		0	0	0	0	0	0	ダイン；	デジタルロック検出(高=ロック、低=ロック解除)(デフォルト)。	0	0	0	0	0	1	ダイン	Pチャンネル、オープンドレインロック検出（アナログロック検出）。	0	0	0	0	1	0	ヒズ；ヒズ	Nチャンネル、オープンドレインロック検出（アナログロック検出）。	0	0	0	0	1	1	ズ	高Z LDピン。	0	0	0	1	0	0	カル；カル	現在のソースロック検出(DLDがtrueの場合110μa)。	0	X； X	X； X	X ；	X ；	× ×	ル LVL；LVL LVL；LVL	グラウンド(dc)；上記で指定されていない10XXXXbの他のすべてのケースについて。次の選択はREFMONと同じです。 地面(dc)。	1			X	X		LVL；LVL		1	0	0		0	0	ダイン；	REF1クロック(差動モードのときの差動参照)。	1	0	0	0	0	1	ダイン；	REF2クロック(差動モードでは使用できません)。	1	0	0	0	0	0	ダイン	PLLへの参照(無差分モード時の差分参照)を選択しました。PLLへの	1	0	0	0	1	1	ダイン；	選択されていない参照(差動モードでは使用できません)。	1	0	0	0	1	0	ダイン；	選択された参照のステータス（差分参照のステータス）。アクティ	1	0	0	1	0	1	ダイン	ブな高さ。選択されていない参照のステータス（差分モードで	1	0	0	1	0	0	ダイン；	は使用できません）。アクティブな高さ。	1	0	0	1	1	1	ダイン；	ステータスREF1周波数(アクティブハイ)。	1	0	0	1	1	0	ダイン	ステータスREF2周波数(アクティブハイ)。	1	0	1	0	0	0	ダイン；	(状態REF1周波数)および(状態REF2周波数)。	1	0	1	0	0	1	ダイン；	(DLD)および(選択された参照のステータス)および(VCOのステータス)。	1	0	1	0	1	0	ダイン	VCO周波数のステータス(アクティブハイ)。	1	0	1	0	1	1	LVL；LVL	選択された参照(low=REF1、high=REF2)。	1	0	1	1	0	0	LVL；LVL	デジタルロック検出(DLD)。アクティブな高さ。	1	0	1	1	0	1	LVL；LVL	ホールドオーバーアクティブ(アクティブハイ)。	1	0	1	1	1	0	LVL；LVL	利用できません。使用しないでください。	1	0	1	1	1	1	LVL；LVL	VS(PLL供給)。	1	1	0	0	0	0	LVL；LVL	REF1クロック(差動モードのときの差動参照)。	1	1	0	0	0	1	LVL；LVL	REF2クロック(差動モードでは使用できません)。	1	1	0	0	1	0	LVL；LVL	PLLへの参照を選択しました(差分モードのときの差分参	1	1	0	0	1	1	LVL；LVL	照)。	1	1	0	1	0	0	LVL；LVL	PLLへの選択されていない参照(差動モードの場合は使用できま	1	1	0	1	0	1	LVL；LVL	せん)。選択された参照のステータス（差分参照のステータ	1	1	0	1	0		LVL；LVL	ス）。アクティブな低さ。	1	1	0	1	1	0	ダイン；	選択されていない参照のステータス（差分モードでは使用で	1	1	0	1	1	1	ダイン；	きません）。アクティブな低さ。	1	1	0	1	1	1	ダイン	REF1周波数のステータス(アクティブロー)。	1	1	1	0	0	0	ダイン；	REF2周波数のステータス(アクティブロー)。	1	1	1	0	0	1	ダイン；	(REF1周波数の状態)および(REF2周波数の状態)。	1	1	1	0	1	0	ダイン	(DLD)および(選択された参照のステータス)および(VCOのステータス)。	1	1	1	0	1	1	ダイン；	VCO周波数のステータス(アクティブ低)。	1	1	1	1	0	0	ダイン；	選択された参照(low=REF2、high=REF1)。	1	1	1	1	0	1	ダイン	デジタルロック検出(DLD)。アクティブな低さ。	1	1	1	1	1	0	ダイン；	ホールドオーバーアクティブ(アクティブロー)。	1	1	1	1	1	1	ダイン；	利用できません。使用しないでください。							ダイン								LVL；LVL								LVL；LVL								LVL；LVL								LVL；LVL	
			5	4	3	2	1	0	レベルまたは動的信号	LDピンでの信号																																																																																																																																																																																																																																																																																																																																																																																																																																	
									LVL；LVL																																																																																																																																																																																																																																																																																																																																																																																																																																		
									ダイン；																																																																																																																																																																																																																																																																																																																																																																																																																																		
									ダイン；																																																																																																																																																																																																																																																																																																																																																																																																																																		
									ダイン																																																																																																																																																																																																																																																																																																																																																																																																																																		
									ダイン；																																																																																																																																																																																																																																																																																																																																																																																																																																		
			0	0	0	0	0	0	ダイン；	デジタルロック検出(高=ロック、低=ロック解除)(デフォルト)。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			0	0	0	0	0	1	ダイン	Pチャンネル、オープンドレインロック検出（アナログロック検出）。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			0	0	0	0	1	0	ヒズ；ヒズ	Nチャンネル、オープンドレインロック検出（アナログロック検出）。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			0	0	0	0	1	1	ズ	高Z LDピン。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			0	0	0	1	0	0	カル；カル	現在のソースロック検出(DLDがtrueの場合110μa)。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			0	X； X	X； X	X ；	X ；	× ×	ル LVL；LVL LVL；LVL	グラウンド(dc)；上記で指定されていない10XXXXbの他のすべてのケースについて。次の選択はREFMONと同じです。 地面(dc)。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1			X	X		LVL；LVL																																																																																																																																																																																																																																																																																																																																																																																																																																		
			1	0	0		0	0	ダイン；	REF1クロック(差動モードのときの差動参照)。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	0	0	0	0	1	ダイン；	REF2クロック(差動モードでは使用できません)。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	0	0	0	0	0	ダイン	PLLへの参照(無差分モード時の差分参照)を選択しました。PLLへの																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	0	0	0	1	1	ダイン；	選択されていない参照(差動モードでは使用できません)。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	0	0	0	1	0	ダイン；	選択された参照のステータス（差分参照のステータス）。アクティ																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	0	0	1	0	1	ダイン	ブな高さ。選択されていない参照のステータス（差分モードで																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	0	0	1	0	0	ダイン；	は使用できません）。アクティブな高さ。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	0	0	1	1	1	ダイン；	ステータスREF1周波数(アクティブハイ)。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	0	0	1	1	0	ダイン	ステータスREF2周波数(アクティブハイ)。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	0	1	0	0	0	ダイン；	(状態REF1周波数)および(状態REF2周波数)。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	0	1	0	0	1	ダイン；	(DLD)および(選択された参照のステータス)および(VCOのステータス)。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	0	1	0	1	0	ダイン	VCO周波数のステータス(アクティブハイ)。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	0	1	0	1	1	LVL；LVL	選択された参照(low=REF1、high=REF2)。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	0	1	1	0	0	LVL；LVL	デジタルロック検出(DLD)。アクティブな高さ。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	0	1	1	0	1	LVL；LVL	ホールドオーバーアクティブ(アクティブハイ)。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	0	1	1	1	0	LVL；LVL	利用できません。使用しないでください。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	0	1	1	1	1	LVL；LVL	VS(PLL供給)。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	1	0	0	0	0	LVL；LVL	REF1クロック(差動モードのときの差動参照)。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	1	0	0	0	1	LVL；LVL	REF2クロック(差動モードでは使用できません)。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	1	0	0	1	0	LVL；LVL	PLLへの参照を選択しました(差分モードのときの差分参																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	1	0	0	1	1	LVL；LVL	照)。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	1	0	1	0	0	LVL；LVL	PLLへの選択されていない参照(差動モードの場合は使用できま																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	1	0	1	0	1	LVL；LVL	せん)。選択された参照のステータス（差分参照のステータ																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	1	0	1	0		LVL；LVL	ス）。アクティブな低さ。																																																																																																																																																																																																																																																																																																																																																																																																																																	
			1	1	0	1	1	0	ダイン；	選択されていない参照のステータス（差分モードでは使用で																																																																																																																																																																																																																																																																																																																																																																																																																																	
1	1	0	1	1	1	ダイン；	きません）。アクティブな低さ。																																																																																																																																																																																																																																																																																																																																																																																																																																				
1	1	0	1	1	1	ダイン	REF1周波数のステータス(アクティブロー)。																																																																																																																																																																																																																																																																																																																																																																																																																																				
1	1	1	0	0	0	ダイン；	REF2周波数のステータス(アクティブロー)。																																																																																																																																																																																																																																																																																																																																																																																																																																				
1	1	1	0	0	1	ダイン；	(REF1周波数の状態)および(REF2周波数の状態)。																																																																																																																																																																																																																																																																																																																																																																																																																																				
1	1	1	0	1	0	ダイン	(DLD)および(選択された参照のステータス)および(VCOのステータス)。																																																																																																																																																																																																																																																																																																																																																																																																																																				
1	1	1	0	1	1	ダイン；	VCO周波数のステータス(アクティブ低)。																																																																																																																																																																																																																																																																																																																																																																																																																																				
1	1	1	1	0	0	ダイン；	選択された参照(low=REF2、high=REF1)。																																																																																																																																																																																																																																																																																																																																																																																																																																				
1	1	1	1	0	1	ダイン	デジタルロック検出(DLD)。アクティブな低さ。																																																																																																																																																																																																																																																																																																																																																																																																																																				
1	1	1	1	1	0	ダイン；	ホールドオーバーアクティブ(アクティブロー)。																																																																																																																																																																																																																																																																																																																																																																																																																																				
1	1	1	1	1	1	ダイン；	利用できません。使用しないでください。																																																																																																																																																																																																																																																																																																																																																																																																																																				
						ダイン																																																																																																																																																																																																																																																																																																																																																																																																																																					
						LVL；LVL																																																																																																																																																																																																																																																																																																																																																																																																																																					
						LVL；LVL																																																																																																																																																																																																																																																																																																																																																																																																																																					
						LVL；LVL																																																																																																																																																																																																																																																																																																																																																																																																																																					
						LVL；LVL																																																																																																																																																																																																																																																																																																																																																																																																																																					

									LVL ; LVL LVL ; LVL LVL ; LVL LVL ; LVL LVL ; LVL LVL ; LVL LVL ; LVL LVL ; LVL	
--	--	--	--	--	--	--	--	--	--	--

レグ。 Addr. (16)	ビット	名前	説明
	7	VCO ; VCO 周波数モニタ	VCO周波数モニタを有効または無効にします。 0 : VCO周波数モニタを無効にします(デフォルト)。 1 : VCO周波数モニタを有効にします。
	6	REF2( $\overline{\text{REF1N}}$ ) 周波数モニタ	REF2周波数モニタを有効または無効にします。 0 : REF2周波数モニタ(デフォルト)を無効にします。 1 : REF2周波数モニタを有効にします。
	5	REF1(REFIN) 周波数モニタ	REF1(REFIN)周波数モニターを有効にします。これは、REF1(シングルエンド)とREFIN(差動)入力の両方に適しています(差動参照モードで選択されています)。 0 : REF1(REFIN)周波数モニタ(デフォルト)を無効にします。 1 : REF1(REFIN)周波数モニタを有効にします。
0x01B	[4:0]	REFMONピン制御	REFMONピンに接続された信号を選択します。
			<div style="display: flex; justify-content: space-around;"> <span>4</span> <span>3</span> <span>2</span> <span>1</span> <span>0</span> </div> <div style="display: flex; justify-content: space-between;"> <div>レベルまたは動的信号</div> <div>REFMONピンの信号</div> </div>
			LVL ; LVL ダイン ; ダイン ; ダイン ダイン ; ダイン ; ダイン グラウンド(dc)(デフォルト)。 REF1クロック ( 差動モードのときの差動参照 ) 。 REF2クロック(差動モードでは使用できません)。 PLLへの参照を選択しました(差分モードのときの差分参照)。PLLへの 選択されていない参照(差動モードでは使用できません)。 選択された参照のステータス ( 差分参照のステータス ) 。アクティブな高さ。選択されていない参照のステータス ( 差分モードでは使用できません ) 。アクティブな高さ。ステータスREF1周波数(アクティブハイ)。 ステータスREF2周波数(アクティブハイ)。 (状態REF1周波数)および(状態REF2周波数)。 (DLD)および(選択された参照のステータス)および(VCOのステータス)。 VCO周波数のステータス(アクティブハイ)。 選択された参照(low=REF1、high=REF2)。 デジタルロック検出(DLD)。アクティブな低さ。 ホールドオーバーアクティブ(アクティブハイ)。 LD pinコンパレータ出力(アクティブハイ)。 VS(PLL供給)。 <u>REF1クロック ( 差動モードのときの差動参照 ) 。</u> <u>REF2クロック(差動モードでは使用できません)。</u> <u>PLLへの参照を選択しました(差分モードのときの差分参照)。</u> PLLへの <u>選択されていない参照(差動モードでは使用できません)。</u> 選択された参照のステータス ( 差分参照のステータス ) 。アクティブな低 さ。選択されていない参照のステータス ( 差分モードでは使用できませ ん ) 。アクティブな低さ。 REF1周波数のステータス(アクティブロー)。 REF2周波数のステータス(アクティブロー)。 <u>(REF1周波数の状態) および (REF2周波数の状態) 。</u> <u>(DLD)および(選択された参照のステータス)および(VCOのステータス)。</u> VCO周波数のステータス(アクティブ低)。 選択された参照(low=REF2、high=REF1)。 デジタルロック検出(DLD)。アクティブな低さ。 ホールドオーバーアクティブ(アクティブロー)。 LD pinコンパレータ出力(アクティブロー)。 LVL ; LVL LVL ; LVL LVL ; LVL LVL ; LVL LVL ; LVL LVL ; LVL LVL ; LVL
			0 0 0 0 0 0 0 0 0 1 0 0 0 1 0 0 0 0 1 1 0 0 1 0 0 0 0 1 0 1 0 0 1 1 0 0 0 1 1 1 0 1 0 0 0 0 1 0 0 1 0 1 0 1 0 0 1 1 0 0 0 1 1 0 1 0 1 1 1 0 0 1 1 1 1 1 0 0 0 0 1 0 0 0 1 1 0 0 1 0 1 0 0 1 1 1 0 1 0 0 1 0 1 0 1 1 0 1 1 0 1 0 1 1 1 1 1 0 0 0 1 1 0 0 1 1 1 0 1 0 1 1 0 1 1 1 1 1 0 0 1 1 1 0 1 1 1 1 1 0 1 1 1 1 1

									LVL ; LVL LVL ; LVL LVL ; LVL LVL ; LVL	
0x01C	7	切り替えデグ リッチを無効にす る	切り替えデグリッチ回路を無効または有効にします。 0 : 切り替えデグリッチ回路を有効にします(デフォルト)。 1 : 切替デグリッチ回路を無効にする。							
	6	REF2を選択しま す	レジスタ0x01C、ビット5=0bの場合、PLLの参照を選択します。 0 : REF1(デフォルト)を選択します。 1 : REF2を選択します。							
	5	REF_SELピンを使 用する	PLL参照選択の方法を設定します。 0 : レジスタ0x01C、ビット6 (デフォルト) を使用します。 1 : REF_SELピンを使用します。							
	[4:3]	予約された	予約済み(デフォルト : 00b)。							



レグ. Addr. (16)	ビット	名前	説明
0x01C	2	REF2電源オン	このビットはREF2の電源をオンにします。 0 : REF2の電源オフ(デフォルト)。 1 : REF2電源オン。
	1	REF1電源オン	このビットはREF1の電源をオンにします。 0 : REF1の電源オフ(デフォルト)。 1 : REF1電源オン。
	0	差分的 ; 差分的参照	PLL参照モード、差動モードまたはシングルエンドモードを選択します。REF1とREF2の間の自動切り替えが動作するには、シングルエンドを選択する必要があります。 0 : シングルエンド参照モード(デフォルト)。 1 : 差動参照モード
0x01D	4	PLLステータス登録を無効にする	PLLステータスレジスタの読み取りを無効にします。 0 : PLLステータスレジスタを有効にします(デフォルト)。 1 : PLLステータスレジスタを無効にします。
	3	LDピンコンパレータ有効化	LDピン電圧コンパレータを有効にします。この機能は、LD pin電流源ロック検出モードで使用されます。内部(自動)ホールドオーバーモードの場合、この機能により、LDピン上の電圧を使用して、PLLが以前にロック状態になっていたかどうかを判断できます(図53を参照)。それ以外の場合は、この機能をREFMONピンとステータスピンと一緒に使用して、このピンの電圧を監視できます。 0 : LDピンコンパレータを無効にします。内部/自動ホールドオーバーコントローラは、このピンをtrue(high)(デフォルト)として扱います。 1 : LDピンコンパレータを有効にします。
	2	保持有効化	ビット0とともに、ホールドオーバー機能を有効にします。VCOキャリブレーション中に自動ホールドオーバーを無効にする必要があります。 0 : ホールドオーバーが無効になっています(デフォルト)。 1 : ホールドオーバーが有効になっています。
	1	外部のホールドオーバー制御	同期ピンを介して外部ホールド制御を可能にします。(これにより、内部ホールドオーバーモードが無効になります。) 0 : 自動保持回路により制御される自動保持モード保持(デフォルト) 1 : 外部ホールドオーバーモード-同期ピンによって制御されるホールドオーバー。
	0	ホールドオーバー有効	ビット2とともに、ホールドオーバー機能を有効にします。VCOキャリブレーション中に自動ホールドオーバーを無効にする必要があります。 0 : ホールドオーバーが無効になっています(デフォルト)。 1 : ホールドオーバーが有効になっています。
0x01F	6	VCO cal 完成	読み取り専用レジスタ : VCOキャリブレーションのステータスを示します。 0 : VCOキャリブレーションが終了していません。 1 : VCOキャリブレーション終了。
	5	ホールドオーバーアクティブ	読み取り専用レジスタ : 部品がホールドオーバー状態にあるかどうかを示します(図53を参照)。これはホールドオーバーが有効になっていると同じではありません。 0 : ホールドオーバーではありません。 1 : ホールドオーバー状態アクティブ
	4	REF2選択されました	読み取り専用レジスタ : どのPLL参照がPLLへの入力として選択されているかを示します。 0 : REF1が選択されました(または差分モードの場合は差分参照)。 1 : REF2が選択されました。
	3	VCO周波数>しきい値	読み取り専用レジスタ : VCO周波数がしきい値よりも大きいかどうかを示します (settable 16 : REF1、REF2、およびVCO周波数ステータスマニタ)。 0 : VCO周波数が閾値未満である。 1 : VCO周波数が閾値より大きい。
	2	REF2周波数>閾値	読み取り専用レジスタ : REF2の信号の周波数がレジスタ0x1A、ビット6で設定された閾値周波数よりも大きいかどうかを示します。 0 : REF2周波数は閾値周波数未満である。 1 : REF2周波数は閾値周波数よりも大きい。
	1	REF1周波数>閾値	読み取り専用レジスタ : REF2の信号の周波数がレジスタ0x01A、ビット6で設定された閾値周波数よりも大きいかどうかを示します。 0 : REF1周波数は閾値周波数未満である。 1 : REF1周波数は閾値周波数よりも大きい。
	0	デジタルロック検出	読み取り専用レジスタ : デジタルロック検出。 0 : PLLがロックされていません。 1 : PLLがロックされています。

テーブル55. 微遅延調整OUT4~OUT7

0x0A0	0	OUT4遅延バイパス	遅延関数をバイパスまたは使用します。 0：遅延関数を使用します。 1：遅延関数（デフォルト）をバイパスします。			
0x0A1	[5:3]	OUT4ランプコンデンサ	遅延関数で使用するランプコンデンサの数を選択します。前記コンデンサ数と前記ランプ電流との組み合わせにより、遅延フルスケールが設定される、			
			<b>5</b>	<b>4</b>	<b>3</b>	<b>コンデンサ数</b>
			0	0	0	4（デフォルト）
			0	0	1	3
			0	1	0	3
			0	1	1	2
			1	0	0	3
			1	0	1	2
			1	1	0	2
			1	1	1	1
	[2:0]	OUT4ランプ電流	遅延機能のランプ電流。コンデンサ数とランプ電流との組み合わせにより遅延フルスケールが設定されます。			
			<b>2</b>	<b>1</b>	<b>0</b>	<b>電流(μa)</b>
			0	0	0	200（デフォルト）
			0	0	1	400
			0	1	0	600
			0	1	1	800
			1	0	0	1000
			1	0	1	1200
			1	1	0	1400
			1	1	1	1600
0x0A2	[5:0]	OUT4遅延分	所望のフルスケール遅延の割合（6ビットバイナリ）を選択します。 000000bの設定では、遅延がゼロとなる。 最大47小数（101111b; 0x2F）までの遅延値のみがサポートされています（デフォルト=0x00）。			
0x0A3	0	OUT5遅延バイパス	遅延関数をバイパスまたは使用します。 0：遅延関数を使用します。 1：遅延関数（デフォルト）をバイパスします。			
0x0A4	[5:3]	OUT5ランプコンデンサ	遅延関数で使用するランプコンデンサの数を選択します。前記コンデンサ数と前記ランプ電流との組み合わせにより、遅延フルスケールが設定される、			
			<b>5</b>	<b>4</b>	<b>3</b>	<b>コンデンサ数</b>
			0	0	0	4（デフォルト）
			0	0	1	3
			0	1	0	3
			0	1	1	2
			1	0	0	3
			1	0	1	2
			1	1	0	2
			1	1	1	1

レジ.  
Addr.  
(Hex) ビット名

説明

レグ。 Addr. (16)	ビット	名前	説明																																				
0x0A4	[2:0]	OUT5ランプ電流	<p>遅延機能のランプ電流。コンデンサ数とランプ電流との組み合わせにより、遅延フルスケールが設定されます。</p> <table> <tr> <th>2</th><th>1</th><th>0</th><th>電流(μa)</th></tr> <tr><td>0</td><td>0</td><td>0</td><td>200 (デフォルト)</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>400</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>600</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>800</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1000</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1200</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1400</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1600</td></tr> </table>	2	1	0	電流(μa)	0	0	0	200 (デフォルト)	0	0	1	400	0	1	0	600	0	1	1	800	1	0	0	1000	1	0	1	1200	1	1	0	1400	1	1	1	1600
2	1	0	電流(μa)																																				
0	0	0	200 (デフォルト)																																				
0	0	1	400																																				
0	1	0	600																																				
0	1	1	800																																				
1	0	0	1000																																				
1	0	1	1200																																				
1	1	0	1400																																				
1	1	1	1600																																				
0x0A5	[5:0]	OUT5遅延分	<p>所望のフルスケール遅延の割合 (6ビットバイナリ) を選択します。 000000bの設定では、遅延がゼロとなる。 最大47小数 (101111b; 0x2F) までの遅延値のみがサポートされています (デフォルト=0x00)。</p>																																				
0x0A6	0	OUT6遅延バイパス	<p>遅延関数をバイパスまたは使用します。 0: 遅延関数を使用します。 1: 遅延関数 (デフォルト) をバイパスします。</p>																																				
0x0A7	[5:3]	OUT6ランプコンデンサ	<p>遅延関数で使用するランプコンデンサの数を選択します。コンデンサ数とランプ電流との組み合わせにより遅延フルスケールが設定されます。</p> <table> <tr> <th>5</th><th>4</th><th>3</th><th>コンデンサ数</th></tr> <tr><td>0</td><td>0</td><td>0</td><td>4 (デフォルト)</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>3</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>3</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>2</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>3</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>2</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td></tr> </table>	5	4	3	コンデンサ数	0	0	0	4 (デフォルト)	0	0	1	3	0	1	0	3	0	1	1	2	1	0	0	3	1	0	1	2	1	1	0	2	1	1	1	1
5	4	3	コンデンサ数																																				
0	0	0	4 (デフォルト)																																				
0	0	1	3																																				
0	1	0	3																																				
0	1	1	2																																				
1	0	0	3																																				
1	0	1	2																																				
1	1	0	2																																				
1	1	1	1																																				
	[2:0]	OUT6ランプ電流	<p>遅延関数のランプ電流。コンデンサ数とランプ電流の組み合わせにより遅延フルスケールが設定されます。</p> <table> <tr> <th>2</th><th>1</th><th>0</th><th>電流(μa)</th></tr> <tr><td>0</td><td>0</td><td>0</td><td>200 (デフォルト)</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>400</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>600</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>800</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1000</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1200</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1400</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1600</td></tr> </table>	2	1	0	電流(μa)	0	0	0	200 (デフォルト)	0	0	1	400	0	1	0	600	0	1	1	800	1	0	0	1000	1	0	1	1200	1	1	0	1400	1	1	1	1600
2	1	0	電流(μa)																																				
0	0	0	200 (デフォルト)																																				
0	0	1	400																																				
0	1	0	600																																				
0	1	1	800																																				
1	0	0	1000																																				
1	0	1	1200																																				
1	1	0	1400																																				
1	1	1	1600																																				
0x0A8	[5:0]	OUT6遅延分	<p>所望のフルスケール遅延の割合 (6ビットバイナリ) を選択します。 000000bの設定では、遅延がゼロとなる。 最大47小数 (101111b; 0x2F) までの遅延値のみがサポートされています (デフォルト=0x00)。</p>																																				
0x0A9	0	OUT7遅延バイパス	<p>遅延関数をバイパスまたは使用します。 0: 遅延関数を使用します。 1: 遅延関数 (デフォルト) をバイパスします。</p>																																				

レグ。 Addr. (16)	ビット	名前	説明
0x0AA	[5:3]	OUT7ランプコンデンサ	遅延関数で使用するランプコンデンサの数を選択します。コンデンサ数とランプ電流との組み合わせにより、遅延フルスケールが設定されます。
			543コンデンサ数
			0004 (デフォルト)
			0013
			0103
			0112
			1003
			1012
			1102
	1111		
	[2:0]	OUT7ランプ電流	遅延機能のランプ電流。コンデンサ数とランプ電流との組み合わせにより、遅延フルスケールが設定されます。
			210電流値(μa)
			000200 (デフォルト)
			001400
			010600
			011800
			1001000
1011200			
1111400			
1111600			
0x0AB	[5:0]	OUT7遅延分	所望のフルスケール遅延の割合（6ビットバイナリ）を選択します。 000000bの設定では、遅延がゼロとなる。 最大47小数（101111b; 0x2F）までの遅延値のみがサポートされています（デフォルト=0x00）。

表56. LVPECL出力

レグ。 Addr. (16)	ビット	名前	説明			
0x0F0	4	OUT0反転	出力極性を設定します。 0：非反転(デフォルト)。 1：反転			
	[3:2]	OUT0 LVPECL 差動電圧	LVPECL出力差動電圧(VOD)を設定します。			
			3	2	Vod (mV)	
			0	0	400	
			0	1	600	
	1	0	780 (デフォルト)			
1	1	960				
[1:0]	アウト0電源ダウン	LVPECLの電源ダウンモード。				
		1	0	モード	出力	
		0	0	通常の動作(デフォルト)。	上にある	
		0	1	部分的な電源が切れ、参照がオンになります。 外部負荷抵抗がない場合にのみ使用します。	オフにする	
		1	0	部分的な電源ダウン、参照オン、安全なLVPECL電源ダウン。	オフにする	
1	1	完全な電源ダウン、リファレンスオフ。 外部負荷抵抗がない場合にのみ使用します。	オフにする			

レグ。 Addr. (16)	ビ ット	名前	説明			
0x0F1	4	OUT1反転	出力極性を設定します。 0：非反転(デフォルト)。 1：反転			
	[3:2]	OUT1 LVPECL 差 動 電 圧	LVPECL出力差動電圧(VOD)を設定します。			
			3	2	V <sub>OD</sub> (mV)	
			0	0	400	
			0	1	600	
			1	0	780 (デフォルト)960	
	1	1				
	[1:0]	OUT1電源ダウン	LVPECLの電源ダウンモード。			
			1	0	モード	
			0	0	通常の動作。	
0			1	部分的な電源が切れ、参照がオンになります。外部負荷抵抗がない場合にのみ使用します。		
1			0	部分的な電源ダウン、参照オン、安全なLVPECL電源ダウン(デフォルト)。完全な電源ダウン、リファレンスオフ。外部負荷抵抗がない場合にのみ使用します。		
1	1					
0x0F4	4	OUT2反転	出力極性を設定します。 0：非反転(デフォルト)。 1：反転			
	[3:2]	OUT2 LVPECL 差 動 電 圧	LVPECL出力差動電圧(VOD)を設定します。			
			3	2	V <sub>OD</sub> (mV)	
			0	0	400	
			0	1	600	
			1	0	780 (デフォルト)960	
	1	1				
	[1:0]	アウト2電源ダウン	LVPECLの電源ダウンモード。			
			1	0	モード	
			0	0	通常の動作(デフォルト)。	
0			1	部分的な電源が切れ、参照がオンになります。外部負荷抵抗がない場合にのみ使用します。		
1			0	部分的な電源ダウン、参照オン、安全なLVPECL電源ダウン。		
1	1	完全な電源ダウン、リファレンスオフ。外部負荷抵抗がない場合にのみ使用します。				
0x0F5	4	OUT3反転	出力極性を設定します。 0：非反転(デフォルト)。 1：反転			
	[3:2]	OUT3 LVPECL 差 動 電 圧	LVPECL出力差動電圧(VOD)を設定します。			
			3	2	V <sub>OD</sub> (mV)	
			0	0	400	
			0	1	600	
			1	0	780 (デフォルト)960	
	1	1				
	[1:0]	アウト3電源ダウン	LVPECLの電源ダウンモード。			
			1	0	モード	
			0	0	通常の動作。	
0			1	部分的な電源が切れ、参照がオンになります。外部負荷抵抗がない場合にのみ使用します。		
1			0	部分的な電源ダウン、参照オン、安全なLVPECL電源ダウン(デフォルト)。完全な電源ダウン、リファレンスオフ。外部負荷抵抗がない場合にのみ使用します。		
1	1					



表57. LVDS/CMOS出力

レ グ。 Addr. ( 16)	ビ ッ ト	名前	説明																																																						
0 × 140	[7:5]	OUT4出力極性	CMOSモードでは、ビット[7：5]が各CMOS出力の出力極性を選択します。LVDSモードでは、ビット5のみがLVDSの極性を決定します。																																																						
			<table><tr><th>7</th><th>6</th><th>5</th><th>OUT4A (CMOS)</th><th>OUT4B (CMOS)</th><th>OUT4 (LVDS)</th></tr><tr><td>0</td><td>0</td><td>0</td><td></td><td></td><td></td></tr><tr><td>0</td><td>1</td><td>0</td><td>反転しない</td><td></td><td>反転しない</td></tr><tr><td>1</td><td>0</td><td>0</td><td>非反転反転</td><td>反転非反転反転非</td><td>非反転(デフォルト)</td></tr><tr><td>1</td><td>1</td><td>0</td><td>反転する</td><td>反転</td><td>反転しない</td></tr><tr><td>0</td><td>0</td><td>1</td><td>反転する</td><td>非反転非反転反転</td><td>非反転反転反転反転</td></tr><tr><td>0</td><td>1</td><td>1</td><td>反転非反転</td><td>非反転反転</td><td>非反転反転反転反転</td></tr><tr><td>1</td><td>0</td><td>1</td><td>反転しない</td><td></td><td>反転反転</td></tr><tr><td>1</td><td>1</td><td>1</td><td></td><td></td><td></td></tr></table>	7	6	5	OUT4A (CMOS)	OUT4B (CMOS)	OUT4 (LVDS)	0	0	0				0	1	0	反転しない		反転しない	1	0	0	非反転反転	反転非反転反転非	非反転(デフォルト)	1	1	0	反転する	反転	反転しない	0	0	1	反転する	非反転非反転反転	非反転反転反転反転	0	1	1	反転非反転	非反転反転	非反転反転反転反転	1	0	1	反転しない		反転反転	1	1	1			
			7	6	5	OUT4A (CMOS)	OUT4B (CMOS)	OUT4 (LVDS)																																																	
			0	0	0																																																				
			0	1	0	反転しない		反転しない																																																	
			1	0	0	非反転反転	反転非反転反転非	非反転(デフォルト)																																																	
			1	1	0	反転する	反転	反転しない																																																	
			0	0	1	反転する	非反転非反転反転	非反転反転反転反転																																																	
	0	1	1	反転非反転	非反転反転	非反転反転反転反転																																																			
	1	0	1	反転しない		反転反転																																																			
	1	1	1																																																						
	4	OUT4 CMOS B	CMOSモードでは、CMOS B出力をオン/オフにします。LVDSモードでは効果はありません。 0：CMOS B出力(デフォルト)をオフにします。 1：CMOS B出力をオンにします。																																																						
	3	OUT4選択LVDS/CMOS	LVDSまたはCMOSロジックレベルを選択します。0：LVDS(デフォルト)。 1：CMOS。																																																						
	[2:1]	OUT4 LVDS出力電流	出力電流レベルをLVDSモードで設定します。これはCMOSモードでは効果がありません。																																																						
			<table><tr><th>2</th><th>1</th><th>電流(mA)</th><th>推奨終了( )</th></tr><tr><td>0</td><td>0</td><td>1.75</td><td>100</td></tr><tr><td>0</td><td>1</td><td>3.5</td><td>100 (デフォルト)50</td></tr><tr><td>1</td><td>0</td><td>5.25</td><td>50</td></tr><tr><td>1</td><td>1</td><td>7</td><td></td></tr></table>	2	1	電流(mA)	推奨終了( )	0	0	1.75	100	0	1	3.5	100 (デフォルト)50	1	0	5.25	50	1	1	7																																			
			2	1	電流(mA)	推奨終了( )																																																			
0			0	1.75	100																																																				
0			1	3.5	100 (デフォルト)50																																																				
1	0	5.25	50																																																						
1	1	7																																																							
0	アウト4電源ダウン	出力(LVDS/CMOS)に電源を切ります。 0：電源オン(デフォルト)。 1：電源オフ																																																							
0x141	[7:5]	OUT5出力極性	CMOSモードでは、ビット[7：5]が各CMOS出力の出力極性を選択します。LVDSモードでは、ビット5のみがLVDSの極性を決定します。																																																						
			<table><tr><th>7</th><th>6</th><th>5</th><th>OUT5A (CMOS)</th><th>OUT5B (CMOS)</th><th>OUT5 (LVDS)</th></tr><tr><td>0</td><td>0</td><td>0</td><td></td><td></td><td></td></tr><tr><td>0</td><td>1</td><td>0</td><td>反転しない</td><td></td><td>反転しない</td></tr><tr><td>1</td><td>0</td><td>0</td><td>非反転反転</td><td>反転非反転反転非</td><td>非反転(デフォルト)</td></tr><tr><td>1</td><td>1</td><td>0</td><td>反転する</td><td>反転</td><td>反転しない</td></tr><tr><td>0</td><td>0</td><td>1</td><td>反転する</td><td>非反転非反転反転</td><td>非反転反転反転反転</td></tr><tr><td>0</td><td>1</td><td>1</td><td>反転非反転</td><td>非反転反転</td><td>非反転反転反転反転</td></tr><tr><td>1</td><td>0</td><td>1</td><td>反転しない</td><td></td><td>反転反転</td></tr><tr><td>1</td><td>1</td><td>1</td><td></td><td></td><td></td></tr></table>	7	6	5	OUT5A (CMOS)	OUT5B (CMOS)	OUT5 (LVDS)	0	0	0				0	1	0	反転しない		反転しない	1	0	0	非反転反転	反転非反転反転非	非反転(デフォルト)	1	1	0	反転する	反転	反転しない	0	0	1	反転する	非反転非反転反転	非反転反転反転反転	0	1	1	反転非反転	非反転反転	非反転反転反転反転	1	0	1	反転しない		反転反転	1	1	1			
			7	6	5	OUT5A (CMOS)	OUT5B (CMOS)	OUT5 (LVDS)																																																	
			0	0	0																																																				
			0	1	0	反転しない		反転しない																																																	
			1	0	0	非反転反転	反転非反転反転非	非反転(デフォルト)																																																	
			1	1	0	反転する	反転	反転しない																																																	
			0	0	1	反転する	非反転非反転反転	非反転反転反転反転																																																	
	0	1	1	反転非反転	非反転反転	非反転反転反転反転																																																			
	1	0	1	反転しない		反転反転																																																			
	1	1	1																																																						
	4	OUT5 CMOS B	CMOSモードでは、CMOS B出力をオン/オフにします。LVDSモードでは効果はありません。 0：CMOS B出力(デフォルト)をオフにします。 1：CMOS B出力をオンにします。																																																						
	3	OUT5選択LVDS/CMOS	LVDSまたはCMOSロジックレベルを選択します。0：LVDS(デフォルト)。 1：CMOS。																																																						
	[2:1]	OUT5 LVDS出力電流	出力電流レベルをLVDSモードで設定します。これはCMOSモードでは効果がありません。																																																						
			<table><tr><th>2</th><th>1</th><th>電流(mA)</th><th>推奨終了( )</th></tr><tr><td>0</td><td>0</td><td>1.75</td><td>100</td></tr><tr><td>0</td><td>1</td><td>3.5</td><td>100 (デフォルト)50</td></tr><tr><td>1</td><td>0</td><td>5.25</td><td>50</td></tr></table>	2	1	電流(mA)	推奨終了( )	0	0	1.75	100	0	1	3.5	100 (デフォルト)50	1	0	5.25	50																																						
			2	1	電流(mA)	推奨終了( )																																																			
0			0	1.75	100																																																				
0			1	3.5	100 (デフォルト)50																																																				
1	0	5.25	50																																																						

			1	1	7	
--	--	--	---	---	---	--



レ グ。 Addr. ( 16)	ビ ッ ト	名前	説明																																																			
0x141	0	アウト5電源ダウン	出力(LVDS/CMOS)をパワーダウンします。 0：電源オン。 1：電源オフ（デフォルト）。																																																			
0x142	[7:5]	OUT6出力極性	CMOSモードでは、ビット[7：5]が各CMOS出力の出力極性を選択します。LVDSモードでは、ビット5のみがLVDSの極性を決定します。																																																			
			<table><tr><th>7</th><th>6</th><th>5</th><th>OUT6A (CMOS)</th><th>OUT6B (CMOS)</th><th>OUT6 (LVDS)</th></tr><tr><td>0</td><td>0</td><td>0</td><td></td><td></td><td></td></tr><tr><td>0</td><td>1</td><td>0</td><td>反転しない</td><td rowspan="4">反転非反転反転非反転</td><td>反転しない</td></tr><tr><td>1</td><td>0</td><td>0</td><td>非反転反転</td><td>非反転(デフォルト)</td></tr><tr><td>1</td><td>1</td><td>0</td><td>反転する</td><td>反転しない</td></tr><tr><td>0</td><td>0</td><td>1</td><td>反転する</td><td>非反転反転反転反転</td></tr><tr><td>0</td><td>1</td><td>1</td><td>反転非反転</td><td>反転反転</td><td>非反転反転反転反転</td></tr><tr><td>1</td><td>0</td><td>1</td><td>反転しない</td><td></td><td>反転反転</td></tr><tr><td>1</td><td>1</td><td>1</td><td></td><td></td><td></td></tr></table>	7	6	5	OUT6A (CMOS)	OUT6B (CMOS)	OUT6 (LVDS)	0	0	0				0	1	0	反転しない	反転非反転反転非反転	反転しない	1	0	0	非反転反転	非反転(デフォルト)	1	1	0	反転する	反転しない	0	0	1	反転する	非反転反転反転反転	0	1	1	反転非反転	反転反転	非反転反転反転反転	1	0	1	反転しない		反転反転	1	1	1			
			7	6	5	OUT6A (CMOS)	OUT6B (CMOS)	OUT6 (LVDS)																																														
			0	0	0																																																	
			0	1	0	反転しない	反転非反転反転非反転	反転しない																																														
			1	0	0	非反転反転		非反転(デフォルト)																																														
			1	1	0	反転する		反転しない																																														
			0	0	1	反転する		非反転反転反転反転																																														
	0	1	1	反転非反転	反転反転	非反転反転反転反転																																																
	1	0	1	反転しない		反転反転																																																
1	1	1																																																				
4	OUT6 CMOS B	CMOSモードでは、CMOS B出力をオン/オフにします。LVDSモードでは効果はありません。 0：CMOS B出力(デフォルト)をオフにします。 1：CMOS B出力をオンにします。																																																				
3	OUT6選択LVDS/CMOS	LVDSまたはCMOSロジックレベルを選択します。0：LVDS(デフォルト)。 1：CMOS。																																																				
[2:1]	OUT6 LVDS出力電流	出力電流レベルをLVDSモードで設定します。これはCMOSモードでは効果がありません。																																																				
		<table><tr><th>2</th><th>1</th><th>電流(mA)</th><th></th></tr><tr><td>0</td><td>0</td><td>1.75</td><td rowspan="4">推奨終了( )100 100 (デフォルト)50 50</td></tr><tr><td>0</td><td>1</td><td>3.5</td></tr><tr><td>1</td><td>0</td><td>5.25</td></tr><tr><td>1</td><td>1</td><td>7</td></tr></table>	2	1	電流(mA)		0	0	1.75	推奨終了( )100 100 (デフォルト)50 50	0	1	3.5	1	0	5.25	1	1	7																																			
		2	1	電流(mA)																																																		
		0	0	1.75	推奨終了( )100 100 (デフォルト)50 50																																																	
0	1	3.5																																																				
1	0	5.25																																																				
1	1	7																																																				
0	OUT6電源ダウン	出力(LVDS/CMOS)をパワーダウンします。 0：電源オン(デフォルト)。 1：電源オフ																																																				
0x143	[7:5]	OUT7出力極性	CMOSモードでは、ビット[7：5]が各CMOS出力の出力極性を選択します。LVDSモードでは、ビット5のみがLVDSの極性を決定します。																																																			
			<table><tr><th>7</th><th>6</th><th>5</th><th>OUT7A (CMOS)</th><th>OUT7B (CMOS)</th><th>OUT7(LVD)</th></tr><tr><td>0</td><td>0</td><td>0</td><td></td><td></td><td></td></tr><tr><td>0</td><td>1</td><td>0</td><td>反転しない</td><td rowspan="4">反転非反転反転非反転</td><td>反転しない</td></tr><tr><td>1</td><td>0</td><td>0</td><td>非反転反転</td><td>非反転(デフォルト)</td></tr><tr><td>1</td><td>1</td><td>0</td><td>反転する</td><td>反転しない</td></tr><tr><td>0</td><td>0</td><td>1</td><td>反転する</td><td>非反転反転反転反転</td></tr><tr><td>0</td><td>1</td><td>1</td><td>反転非反転</td><td>反転反転</td><td>非反転反転反転反転</td></tr><tr><td>1</td><td>0</td><td>1</td><td>反転しない</td><td></td><td>反転反転</td></tr><tr><td>1</td><td>1</td><td>1</td><td></td><td></td><td></td></tr></table>	7	6	5	OUT7A (CMOS)	OUT7B (CMOS)	OUT7(LVD)	0	0	0				0	1	0	反転しない	反転非反転反転非反転	反転しない	1	0	0	非反転反転	非反転(デフォルト)	1	1	0	反転する	反転しない	0	0	1	反転する	非反転反転反転反転	0	1	1	反転非反転	反転反転	非反転反転反転反転	1	0	1	反転しない		反転反転	1	1	1			
			7	6	5	OUT7A (CMOS)	OUT7B (CMOS)	OUT7(LVD)																																														
			0	0	0																																																	
			0	1	0	反転しない	反転非反転反転非反転	反転しない																																														
			1	0	0	非反転反転		非反転(デフォルト)																																														
1	1	0	反転する	反転しない																																																		
0	0	1	反転する	非反転反転反転反転																																																		
0	1	1	反転非反転	反転反転	非反転反転反転反転																																																	
1	0	1	反転しない		反転反転																																																	
1	1	1																																																				
4	OUT7 CMOS B	CMOSモードでは、CMOS B出力をオン/オフにします。LVDSモードでは効果はありません。 0：CMOS B出力(デフォルト)をオフにします。 1：CMOS B出力をオンにします。																																																				
3	OUT7選択LVDS/CMOS	LVDSまたはCMOSロジックレベルを選択します。0：LVDS(デフォルト)。 1：CMOS。																																																				

レ グ。 Addr. ( 16)	ビ ッ ト	名前	説明			
0x143	[2:1]	OUT7 LVDS出力電流	出力電流レベルをLVDSモードで設定します。これはCMOSモードでは効果がありません。			
			2	1	電流(mA)	推奨終了( )
			0	0	1.75	100
			0	1	3.5	100 (デフォルト)50
			1	0	5.25	50
			1	1	7	
0		OUT7電源ダウン	出力(LVDS/CMOS)をパワーダウンします。 0：電源オン。 1：電源オフ（デフォルト）。			

表58. LVPECLチャネル分割器

レ グ。 Addr. ( 16)	ビ ッ ト	名前	説明
0x190	[7:4]	分割器0低サイクル	分割出力が低いままになる分割入力クロックサイクル数(マイナス1)。0 × 0の値は、1つの入力クロックサイクルの分割器が低いことを意味します(デフォルト=0 × 0)。
	[3:0]	分割器0高サイクル	分割出力が高いままになる分割入力クロックサイクル数(マイナス1)。0 × 0の値は、1つの入力クロックサイクル(デフォルト=0 × 0)の分割器が高いことを意味します。
0x191	7	仕切り装置0バイパス	バイパスして仕切りをパワーダウンします。入力を分割器出力にルーティングします。 0：仕切り器を使用します。 1：バイパス分割器(デフォルト)。
	6	分割器0ノシンク	同期はありません。 0：チップレベルの同期信号に従います(デフォルト)。 1：チップレベルの同期信号を無視します。
	5	分割器0力高	分割器の出力を高に強制します。これは、nosync(ビット6)も設定する必要があります。 0：分割器出力が低くなります(デフォルト)。 1：分割器出力が高く強制されます。
	4	仕切り0はハイスター	高開始または低開始にクロック出力を選択します。 0：ロースタート(デフォルト)。 1：高始まり。
	[3:0]	分割器0位相オフセット	位相オフセット(デフォルト=0x0)。
0x192	1	出力に直接分割器0	OUT0とOUT1を分割器0に接続するか、VCOまたはCLKに直接接続します。 0：OUT0とOUT1は分割器0に接続されています(デフォルト)。 1：レジスタ0x1E1[1:0]=10bの場合、VCOはOUT0とOUT1に直接ルーティングされます。レジスタ0x1E1[1:0]=00bの場合、CLKはOUT0とOUT1に直接ルーティングされます。レジスタ0x1E1[1:0]=01bの場合、効果はありません。
	0	分割器0 DCCOFF	デューティサイクル補正機能。 0：デューティサイクル補正を有効にします(デフォルト)。 1：デューティサイクル補正を無効にします。
0x196	[7:4]	分割器1低サイクル	前記分割入力クロックサイクル数において、分割出力が低くなる0 × 0の値は、1つの入力クロックサイクルの分割器が低いことを意味します(デフォルト=0 × 0)。
	[3:0]	分割器1ハイスサイクル	分割出力が高く維持される分割入力クロックサイクル数(マイナス1)。0 × 0の値は、1つの入力クロックサイクル(デフォルト=0 × 0)の分割器が高いことを意味します。
0x197	7	仕切り装置1バイパス	バイパスして仕切りをパワーダウンします。入力を分割器出力にルーティングします。 0：分割器を使用します(デフォルト)。 1：バイパス分割器。
	6	分割器1ノシンク	同期はありません。 0：チップレベルの同期信号に従います(デフォルト)。

			1：チップレベルの同期信号を無視します。
	5	仕切り器1高力	分割器の出力を高に強制します。これは、nosync（ビット6）も設定する必要があります。 0：分割器出力が低くなります(デフォルト)。 1：分割器出力が高く強制されます。

レグ。 Addr. (16)	ビット	名前	説明
0x197	4	仕切り装置1はハイススタート	高開始または低開始にクロック出力を選択します。 0：ロースタート（デフォルト）。 1：高始まり。
	[3:0]	分割器1位相オフセット	位相オフセット（デフォルト=0x0）。
0x198	1	ダイレクト出力分割器1	OUT2とOUT3を分割器2に接続するか、VCOまたはCLKに直接接続します。 0：OUT2とOUT3は分割器1に接続されています（デフォルト）。 1：レジスタ0x1E1[1:0]=10bの場合、VCOはOUT2およびOUT3に直接ルーティングされます。レジスタ0x1E1[1:0]=00bの場合、CLKはOUT2とOUT3に直接ルーティングされます。レジスタ0x1E1[1:0]=01bの場合、効果はありません。
	0	仕切り部1 DCCOFF	デューティサイクル補正機能。 0：デューティサイクル補正を有効にします（デフォルト）。 1：デューティサイクル補正を無効にします。

表59. LVDS/CMOSチャネル分割器

レグ。 Addr. (16)	ビット	名前	説明
0x199	[7:4]	低サイクル分割器2.1	2.1出力が低いままの2.1分割入力のクロックサイクル数(マイナス1)。0 × 0の値は、1つの入力クロックサイクルの分割器が低いことを意味します（デフォルト=0 × 0）。
	[3:0]	高サイクル分割器2.1	2.1出力が高いままになる2.1分割入力のクロックサイクル数(マイナス1)。0 × 0の値は、1つの入力クロックサイクル(デフォルト=0 × 0)の分割器が高いことを意味します。
0x19A	[7:4]	位相オフセット分割器2.2	LVDS/CMOSチャネルディバイダー機能の説明(デフォルト=0x0)を参照してください。
	[3:0]	位相オフセット分割器2.1	LVDS/CMOSチャネルディバイダー機能の説明(デフォルト=0x0)を参照してください。
0x19B	[7:4]	低サイクル分割器2.2	2.2出力が低いままになる2.2分割入力のクロックサイクル数(マイナス1)。0 × 0の値は、1つの入力クロックサイクルの分割器が低いことを意味します（デフォルト=0 × 0）。
	[3:0]	高サイクル分割器2.2	2.2出力が高いままになる2.2分割入力のクロックサイクル数(マイナス1)。0 × 0の値は、1つの入力クロックサイクル(デフォルト=0 × 0)の分割器が高いことを意味します。
0x19C	5	バイパス仕切り2.2	2.2分割ロジックをバイパス(およびパワーダウン)し、クロックを2.2出力にルーティングします。 0：バイパスしません（デフォルト）。 1：バイパス。
	4	バイパス仕切り2.1	2.1分割ロジックをバイパス(およびパワーダウン)し、クロックを2.1出力にルーティングします。 0：バイパスしません（デフォルト）。 1：バイパス。
	3	分割器2ノシンク	同期はありません。 0：チップレベルの同期信号に従います（デフォルト）。 1：チップレベルの同期信号を無視します。
	2	仕切り器2高力	力分割器2の出力が高くなる。nosyncも設定する必要があります。 0：強制力が低い(デフォルト)。 1：力が高い。
	1	ハイディバイダー2.2を開始する	仕切り2.2はハイ/ローを開始します。 0：ロースタート（デフォルト）。 1：高始まり。
	0	ハイディバイダー2.1を起動する	仕切り2.1はハイ/ローを開始します。 0：ロースタート（デフォルト）。 1：高始まり。
0x19D	0	仕切り部2 DCCOFF	デューティサイクル補正機能。 0：デューティサイクル補正を有効にします（デフォルト）。 1：デューティサイクル補正を無効にします。
0x19E	[7:4]	低サイクル分割器3.1	3.1出力が低いままの3.1分割入力のクロックサイクル数(マイナス1)。0 × 0の

			値は、1つの入力クロックサイクルの分割器が低いことを意味します（デフォルト=0 × 0）。
	[3:0]	高サイクル分割器3.1	3.1出力が高いままになる3.1分割入力のクロックサイクル数(マイナス1)。0 × 0の値は、1つの入力クロックサイクル(デフォルト=0 × 0)の分割器が高いことを意味します。

レグ。 Addr. (16)	ビット	名前	説明
0x19F	[7:4]	位相オフセット分割部3.2	LVDS/CMOSチャンネルディバイダー機能の説明(デフォルト=0x0)を参照してください。
	[3:0]	位相オフセット分割部3.1	LVDS/CMOSチャンネルディバイダー機能の説明(デフォルト=0x0)を参照してください。
0x1A0	[7:4]	低サイクル分割器3.2	3.2出力が低いままの3.2分割入力のクロックサイクル数(マイナス1)。0 × 0の値は、1つの入力クロックサイクルの分割器が低いことを意味します(デフォルト=0 × 0)。
	[3:0]	高サイクル分割器3.2	3.2分割入力のクロックサイクル数(マイナス1)、その間3.2出力が高いままです。0 × 0の値は、1つの入力クロックサイクル(デフォルト=0 × 0)の分割器が高いことを意味します。
0x1A1	5	バイパス分割器3.2	3.2分割ロジックをバイパス(およびパワーダウン)します。クロックを3.2出力にルーティングします。 0: バイパスしません(デフォルト)。 1: バイパス。
	4	バイパス分割器3.1	バイパス(およびパワーダウン)3.1仕切りロジック。クロックを3.1出力にルーティングします。 0: バイパスしません(デフォルト)。 1: バイパス。
	3	分割器3ノシンク	同期しません。 0: チップレベルの同期信号に従います(デフォルト)。 1: チップレベルの同期信号を無視します。
	2	仕切り器3高力	力分割器3は高出力である。nosyncも設定する必要があります。 0: 強制力が低い(デフォルト)。 1: 力が高い。
	1	ハイディバイダー3.2を開始する	仕切り3.2はハイ/ローを開始します。 0: ロースタート(デフォルト)。 1: 高始まり。
	0	ハイディバイダー3.1を開始する	仕切り3.1はハイ/ローを開始します。 0: ロースタート(デフォルト)。 1: 高く始まります。
0x1A2	0	仕切り部3 DCCOFF	デューティサイクル補正機能。 0: デューティサイクル補正を有効にします(デフォルト)。 1: デューティサイクル補正を無効にします。

テーブル60. VCO分割器とCLK入力

レグ。 Addr. (16)	ビット	名前	説明
0x1E0	[2:0]	VCO分割器	<div>2 1 0</div> <div>分割 ; 分割する</div> <div>           2. 3. 4 (デフォルト). 5. 6. 出力静的。VCOディバイダーの静的設定は、VCOキャリブレーションの後にのみ行われるべきであることに注意してください。 出力静的。VCOディバイダーの静的設定は、VCOキャリブレーションの後にのみ行われるべきであることに注意してください。 出力静的。VCOディバイダーの静的設定は、VCOキャリブレーションの後にのみ行われるべきであることに注意してください。         </div>
0x1E1	4	電源ダウクロック入力部	クロック入力セクション (CLKバッファ、VCOディバイダー、CLKツリーを含む) に電源を切ります。 0 : 通常の動作 (デフォルト)。 1 : パワーダウン
	3	VCOクロックインターフェイスの電源を切る	VCOとクロック分布の間のインターフェースブロックに電力を供給します。 0 : 通常の動作 (デフォルト)。 1 : パワーダウン
	2	VCOとCLKの電源を切る	VCO入力とCLK入力の両方をパワーダウンします。 0 : 通常の動作 (デフォルト)。 1 : パワーダウン
	1	VCOまたはCLKを選択します	VCO分割器への入力としてVCOまたはCLKのいずれかを選択します。 0 : VCO分割器への入力として外部CLKを選択します (デフォルト)。 1 : VCO分割器への入力としてVCOを選択し、これを選択した場合、VCO分割器をバイパスすることはできません。
	0	バイパスVCO分割器	VCO分割器をバイパスまたは使用します。 0 : VCO分割器を使用します (デフォルト)。 1 : VCO分割器をバイパスします。これを選択した場合、VCOを入力として選択することはできません。

テーブル61. システム

レグ。 Addr. (16)	ビット	名前	説明
0x230	2	電源ダウン同期	同期機能の電源を切ります。 0 : 同期関数の正常な動作 (デフォルト)。 1 : 同期回路の電源を切ります。
	1	パワーダウン配電基準	配布セクションの参照をパワーダウンします。 0 : 配布セクションの参照の通常の動作 (デフォルト)。 1 : 配信セクションの参照をパワーダウンします。
	0	ソフト同期	前記ソフト同期ビットは、前記ビットの極性が反転する以外は、前記同期ピンと同様に動作します。すなわち、ハイレベルが選択されたチャンネルを所定の静的状態に強制し、1-0遷移が同期を上リガすることを特徴とする。 0 : SYNC high (デフォルト) と同じです。 1 : SYNC low と同じ。

テーブル62。すべてのレジスタを更新する

ド: ビット	名前	説明
0x232	すべてのレジスタを更新する	バッファレジスタの内容をアクティブなレジスタに転送するには、このビットを1bに設定する必要があります。 このビットは自己クリアです。つまり、0bに戻す必要はありません。 1（セルフクリア）：アクティブなすべてのレジスタをバッファレジスタの内容に更新します。



## アプリケーション情報

### thead9517を使用した周波数計画

ヘッド9517は柔軟性の高いPLLである。PLL設定とthead9517のバージョンを選択するときは、次のガイドラインに注意してください。

thead9517は、参照（またはR）分割器、フィードバック（またはN）分割器、VCO分割器、およびチャンネル分割器の4つの分周器を有する。多量の分割を必要とする特に困難な分割比を実現しようとする場合には、VCO分割器またはチャンネル分割器のいずれかで一部の分割を行うことができるため、位相検出器周波数が高くなり、ループ帯域幅の選択がより柔軟になる。

thead9517family内では、VCO周波数が低くなると、一般的にジッターがわずかに低くなります。同じ出力周波数の統合ジッター（12 kHzから20 MHzオフセット）の差は、通常、thead9517ファミリーのVCO周波数範囲全体（1.45 GHzから2.95 GHz）にわたって150 fs未満です。低VCO周波数のthead9517で所望の周波数計画を達成することができれば、低周波数部を選択すると位相ノイズが最も低く、ジッターが最も低くなる。ただし、より高いVCO周波数を選択すると、周波数計画の柔軟性が高くなる可能性があります。

前記許容範囲の中央の公称チャージポンプ電流を起点とすることにより、チャージポンプ電流を増減させることができ、いずれの方向にもPLLループ帯域幅を微調整することができる。ADIsimCLKは、www.analog.comからダウンロードできる強力なPLLモデリングツールです。これは、特定のアプリケーションに最適なループフィルタを決定するための非常に正確なツールです。

### ADCクロックアプリケーション用のAD9517出力を使用する

あらゆる高速ADCは、サンプリングクロックの品質に非常に敏感です。ADCはサンプリングミキサーと見なすことができ、クロック上のノイズ、歪み、またはタイミングジッターは、アナログからデジタルへの出力で所望の信号と組み合わせられます。クロック整合性要件は、アナログ入力周波数と解像度でスケールされ、14ビット以上の解像度でより高いアナログ入力周波数アプリケーションが最も厳格です。理論的なSNRはADC解像度とジッターによって制限されます。

サンプリング時計で。ステップサイズと量子化誤差を無視できる無限解像度の理想的なADCを考慮すると、利用可能なSNRをほぼ次のように表すことができます。

$$\text{SNR (dB)} = 20 \times \log\left(\frac{1}{2\pi f_A t_J}\right)$$

、) < s>、次の場合：

f<sub>A</sub>は、デジタル化されている最高のアナログ周波数です。t<sub>J</sub>は、サンプリングクロック上のrmsジッターです。

図70は、アナログ周波数と有効ビット数（ENOB）の関数として必要なサンプリングクロックジッターを示しています。

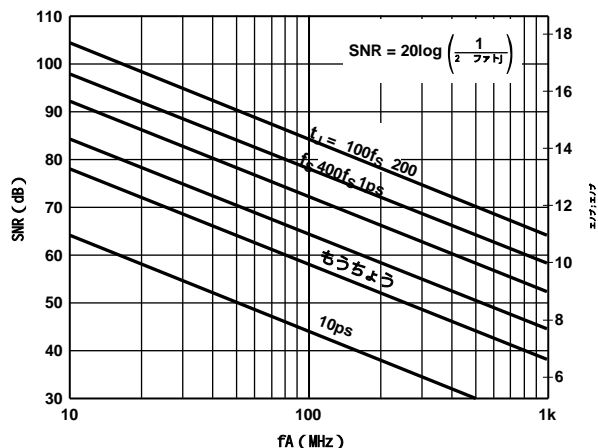


図70. SNRとENOBとアナログ入力周波数

theadAN-756アプリケーションノート、サンプリングされたシステム、およびクロック位相ノイズとジッターの影響を参照してください。およびtheadAN-501アプリケーションノート、開口不確実性、およびADCシステムのパフォーマンス (www.analog.com)。

多くの高性能ADCは、ノイズの多いPCBに必要な低ジッタークロックを提供するタスクを簡素化するために差動クロック入力を備えています。（ノイズの多いPCBにシングルエンドクロックを分配すると、サンプルクロックに結合ノイズが発生する可能性があります。差動分布は、ノイズの多い環境で優れたクロック性能を提供することができる固有のコモンモード拒否を持っています。）thead9517は、差動クロック出力を提供するLVPECL出力とLVDS出力の両方を備えており、コンバータSNRパフォーマンスを最大化するクロックソリューションを可能にします。最適なクロック/コンバータソリューションを選択するときは、ADCの入力要件（差動またはシングルエンド、ロジックレベル、終了）を考慮する必要があります。

## LVPECLクロック分布

thead9517のLVPECL出力は、thead9517から入手可能な最低のジッタークロック信号を提供します。LVPECL出力(オープンエミッタであるため)は、出力トランジスタをバイアスするためにdc終端を必要とします。図59の簡略化等価回路は、LVPECL出力段を示している。

ほとんどのアプリケーションでは、LVPECLファアエンドThevenin終了(seeFigure 71)またはY終了(seeFigure 72)が推奨されます。それぞれの場合、受信バッファのVSはVS\_LVPECL電圧と一致する必要があります。そうでない場合は、acカップリングをお勧めします(図73を参照)。オフィギュア73の場合、VS\_LVPECL=3.3vの場合、150 Ω未満のプルダウン抵抗は推奨されません。使用すると、LVPECLドライバに損傷を与える可能性があります。VS\_LVPECL=2.5vの最小推奨プルダウン抵抗サイズは100 Ωです。抵抗ネットワークは、伝送線路インピーダンス(50 Ω)とスイッチングしきい値(対-1.3v)に一致するように設計されています。

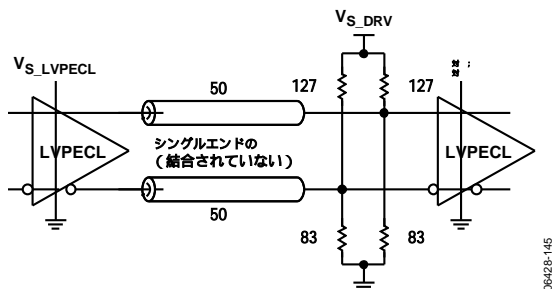


図71. 直流結合3.3v lvpecl 遠端Thevenin終端

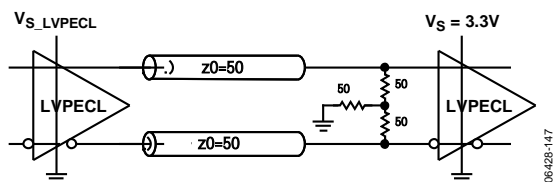


図72. 直流結合3.3v lvpecl y終端

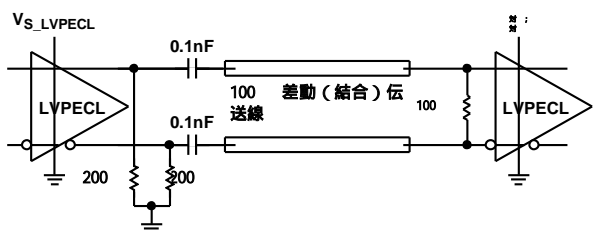


図73. 並列伝送線を備えたAC結合LVPECL

LVPECL Y-terminationは、最も少ないコンポーネントを使用し、奇数モードと偶数モードの両方のインピーダンスマッチングを提供するエレガントな終端スキームです。偶数モードインピーダンスマッチングは、高周波で密接に結合された伝送線路にとって重要な考慮事項です。その主な欠点は、エミッタフォロアLVPECLドライバの駆動強度を変更するための柔軟性が限られていることです。これは、長いトレース長を運転するとき重要な考慮事項になる可能性があります、通常は問題ではありません。図72に示す場合、VS\_LVPECL=2.5vでは、グラウンドに接続されている50 Ωの終端抵抗を19 Ωに変更する必要があります。

Thevenin等価終端は、抵抗ネットワークを使用して、LVPECLドライバのVOL以下の直流電圧に50 Ωの終端を提供します。この場合、thead9517のVS\_LVPECLは受信バッファのVSと等しいはずですが、図72に示す抵抗組み合わせは、直流バイアス点vs\_lvpecl -2vとなるが、実際の共通モード電圧はvs\_lvpecl -1vである。AD9517LVPECLドライバからプルダウン抵抗を介して追加の電流が流れるため、3 V。

回路は、VS\_LVPECL=2.5vの場合、プルダウン抵抗が62.5 Ω、プルアップ抵抗が250 Ωであることを除いて同一である。

## LVDSクロック分布

thead9517は、CMOSまたはLVDSレベルの出力として選択可能な4つのクロック出力(OUT4からOUT7)を提供します。LVDSは、カレントモード出力段階を使用する差動出力オプションです。公称電流は3.5maであり、100 Ω抵抗全体で350mvの出力スイングを生成します。また、より大きな出力スイングが必要な場合にも、7maの出力電流が利用可能である。LVDS出力は、すべてのANSI/TIA/EIA-644仕様を満たしているか、または超えています。

LVD出力の推奨終了回路は、図74が示されています。

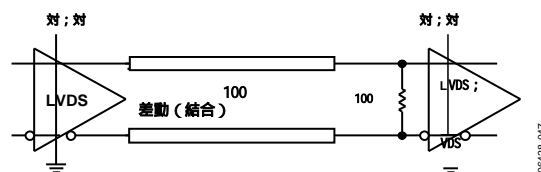


図74. LVDS出力終了

LVDの詳細については、theadAN-586アプリケーションノート、高速アナログからデジタルへの変換器のLVDデータ出力を参照してください。

## CMOSクロック分布

thead9517は、CMOSまたはLVDSレベルの出力として選択可能な4つのクロック出力(OUT4からOUT7)を提供します。CMOSとして選択すると、各出力は一对のCMOS出力になり、それぞれを個別にオンまたはオフにし、非反転または反転に設定できます。これらの出力は3.3V CMOS互換性があります。

シングルエンドのCMOSクロックが使用されるたびに、次の一般的なガイドラインのいくつかを使用する必要があります。

ポイントツーポイントネットは、可能であればドライバがネット上に1つの受信機しか持たないように設計する必要があります。これにより、簡単なことが可能になります。

終了スキームと可能性のあるためのリンギングを最小限に抑える

ネット上の不一致インピーダンス。

ソースでの直列終了は、通常、伝送線路の一致を提供し、および/またはドライバでの電流トランジェントを減らすために必要です。抵抗の値は、基板の設計とタイミング要件に依存します(通常は10 ~100 が使用されます)。CMOS出力は、駆動できる容量負荷またはトレース長の観点からも制限されています。通常、信号の立ち上がり/下がり時間を維持し、信号の整合性を維持するために、3インチ未満のトレース長が推奨されます。

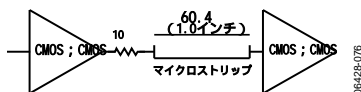


図75. シリーズ終了のCMOS出力

PCBトレースの遠端での終了は、2番目のオプションです。図76に示すように、thead9517のCMOS出力は、低インピーダンス抵抗の遠端終端でフル電圧スイングを提供するのに十分な電流を供給しません。遠端終端ネットワークは、PCBトレースインピーダンスと一致し、所望のスイッチングポイントを提供する必要があります。低減された信号スイングは、いくつかのアプリケーションでは、受信機の入力要件を満たすことができます。これは、重要性の低いネット上で長いトレース長を駆動するとき役に立ちます。

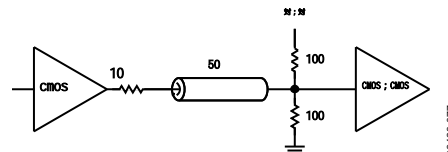
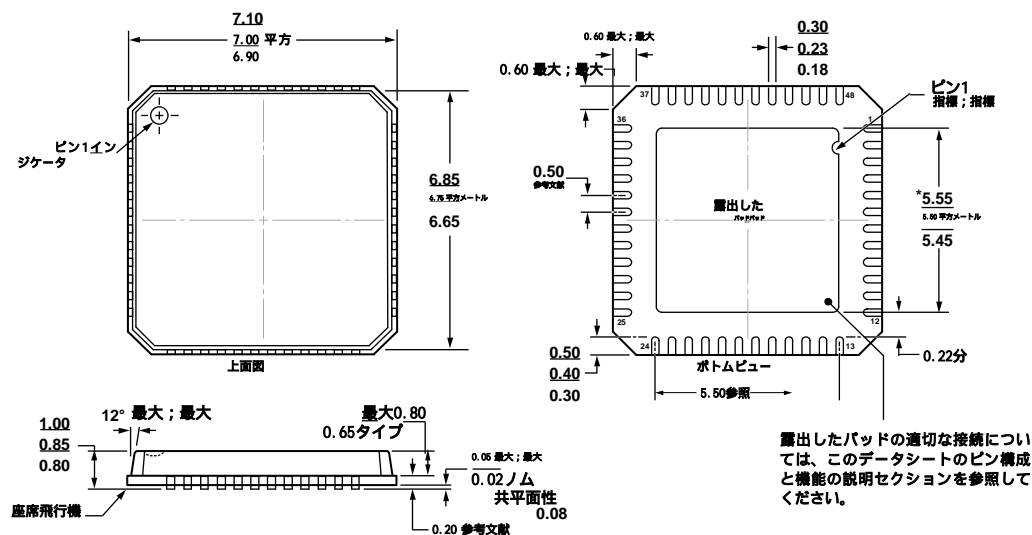


図76. ファーエンド終了付きのCMOS出力

シングルエンドのCMOSクロックの制限があるため、長いトレースで高速信号を駆動する場合は、差動出力を使用することを検討してください。thead9517は、差動シグナリングの固有のノイズ免疫がクロックコンバータに優れたパフォーマンスを提供する長いトレースの駆動に適したLVPECLとLVDSの両方の出力を提供します。

## 輪郭寸法



\*JEDEC標準MO-220-VKDD-2に準拠しています

露出したパッド寸法を除いて

図77.48- リードリードフレームチップスケールパッケージ [LFCSP\_VQ] 7mm × 7mm本体、非常に薄いクワッド CP-48-8

ミリメートル単位で表示される寸法

2012年6月15日

## 注文ガイド

モデル1	温度範囲	パッケージ説明	パッケージオプション
AD9517-4ABCPZ	-40° C~+85° C	48リードリードフレームチップスケールパッケージ (LFCSP_VQ)	CP-48-8
AD9517-4ABCPZ-RL7 AD	-40° C~+85° C	48リードリードフレームチップスケールパッケージ (LFCSP_VQ) 評価ボード	CP-48-8

1 Z=RoHS準拠部

メモ ; メモ ; メモ