

Características

JESD204B (subclase 1) Velocidad de canal de salida digital en serie codificada hasta 15 Gbps

Potencia total de 1,66 W a 500 MSPS

415 mW por canal ADC

SFDR = 82 dBFS, 305 MHz (rango de entrada P-P de 1,80 V) SNR = 66,8 dBFS, 305 MHz (rango de entrada p-p de 1,80 V) Densidad de ruido = 151,5 dBFS/Hz (rango de entrada p-p de 1,80 V) Fuente de alimentación CC de 0,975 V, 1,8 V y 2,5 V Funciona sin código faltante

Búfer de entrada analógica de referencia de voltaje ADC interno

La fluctuación en el chip mejora la linealidad de señal al pequeña y el rango de entrada diferencial flexible

1.44 V p-p a 2,16 V p-p (nominal a 1,80 V p-p)

1.4 Entrada analógica de GHz Ancho de banda de potencia completo

Bits de detección de amplitud para implementación eficiente de AGC 4 procesadores digitales de banda ancha integrados

NCO de 48 bits, hasta 4 entradas de reloj diferentes con filtros de media banda en cascada

Reloj entero dividido por 1, 2, 4 u 8

Diodo de temperatura en chip

Configuración flexible del canal JESD204B

Aplicación
Comunicaciones

Diversidad multibanda, multimodo receptor digital 3G/4G, W-CDMA, GSM, LTE, LTE-A

Instrumentación de receptor de satélite de banda ultra ancha de radio de software universal

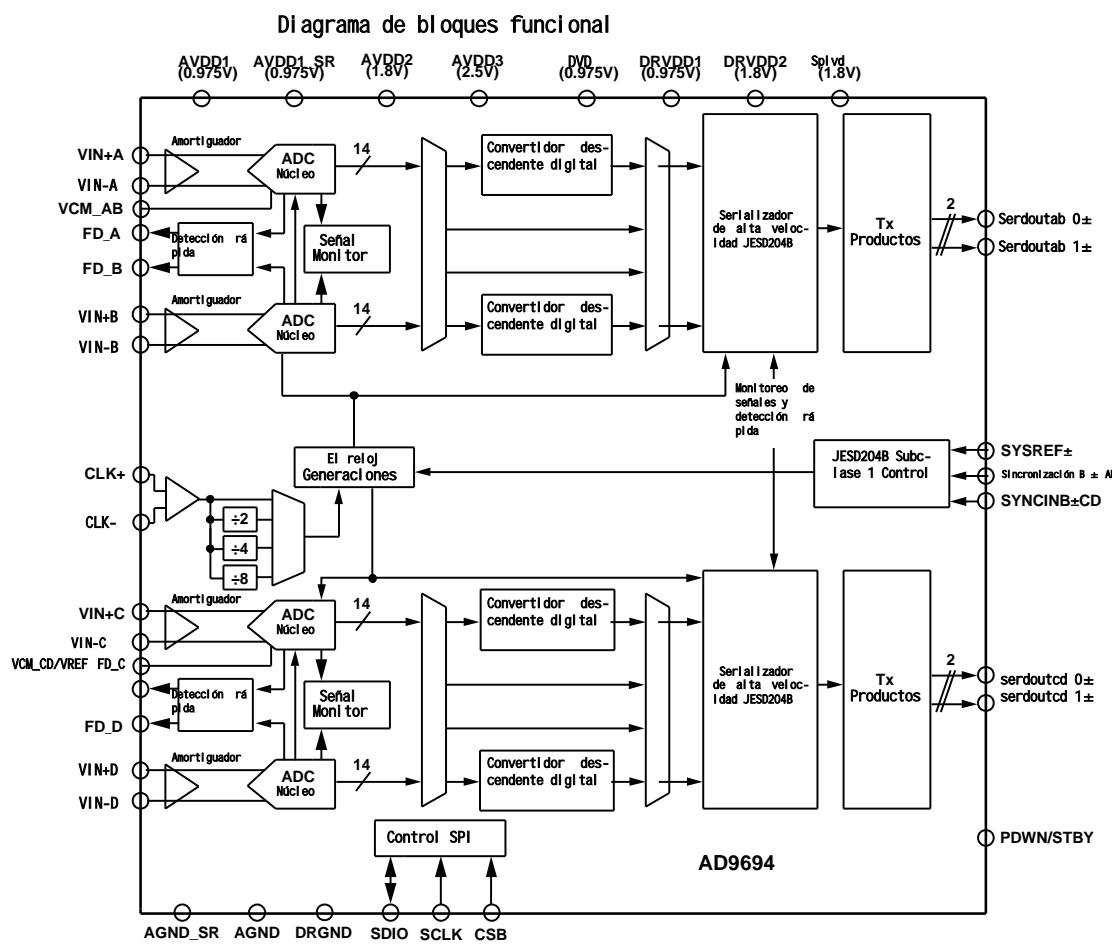
Radar
Inteligencia de señales (SIGINT)


Figura 1.

14698-001

Versión B
Retroalimentación de documentos

La información proporcionada por Analog Devices se considera precisa y confiable. Sin embargo, Analog Devices no asume ninguna responsabilidad por su uso ni por cualquier infracción de patentes u otros derechos de terceros que pueda resultar de su uso. Las especificaciones están sujetas a cambios sin previo aviso. Ninguna patente o derecho de patente de Analog Devices otorga ninguna licencia, implícita o de otra manera. Las marcas comerciales y las marcas registradas son propiedad de sus respectivos dueños.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, EE. UU. Tel.: 781.329.4700 © 2016-2018 Analog Devices, Inc. Todos los derechos reservados.

Soporte técnico

World Wide Web. analog.com

Catálogo

Características	1	Filtro de media banda	43
Aplicación	1	Etapa de ganancia DDC	44
Diagrama de bloques funcional	1	DDC Conversión de números complejos a reales	44
Historial de revisiones	3	Configuración de ejemplo de DDC	45
Instrucciones generales	4	Salida digital	50
Destacados del producto	4	Introducción a la interfaz JESD204B	50
Especificación	5	Configuración de la interfaz digital AD9694	50
Especificaciones DC	5	Descripción general de las funciones	52
Especificaciones AC	6	Establecimiento de enlace JESD204B	52
Especificaciones digitales	9	Salida de la capa física (controlador)	53
ESPECIFICACIONES DEL	10	Mapa del convertidor JESD204B Tx	54
Especificaciones de temporización	11	Configurar el enlace JESD204B	56
Calificación máxima absoluta	12	Retraso	60
Resistencia térmica	12	Latencia total de extremo a extremo	60
ADVERTENCIA ESD	12	Ejemplo de cálculo de retardo	60
Configuración de pines y descripción de la función	13	Retraso de referencia LMFC	60
Características de rendimiento típicas	15	Deterministic retard	61
Circuito equivalente	22	Subclase 0 Operaciones	61
Teoría de las operaciones	24	Subclase 1 Operaciones	61
Arquitectura ADC	24	Sincronización multichip	63
Consideraciones de entrada analógica	24	Modo normal	63
Referencia de voltaje	25	Modo de marca de tiempo	63
Calibración de polarización DC	26	SYSREF ± entrada	65
Precauciones de entrada de reloj	26	SYSREF ± Configuración/mantenimiento del monitor de ventana	66
ADC fuera de rango y detección rápida	29	Modo de prueba	68
ADC fuera del rango	29	Modo de prueba ADC	68
Detección rápida de umbral (FD_A, FD_B, FD_C y FD_D)	29	Modo de prueba de bloque JESD204B	69
Monitor de señal	30	Interfaz serie	71
Movimiento en JESD204B	30	Configuración con SPI	71
Convertidor descendente digital	33	Interfaz de hardware	71
Selección de entrada DDC I/O	33	Funciones accesibles SPI	71
Selección de salida DDC I/O	33	Mapa de memoria	72
Descripción general de DDC	33	Leer la tabla de registro de mapeo de memoria	72
Conversión de frecuencia	39	Tabla de registros mapeados en memoria-Detalles	73
Visión general	39	Información de la solicitud	95
DDC NCO y pérdidas del mezclador y SFDR	40	Recomendaciones de fuente de alimentación	95
Oscilador de control numérico	40	Recomendaciones para disipadores de calor de aluminio	95
Filtro FIR	42	al mohadillas expuestas	95
Visión general	42	AVDD1_SR (pin 64) y AGND_SR (pin 63 y pin 63)	95
		67)	95
		Dimensiones exteriores	96
		Guía de pedido	96

Historial de revisiones**2/2018-Rev. A a la versión B**

Cambiar el título del documento de convertidor analógico a digital doble de 14 bits, 1.25GSPS, 1.2V/2.5V a convertidor analógico a digital de 14 bits, 500 MSPS, JESD204B	Universal es
Cambiar a una tabla 10	14
Sección de diodo de temperatura móvil	28

Diciembre 2017-Rev. 0 A la versión A

Cambiar 1.8V p-p a 1.80V p-p	A través de
Cambios en el diagrama 1	1
Cambios en la nota 3 al final del cuadro 2	7
Cambios en los parámetros de salida lógica (FD_A, FD_B, FD_C, FD_D) y en los parámetros de salida digital (SERDOUTAB \pm /SERDOUTCD \pm , x=0 ó 1), tabla 5	9
Cambios en los parámetros de salida y los parámetros de tiempo de activación, tabla 6	10
CAMBIOS EN LAS FORMAS 9	12
CAMBIOS EN LAS FORMAS 10	13
Cambios a las figuras 18, 19, 20 y 23	17
CAMBIOS EN LA Figura 47 Y LA Figura 48	22
Cambios en la sección de consideraciones de entrada analógica y la sección de configuración de entrada diferencial	24
CAMBIOS EN LAS FORMAS 11	25
Cambios en la sección de referencia de tensión, la sección de calibración de desplazamiento de CC y el diagrama 62	26
Ciclo de trabajo del reloj Cambios en la sección de consideraciones y la figura 65	27
Agregue la parte de detección de reloj de entrada	27
Cambios en la sección del diodo de temperatura ..	28
Cambiar la sección de descripción general a la sección de descripción general	39

Cambios en la sección de descripción general	42
Cambiado a la sección de bucle de bloqueo de fase (PLL)	54
Cambiar a una tabla 26	56
CAMBIOS EN LAS FORMAS 27	57
Cambios en el ejemplo 2: ADC con opción DDC (dos ADC por par más dos secciones DDC y figura 92) ..	58
Se han añadido una sección de cálculo de retardo de ejemplo, una sección de configuración de ejemplo 1, una sección de configuración de ejemplo 2, la tabla 29 y la tabla 30; Renumeración en orden	60
Se agregó la sección de retardo determinista, subclase 0 operación	
Sección, sección de operación de subclase 1, sección de requerimiento de retardo determinista, sección de establecimiento de registro de retardo determinista y figura 94; Renumeración en orden	61
Se añadió la Figura 95 y la Figura 96	62
Se agregaron parte de sincronización multichip, parte de modo normal, parte de modo de marca de tiempo, figura 97	63
Añadir gráficos 98	64
Se añadieron la sección de entrada SYSREF \pm , la sección de características de control SYSREF \pm , la Figura 99, la Figura 100, la Figura 101 y la Figura 102	65
Cambios en la sección de monitor de ventana SYSREF \pm SETT/HOLD	66
Cambios en la sección del modo de prueba del ADC ..	68
Se suprime la sección de resumen del registro y el cuadro 38; Renumeración en orden	69
Cambios en la sección de la tabla de registros de lectura de mapas de memoria	72
CAMBIOS EN LAS FORMAS 39	73
CAMBIOS EN LA SECCIÓN DE RECOMENDACIÓN DE LA FUENCIA Y 106	95

10/2016-Revisión 0: versión inicial

INSTRUCCION GENERAL

El AD9694 es un convertidor analógico a digital (ADC) de cuatro canales, 14 bits y 500 MSPS. El dispositivo cuenta con una memoria intermedia en el chip y un circuito de muestra y retención, diseñado para un bajo consumo de energía, tamaño pequeño y facilidad de uso. El dispositivo está diseñado para muestrear señales analógicas de ancho de banda de hasta 1,4 GHz. El AD9694 está optimizado para un amplio ancho de banda de entrada, alta frecuencia de muestreo, excelente linealidad y bajo consumo de energía en un paquete pequeño.

El núcleo ADC de cuatro vías utiliza una arquitectura de tubería diferencial de múltiples etapas e integra la lógica de corrección de errores de salida. Cada ADC tiene una amplia entrada de ancho de banda que admite una variedad de rangos de entrada seleccionables por el usuario. La referencia de voltaje integrada simplifica las consideraciones de diseño.

La entrada analógica y la señal de reloj son entradas diferenciales. Cada par de salidas de datos de ADC está conectado internamente a dos DDC a través de un mux cruzado. Cada DDC consta de hasta cinco etapas de procesamiento de señal en cascada: un convertidor de frecuencia de 48 bits, NCO y hasta cuatro filtros de decimación de media banda.

Además del módulo DDC, el AD9694 tiene una variedad de características que simplifican las funciones de control automático de ganancia (AGC) en los receptores de comunicaciones. El detector de umbral programable permite monitorear la potencia de la señal de entrada usando los bits de salida de detección rápida del ADC. Si el nivel de la señal de entrada excede el umbral programable, el indicador de detección rápida se vuelve alto. Debido a que este indicador de umbral tiene una latencia baja, el usuario puede reducir rápidamente la ganancia del sistema para evitar condiciones fuera de rango en la entrada del ADC.

El usuario puede configurar cada par de salidas del receptor de frecuencia intermedia (IF) en uno o ambos canales de la salida serializada de alta velocidad basada en la subclase 1 JESD204B, dependiendo de la relación de decimación del dispositivo lógico de recepción y la velocidad de canal aceptable. Soporta la sincronización de múltiples dispositivos a través de los pines de entrada SYSREF \pm , SYNCINB \pm AB y SYNCINB \pm CD. El AD9694 cuenta con opciones flexibles de apagado para ahorrar energía significativamente cuando sea necesario. Todas estas funciones se pueden programar usando un SPI de 3 hilos con soporte de 1.8V.

El AD9694 utiliza un LFCSP sin plomo de 72 pines con un rango de temperatura de unión especificado de -40° C a +105° C. El producto puede estar protegido por una o más patentes estadounidenses o internacionales.

Destacados del producto

1. Bajo consumo de energía por canal.
2. La velocidad de canal JESD204B es compatible con hasta 15 Gbps.
3. El amplio ancho de banda de potencia completa admite el muestreo de frecuencia intermedia de señales de hasta 1,4 GHz.
4. La entrada de almacenamiento intermedio simplifica el diseño y la implementación del filtro.
5. Cuatro filtros de decimación de banda ancha integrados y un módulo de oscilador controlado numéricamente (NCO) que admite receptores multibanda.
6. Detección rápida programable fuera de rango.
7. Diodos de temperatura en chip para la gestión térmica del sistema.

Especificación

Especificaciones DC

AVDD1 = 0,975 V, AVDD1_SR = 0,975 V, AVDD2 = 1,8 V, AVDD3 = 2,5 V, DVDD = 0,975 V, DRVDD1 = 0,975 V, DRVDD2 = 1,8 V, SPIVDD = 1,8 V, 500 MSPS, divisor de reloj = 4, entrada diferencial a escala completa de 1,80 V p-p, referencia interna de 0,5 V, AIN = 1,0 dBFS, ajuste SPI predeterminado, a menos que se indique lo contrario. Las especificaciones mínimas y máximas están garantizadas a lo largo de todo el rango de temperatura de unión de funcionamiento (TJ) de -40° C a +105° C. Las especificaciones típicas representan el rendimiento a TJ = 50 ° C (TA = 25 ° C).

Cuadro 1.

Parámetros	Mínimo	Tipo de	Max	Unidad
Resolución	14			Bits
Precisión				
Sin código perdido		Garantía		
Error de compensación	0			% FSR
Coincidencia de desplazamiento	0			% FSR
Error de ganancia	-5.0		+5.0	% FSR
Coincidencia de ganancia	1.0		3.7	% FSR
No linealidad diferencial	-0.7	±0.4	+0.7	LSB
No linealidad integral	-5.1	±1.0	+5.1	LSB
Error de desplazamiento de derivada de temperatura	8			ppm/°C
Error de ganancia	214			ppm/°C
Referencia de voltaje interno	0.5			V
Ruido de referencia de entrada	2.6			LSB RMS
Entradas analógicas				
Rango de voltaje de entrada diferencial (programable) Voltaje de modo común (VCM)	1.44	1.80 1.34 1.75	2.16	V p-p V pF Ω GHz
Condensador de entrada diferencial 1		200		
Resistencia de entrada diferencial		1.4		
Ancho de banda de potencia completo de entrada analógica				
Fuente de alimentación				
AVDD1	0.95	0.975	1.00	V
AVDD1_SR	0.95	0.975	1.00	V
AVDD2	1.71	1.8	1.89	V
AVDD3	2.44	2.5	2.56	V
DVDD	0.95	0.975	1.00	V
DRVDD1	0.95	0.975	1.00	V
DRVDD2	1.71	1.8	1.89	V
SpiVDD	1.71	1.8	1.89	V
I _{AVDD1}	319	482		Cableado
I _{AVDD1_SR}	21	53		Cableado
I _{AVDD2}	438	473		Cableado
I _{AVDD3}	87	103		Cableado
I _{DVDD²}	121	180		Cableado
I _{DRVDD1¹}	162	207		Cableado
I _{DRVDD2¹}	23	29		Cableado
I _{SPIVDD}	1	1.6		Cableado
Consumo de electricidad				
Consumo total de energía (incluido el controlador de salida) ²	1.66	2.07		W
Dissipación de corte de energía	325			mW
En espera ³	1.20			W

¹ Todos los carriles están en funcionamiento. El consumo de energía en el DRVDD1 varía con la velocidad de canal y el número de canales utilizados.

² Modo de ancho de banda completo.

³ El modo de espera está controlado por el SPI.

Especificaciones AC

AVDD1=0.975V, AVDD1_SR=0.975V, AVDD2=1.8V, AVDD3=2.5V, DVDD=0.975V, DRVDD1=0.975V, DRVDD2=1.8V, SPI VDD=1.8V, frecuencia de muestreo máxima especificada, divisor de reloj = 4, entrada diferencial a escala completa de 1.80V p-p, referencia interna de 0.5V, AIN=1.0dBFS, ajuste SPI predeterminado, a menos que se indique lo contrario. Las especificaciones mínimas y máximas están garantizadas a lo largo de todo el rango de temperatura de unión de funcionamiento (TJ) de -40° C a +105° C. Las especificaciones típicas representan el rendimiento a TJ = 50 ° C (TA = 25 ° C).

Tabla 2.500 ESPECIFICACIONES DE MSPS AC

Parámetros	Entrada analógica a escala completa = 1.44 V p-p		Entrada analógica a escala completa = 1.80 V p-p		Entrada analógica a escala completa = 2.16 V p-p		Unidad		
	Tipo	minimo	Max	Tipo	minimo	Max	Tipo	minimo	Max
Entrada analógica a escala completa	1.44		1.80		2.16		V p-p		
Densidad de ruido 2	-149.7		-151.5		-153.0		dBFS/Hz		
Relación señal a ruido (SNR) 3 f _{IN} =10 MHz	65.4		67.1		68.4				dBFS
f _{IN} = 155 MHz	65.3		67.0		68.3				dBFS
f _{IN} = 305 MHz	65.2		66.8		68.0				dBFS
f _{IN} = 450 MHz	65.0		66.6		67.8				dBFS
f _{IN} = 765 MHz	64.8		66.5		67.5				dBFS
f _{IN} = 985 MHz	64.5		66.0		66.9				dBFS
Relación señal /ruido/distorsión (SNR)	65.3		67.0		68.2				dBFS
f _{IN} = 10 MHz f _{IN} = 155 MHz	65.2		66.8		67.9				dBFS
f _{IN} = 305 MHz	65.1		66.6		67.6				dBFS
f _{IN} = 450 MHz	65.0		66.4		67.3				dBFS
f _{IN} = 765 MHz	64.7		66.1		66.9				dBFS
f _{IN} = 985 MHz	64.2		65.5		66.2				dBFS
Número de bits significativos (EN-OB) f _{IN} =10 MHz	10.5		10.8		11.0				Bits
f _{IN} = 155 MHz	10.5		10.8		10.9				Bits
f _{IN} = 305 MHz	10.5		10.7		10.9				Bits
f _{IN} = 450 MHz	10.5		10.7		10.8				Bits
f _{IN} = 765 MHz	10.4		10.6		10.8				Bits
f _{IN} = 985 MHz	10.3		10.6		10.7				Bits
Rango dinámico libre de espurias (SFDR) f _{IN} =10 MHz	89		90		80				dBFS
f _{IN} = 155 MHz	89		85		77				dBFS
f _{IN} = 305 MHz	82		82		78				dBFS
f _{IN} = 450 MHz	82		83		77				dBFS
f _{IN} = 765 MHz	77		75		72				dBFS
f _{IN} = 985 MHz	82		79		76				dBFS
Rango dinámico sin parásitos (SFDR)	94		94		86				dBFS
f _{IN} =10 MHz a 3 dBFS f _{IN} =155 MHz	94		90		82				dBFS
f _{IN} = 305 MHz	89		90		83				dBFS
f _{IN} = 450 MHz	87		86		84				dBFS
f _{IN} = 765 MHz	82		80		77				dBFS
f _{IN} = 985 MHz	85		82		79				dBFS
Peor armónico, aleta secundaria o tercera = 10 MHz	-89		-90		-80				dBFS
f _{IN} = 155 MHz	-89		-85		-77				dBFS
f _{IN} = 305 MHz	-82		-82		-78				dBFS
f _{IN} = 450 MHz	-82		-83		-77				dBFS
f _{IN} = 765 MHz	-77		-75		-72				dBFS
f _{IN} = 985 MHz	-82		-79		-76				dBFS

Parámetro 1	Entrada analógica a escala completa = 1.44 V p-p Tipo mínimo	Max	Entrada analógica a escala completa = 1.80 V p-p Tipo mínimo	Max	Entrada analógica a escala completa = 2.16 V p-p Tipo mínimo	Max	Unidad
Segundo o tercer peor armónico a 3 dBFS $f_{IN} = 10 \text{ MHz}$ $f_{IN} = 155 \text{ MHz}$ $f_{IN} = 305 \text{ MHz}$ $f_{IN} = 450 \text{ MHz}$ $f_{IN} = 765 \text{ MHz}$ $f_{IN} = 985 \text{ MHz}$	-94 -94 -89 -87 -82 -85		-94 -90 -90 -86 -80 -82		-86 -82 -83 -84 -77 -79		dBFS
Peor de los demás, excluyendo el segundo o tercer armónico $f_{IN} = 10 \text{ MHz}$ $f_{IN} = 155 \text{ MHz}$ $f_{IN} = 305 \text{ MHz}$ $f_{IN} = 450 \text{ MHz}$ $f_{IN} = 765 \text{ MHz}$ $f_{IN} = 985 \text{ MHz}$	-96 -97 -97 -95 -92 -90		-98 -97 -98 -96 -91 -89	-86	-99 -97 -97 -96 -88 -86		dBFS
Distorsión de intermodulación de dos tonos (IMD), AIN1 y AIN2 = -7 dBFS $f_{IN1} = 154 \text{ MHz}$, $f_{IN2} = 157 \text{ MHz}$ $f_{IN1} = 302 \text{ MHz}$, $f_{IN2} = 305 \text{ MHz}$	-93 -90		-90 -90		-84 -84		dBFS
Crosstalk 4	82		82		82		dB
Ancho de banda de potencia completo 5	1.4		1.4		1.4		GHz

¹ Para obtener información detallada sobre la definición y cómo completar estas pruebas, consulte la Nota de aplicación AN-835, Comprensión de las pruebas y evaluación de ADC de alta velocidad.

² La densidad de ruido se mide a una frecuencia de entrada analógica baja (30 MHz).

³ Véase la Tabla 11 para los ajustes recomendados para el ajuste de la corriente de amortiguación.

⁴ La diafonía se mide a 155 MHz con una entrada analógica de -1,0 dBFS en un canal y ninguna entrada en los canales adyacentes.

⁵ Se midió con el circuito mostrado en la Figura 56.

Tabla 3.600 ESPECIFICACIONES CA MSPS, ENTRADA ANALÓGICA = 1.80 V p-p

Entrada analógica a escala completa	1.80	V p-p
Relación señal a ruido (SNR) $f_{IN}=10 \text{ MHz}$	66.6	dBFS
$f_{IN} = 155 \text{ MHz}$	67	dBFS
$f_{IN} = 305 \text{ MHz}$	66.8	dBFS
$f_{IN} = 450 \text{ MHz}$	66.4	dBFS
$f_{IN} = 765 \text{ MHz}$	66	dBFS
$f_{IN} = 985 \text{ MHz}$	65.5	dBFS
Relación señal a ruido y distorsión (SINAD) $f_{IN}=10 \text{ MHz}$	66.5	dBFS
$f_{IN} = 155 \text{ MHz}$	66.8	dBFS
$f_{IN} = 305 \text{ MHz}$	66.5	dBFS
$f_{IN} = 450 \text{ MHz}$	66.3	dBFS
$f_{IN} = 765 \text{ MHz}$	65.4	dBFS
$f_{IN} = 985 \text{ MHz}$	64.8	dBFS
Rango dinámico libre de espurias (SFDR) $f_{IN}=10 \text{ MHz}$	86	dBFS
$f_{IN} = 155 \text{ MHz}$	81	dBFS
$f_{IN} = 305 \text{ MHz}$	81	dBFS
$f_{IN} = 450 \text{ MHz}$	84	dBFS
$f_{IN} = 765 \text{ MHz}$	76	dBFS
$f_{IN} = 985 \text{ MHz}$	75	dBFS

Parámetro 1	Mínimo	Tipo de	Max	Unidad
Peor armónico, aleta secundaria o tercera = 10 MHz	–86			dBFS
$f_{IN} = 155$ MHz	–81			dBFS
$f_{IN} = 305$ MHz	–81			dBFS
$f_{IN} = 450$ MHz	–84			dBFS
$f_{IN} = 765$ MHz	–76			dBFS
$f_{IN} = 985$ MHz	–75			dBFS

¹ Para obtener información detallada sobre la definición y cómo completar estas pruebas, consulte la Nota de aplicación AN-835, Comprensión de las pruebas y evaluación de ADC de alta velocidad.

Tabla 4. Consumo de energía de 600 MSPS

Parámetros	Mínimo	Tipo de	Max	Unidad
Fuente de alimentación				
AVDD1	0.95	0.975	1.00	V
AVDD1_SR	0.95	0.975	1.00	V
AVDD2	1.71	1.8	1.89	V
AVDD3	2.44	2.5	2.56	V
DVD	0.95	0.975	1.00	V
DRVDD1	0.95	0.975	1.00	V
DRVDD2	1.71	1.8	1.89	V
Spivd	1.71	1.8	1.89	V
I_{AVDD1}		352	513	Caballo
I_{AVDD1_SR}		23	55	Caballo
I_{AVDD2}		443	478	Caballo
I_{AVDD3}		87	104	Caballo
I_{DVD} ¹		146	200	Caballo
I_{DRVDD1} ²		183	235	Caballo
I_{DRVDD2} ²		23	28	Caballo
I_{SPIVDD}		1	1.6	Caballo
Consumo de electricidad				
Consumo total de energía (incluido el controlador de salida)	1.75		2.16	W

¹ Modo de ancho de banda completo.

² Todos los carriles están en funcionamiento. El consumo de energía en el DRVDD1 varía con la velocidad de canal y el número de canales utilizados.

Especificaciones digitales

AVDD1 = 0,975 V, AVDD1_SR = 0,975 V, AVDD2 = 1,8 V, AVDD3 = 2,5 V, DVDD = 0,975 V, DRVDD1 = 0,975 V, DRVDD2 = 1,8 V, SPIVDD = 1,8 V, 500 MSPS, divisor de reloj = 4, entrada diferencial a escala completa de 1,80 V p-p, referencia interna de 0,5 V, AIN = 1,0 dBFS, ajuste SPI predeterminado, a menos que se indique lo contrario. Las especificaciones mínimas y máximas están garantizadas a lo largo de todo el rango de temperatura de unión de funcionamiento (TJ) de -40° C a +105° C. Las especificaciones típicas representan el rendimiento a TJ = 50 ° C (TA = 25 ° C).

Cuadro 5.

Parámetros	Mínimo	Tipo de	Max	Unidad
Entrada de reloj (CLK+, CLK-) Compliance lógica Tensión de entrada diferencial Entrada Tensión de modo común Resistencia de entrada (diferencial) Capacitancia de entrada	600	LVDS/LVPECL 800 0.69 32	1600 0.9	mV p-p V K pF
Referencia del sistema (SYSREF) Entradas (SYSREF+, SYSREF-) 1 Conformidad lógica Tensión de entrada diferencial Entrada Tensión de modo común Resistencia de entrada (diferencial) Capacitancia de entrada (un solo extremo por pin)	400 0.6 18	LVDS/LVPECL 800 0.69 0.7	1800 2.2 22	mV p-p V K pF
Entrada lógica (PDWN/STBY) La lógica se ajusta a la lógica 1 voltaje Resistencia de entrada de voltaje lógica 0	0.65 × SPIVDD 0	CMOS	0.35 × SPIVDD 10	V V M
Entradas lógicas (SDIO, SCLK, CSB) La lógica se ajusta a la lógica 1 voltaje Resistencia de entrada de voltaje lógica 0	0.65 × SPIVDD 0	CMOS	0.35 × SPIVDD 56	V V k
Salida lógica (SDIO) Cumplimiento lógico Voltaje lógico 1 (IOL = 800 μA) Voltaje lógico 0 (IOL = 50 μA)	SPIVDD – 0.45 V 0	CMOS	0.45	V V
Entrada SYNCIN (SYNCINB+AB/ SYNCINB-AB/ SYNCINB CD/ SYNCINB-CD) Conformidad lógica Tensión de entrada diferencial Entrada Tensión de modo común Resis- istencia de entrada (diferencial) Capacitancia de entrada (un solo extremo por pin)	400 0.6 18	LVDS/LVPECL/CMOS 800 0.69 0.7	1800 2.2 22	mV p-p V K pF
Salidas lógicas (FD_A, FD_B, FD_C, FD_D) La lógica se ajusta a la lógica 1 voltaje Resistencia de entrada de voltaje lógica 0	0.8 × SPIVDD 0	CMOS	0.5 56	V V k
Salida digital (SERDOUTABx ± /SERDOUTCDx ±, x = 0 o 1) Conformidad lógica Tensión de salida diferencial Corriente de cortocircuito (ID corto) Impedancia de terminación diferencial		LMC 455.8 15 100		mV p-p Caballo

1 Solo entrada de acoplamiento DC.

ESPECIFICACIONES DEL

AVDD1 = 0,975 V, AVDD1_SR = 0,975 V, AVDD2 = 1,8 V, AVDD3 = 2,5 V, DVDD = 0,975 V, DRVDD1 = 0,975 V, DRVDD2 = 1,8 V, SPIVDD = 1,8 V, 500 MSPS, divisor de reloj = 4, entrada diferencial a escala completa de 1,80 V p-p, referencia interna de 0,5 V, AIN = 1,0 dBFS, ajuste SPI predeterminado, a menos que se indique lo contrario. Las especificaciones mínimas y máximas están garantizadas a lo largo de todo el rango de temperatura de unión de funcionamiento (TJ) de -40° C a +105° C. Las especificaciones típicas representan el rendimiento a TJ = 50 ° C (TA = 25 ° C).

Cuadro 6.

Parámetros	Mínimo	Tipo de	Max	Unidad
Reloj				
Velocidad de reloj (en CLK+/CLK-pin)	0.3		2.4	GHz
Tasa máxima de muestreo 1	600			El MSPS
Frecuencia de muestreo mínima 2	240			El MSPS
Alto ancho de pulso de reloj	125			ps
Bajo ancho de pulso de reloj	125			ps
Output				
Intervalo de unidad (UI) 3	66.67	100	593	ps
Tiempo de ascenso (tR) (entre el 20 y el 80% de la carga de 100)		31.25		ps
Tiempo de caída (tF) (20% a 80% en una carga de 100)		31.37		ps
Tiempo de bloqueo PLL		5		ms
Tasa de datos por canal (no retorno a cero (NRZ)) 4	1.6875	10	15	Gbps
Retraso 5				
Retraso de la tubería Retraso de detección rápido		54	30	Ciclo de reloj de muestreo
Ciclo de reloj de muestreo				
Tiempo de despertar desde el modo de espera hasta el apagado		3		ms
		10		ms
Apertura				
Retardo de apertura (tA)		160		ps
Incertidumbre de apertura (jitter, tj)		44		fs rms
Tiempo de recuperación fuera del rango		1		Ciclo de reloj de muestreo

¹ La frecuencia de muestreo máxima es la frecuencia de reloj después del divisor de frecuencia.

² En el caso de L=2 o L=1, la frecuencia de muestreo mínima funciona a 240 MSPS. Véase el registro SPI 0x011A para reducir el umbral del circuito de detección de reloj.

³ Velocidad de transmisión = 1/UI. Se puede soportar un subconjunto de este rango.

⁴ El valor predeterminado para cada enlace es L=2. Este número puede variar dependiendo de la velocidad de muestreo y de la relación de decimación.

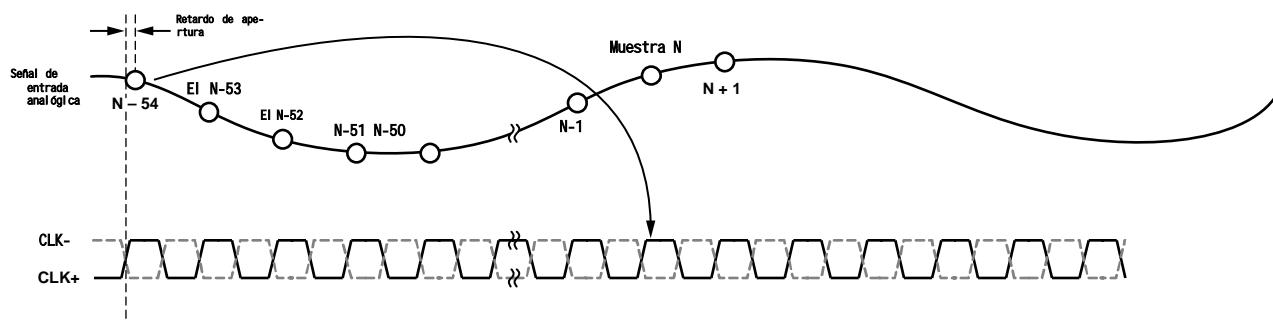
⁵ No se usa DDC. Para cada enlace, L=2, M=2, F=2.

Especificaciones de temporización

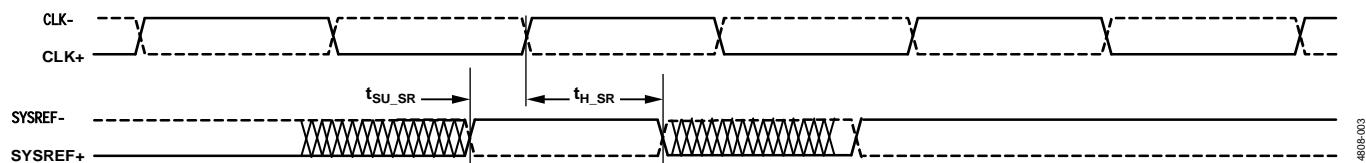
Cuadro 7.

Parámetros	CONDICIONES DE PRUEBA/COMENTARIOS	Mínimo	Tipo de	Max	Unidad
CLK+ a SYSREF+ Requisitos de temporización t_{SU_SR}	Véase el gráfico 3 Reloj del dispositivo a SYSREF+ Configurar el tiempo Reloj del dispositivo a SYSREF+ Hold Time	-44.8	ps	64.4	ps
REQUISITOS DE ESPITIMIENTO	Véase el gráfico 4				
t_{DS}	Tiempo de establecimiento entre los datos y el borde ascendente de SCLK	4	ns		
t_{DH}	Tiempo de retención entre los datos y el borde ascendente de SCLK	2	ns		
t_{CLK}	El ciclo del SCLK	40	ns		
t_s	Tiempo de establecimiento entre el CSB y el SCLK	2	ns		
t_H	Tiempo de retención entre CSB y SCLK	2	ns		
Muños	Período mínimo durante el cual SCLK debe estar en un estado lógico alto	10	ns		
Tello	SCLK debe estar en estado lógico bajo Período mínimo	10	ns		
t_{ACCESS}	Retraso de tiempo máximo entre el borde descendente de SCLK y los datos de salida válidos para la operación de lectura	6	ns	10	ns
t_{DIS_SDIO}	Tiempo necesario para que el pin SDIO cambie de salida a entrada con respecto al borde ascendente de CSB (no mostrado en la Figura 4)	10	ns		

Diagrama de temporización

Figura 2. Tiempo de salida de datos (modo de ancho de banda completo: $L=4$, $M=2$, $F=1$)

14808-002



14808-003

Figura 3. SYSREF ± Ajuste y mantenga la temporización

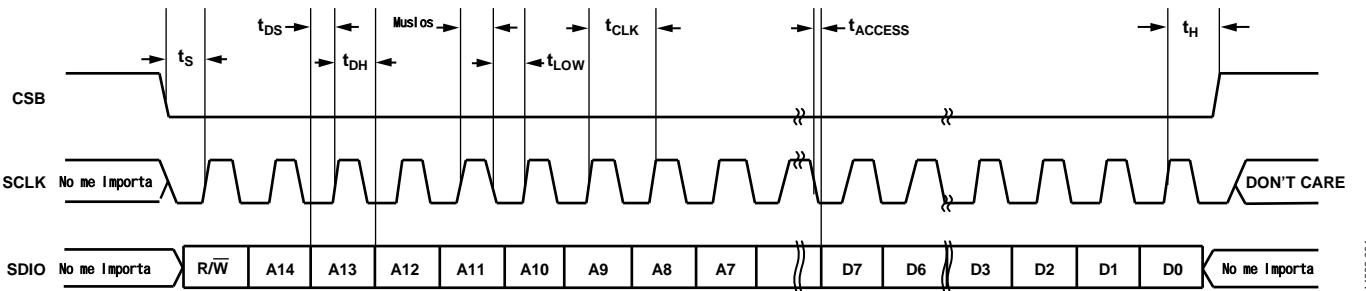


Figura 4. Diagrama de temporización de la interfaz serie

14808-004

Calificación máxima absoluta

Cuadro 8.

Parámetros	Calificación
Eléctrico	
AVDD1 a AGND AVDD1_SR a AGND AVDD2 a AGND	1.05 V
AVDD3 a AGND DVDD a DGND DRVDD1 a DGND DRVDD2 a DRGND SPIVDD a AGND VIN \pm x a AGND CLK \pm a AGND	2.00 V
SCLK, SDIO, CSB a DGND PDWN/STBY a DGND SYSREF \pm a AGND_SR SYNCINB \pm AB/SYNCINB \pm CD a Medio ambiente DRGND	2.70 V
Rango de temperatura de unión de trabajo	1.05 V
Temperatura máxima de unión	1.05 V
Rango de temperatura de almacenamiento (temperatura ambiente)	2.00 V
	2.00 V
	0.3V a AVDD3+0.3V
	0.3V a AVDD1+0.3V
	0.3V a SPIVDD+0.3V
	0.3V a SPIVDD+0.3V
	0V a 2.5V
	0V a 2.5V
	40° C a +105° C
	125°C
	65° C a +150° C

Alcanzar o superar las tensiones enumeradas bajo la calificación máxima absoluta puede causar daños permanentes al producto. Esto es simplemente una escalada de presión; No se implica el funcionamiento funcional del producto en estas condiciones o en cualquier otra condición que sea superior a las indicadas en la sección de funcionamiento de esta descripción. El funcionamiento por encima de las condiciones máximas de funcionamiento durante períodos prolongados puede afectar a la fiabilidad del producto.

Resistencia térmica

El rendimiento térmico está directamente relacionado con el diseño de la placa de circuito impreso (PCB) y el entorno operativo. Se requiere una cuidadosa atención al diseño térmico de la PCB.

Ja es la unión de convección natural con la resistencia térmica ambiental medida en una carcasa sellada de un pie cúbico. Jc_bot es la unión inferior con la resistencia térmica de la carcasa.

Cuadro 9. Resistencia térmica

Tipo de PCB	Velocidad del flujo de aire (m/s)	Ja	Jc_bot	Unidad
Jedec	0.0	21.58 ^{1,2}	1.95 ^{1,4}	°C/W
Placa 2s2p	1.0	17.94 ^{1,2}	N/A ³	°C/W
Tablero de 10 capas	2.5	16.58 ^{1,2}	N/A ³	°C/W

¹ Segundo JEDEC 51-7, más una placa de prueba JEDEC 51-5 2s2p.

² Segundo JEDEC JESD51-2 (aire estacionario) o JEDEC JESD51-6 (aire móvil). ³ N/A significa que no se aplica.

⁴ De acuerdo con MIL-STD 883, Método 1012.1.

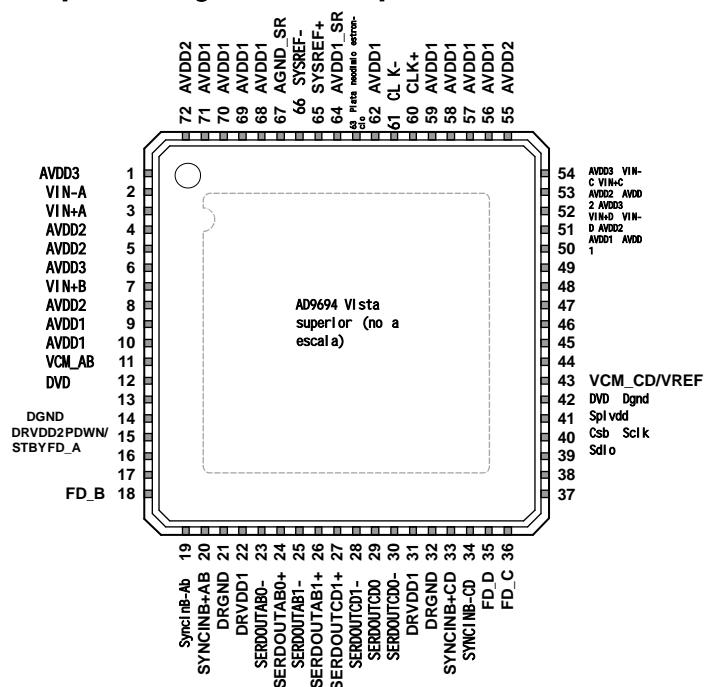
ADVERTENCIA ESD



ESD (electrostatic discharge) sensitive device.

Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

Configuración de pines y descripción de la función



Notas

1. Almohadillas expuestas. Conexión a tierra analógica. Las almohadillas térmicas expuestas en la parte inferior del paquete proporcionan una referencia a tierra para AVDDx, SPIVDD, DVDD, DRVDD1 y DRVDD2.

Esta almohadilla expuesta debe estar conectada a tierra para funcionar correctamente.

4808-005

Figura 5. CONFIGURACIÓN DE PINES (vista superior)

Cuadro 10. Descripción de la función del pin

Pin No.	Mnemonic	Tipo de	Descripción
0	AGND/EPAD	Terreno	Almohadillas expuestas. Conexión a tierra analógica. Almohadillas térmicas expuestas. La parte inferior del paquete proporciona una referencia a tierra para AVDDx, SPIVDD, DVDD, DRVDD1 y DRVDD2. Esta almohadilla expuesta debe estar conectada a tierra para funcionar correctamente.
1, 6, 49, 54	AVDD3	Suministro	Fuente de alimentación analógica (2,5 V nominal).
2, 3	VIN-A, VIN+A	Entrar	Complemento de entrada analógica ADC/verdadero.
4, 5, 9, 46, 50, 51, 55, 72	AVDD2	Suministro	Fuente de alimentación analógica (nominal 1,8 V).
7, 8	VIN+B, VIN-B	Entrar	ADC B Entrada analógica Verdadero/Complemento.
10, 11, 44, 45, 56, 57, 58, 59, 62, 68, 69, 70, 71	AVDD1	Suministro	Fuente de alimentación analógica (0,975 V nominal).
12	VCM_AB	Output	Una salida polarizada a nivel de modo común para el canal de entrada analógica A y el canal B.
13, 42	DVD	Suministro	Fuente de alimentación digital (0,975 V nominal).
14, 41	DGND	Terreno	Referencia de tierra para DVDD y SPIVDD.
15	DRVDD2	Suministro	Fuente de alimentación digital (nominal 1.8V) para JESD204B PLL.
16	PDWN/STBY	Entrar	Entrada de apagado/en espera (alto activo). El funcionamiento de este pin depende del modo SPI y se puede configurar para ser apagado o en espera. Este pin requiere una resistencia pull-down externa de 10 k.
17, 18, 35, 36	FD_A, FD_B, FD_D, FD_C	Output	Detección rápida de las salidas del canal A, canal B, canal C y canal D.
19	SYNCINB-AB	Entrar	Complemento de entrada de sincronización de LVDS JESD204B bajo efectivo para el canal A y el canal B.
20	SYNCINB+AB	Entrar	Las entradas de sincronización LVDS/CMOS JESD204B bajas efectivas para los canales A y B son verdaderas.

Pin No.	Mnemonic	Tipo de	Descripción
21, 32	DRGND	Terreno	Referencia a tierra para DRVDD1 y DRVDD2.
22, 31	DRVDD1	Suministro	Fuente de alimentación digital (nominal 0.975 V) para pines SERDOUTABx \pm /SERDOUTCDx \pm .
23, 24	Serdoutab 0 , SERDOUTAB0+	Output	El canal 0 emite el complemento/verdadero de datos para el canal A y el canal B.
25, 26	Serdoutab 1 , SERDOUTAB1+	Output	El canal 1 da salida a los datos supplementarios/verdadero para el canal A y el canal B.
27, 28	SERDOUTCD1+, Serdoutcd 1	Output	El canal 1 da salida a los datos de verdadero/complemento del canal C y del canal D.
29, 30	SERDOUTCD0+, Serdoutcd 0	Output	El canal 0 da salida a los datos de verdadero/complemento del canal C y del canal D.
33	SYNCINB+CD	Entrar	Las entradas de sincronización LVDS/CMOS/LVPECL JESD204B bajas válidas para el canal C y el canal D son verdaderas.
34	SYNCINB-CD	Entrar	Complemento de entrada de sincronización LVDS/CMOS/LVPECL JESD204B efectivo bajo para el canal C y el canal D.
37	SDIOSCLKCSBSPIVDD	Entrada/	Entrada/salida de datos en serie SPI.
38	VCM_CD/VREF	salida Entrada	Reloj serie SPI.
39			Selección de chip SPI (bajo activo).
40		Entrada Suministro	Fuente de alimentación digital SPI (nominal 1.8V).
43		Salida/ Entrada	Salida de polarización de nivel de modo común para el canal de entrada analógica C y la entrada de voltaje de referencia del canal D/0,5 V. Este pin se puede configurar como salida o entrada a través de SPI. Si se utiliza una referencia de voltaje interna, este pin se utiliza como una salida de polarización de nivel de modo común. Si se utiliza una fuente de voltaje de referencia externa, este pin requiere una entrada de voltaje de referencia de 0,5 V.
47, 48	VIN-D, VIN+D	Entrar	ADC D Complemento de entrada analógica/verdadero.
52, 53	VIN+C, Vin-C	Entrar	ADC C Entrada analógica Verdadero/Complemento.
60, 61	CLK+, CLK-	Entrar	El reloj entra verdadero/complemento.
63, 67	AGND_SR	Terreno	Referencia de puesta a tierra para SYSREF \pm .
64	AVDD1_SR	Suministro	Fuente de alimentación analógica de SYSREF \pm (0,975 V nominal).
65, 66	SYSREF+, SYSREF-	Entrar	Entrada de referencia del sistema LVDS JESD204B baja efectiva verdadera/complemento. Solo entrada de acondicionamiento DC.
	EPAD		Almohadillas expuestas. Conexión a tierra analógica. La almohadilla térmica expuesta en la parte inferior del paquete es AVDDX, SPIVDD, DVDD, DRVDD1 y DRVDD2. Esta almohadilla expuesta debe estar conectada a tierra para funcionar correctamente.

Características de rendimiento típicas

AVDD1=0.975V, AVDD1_SR=0.975V, AVDD2=1.80V, AVDD3=2.5V, DVDD=0.975V, DRVDD1=0.975V, DRVDD2=1.8V, SPI VDD=1.8V, frecuencia de muestreo máxima especificada, divisor de reloj = 4, entrada diferencial a escala completa de 1.80V p-p, referencia interna de 0.5V, AIN=1.0dBFS, ajuste SPI predeterminado, a menos que se indique lo contrario. Las especificaciones mínimas y máximas están garantizadas a lo largo de todo el rango de temperatura de unión de funcionamiento (TJ) de -40° C a +105° C. Las especificaciones típicas representan el rendimiento a TJ = 50 ° C (TA = 25 ° C).

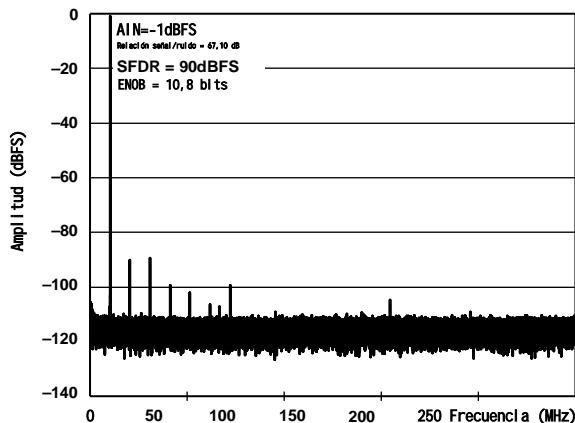


Figura 6. FFT de un tono con $f_{IN} = 10,3$ MHz

14808-100

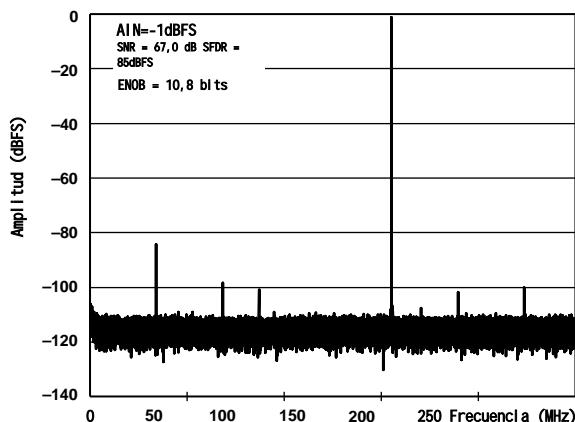


Figura 7. FFT de un tono con $f_{IN} = 155$ MHz

14808-101

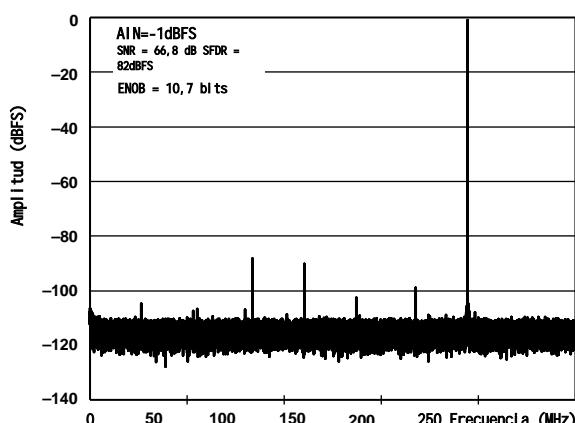


Figura 8. FFT de tono único con $f_{IN}=305$ MHz

14808-102

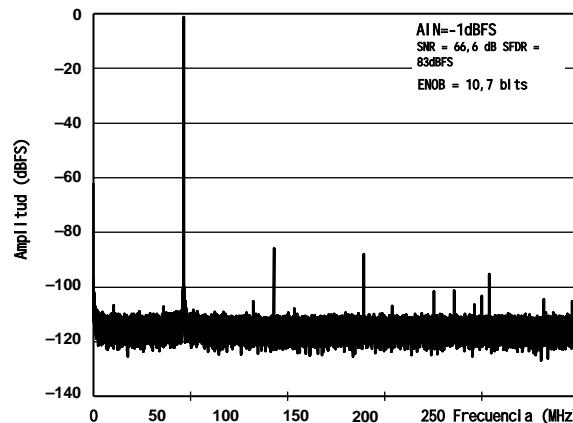


Figura 9. FFT de tono único con $f_{IN}=453$ MHz

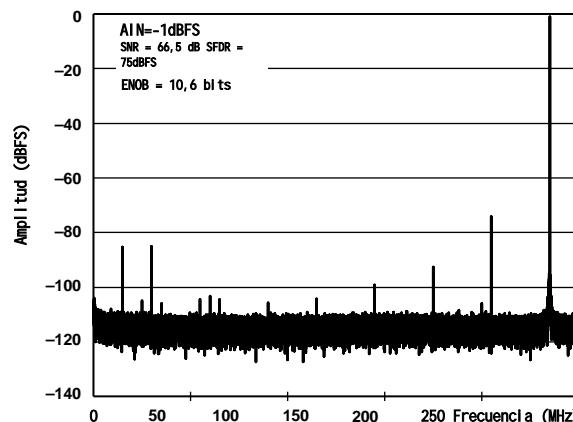


Figura 10. FFT de tono único con $f_{IN}=765$ MHz

14808-103

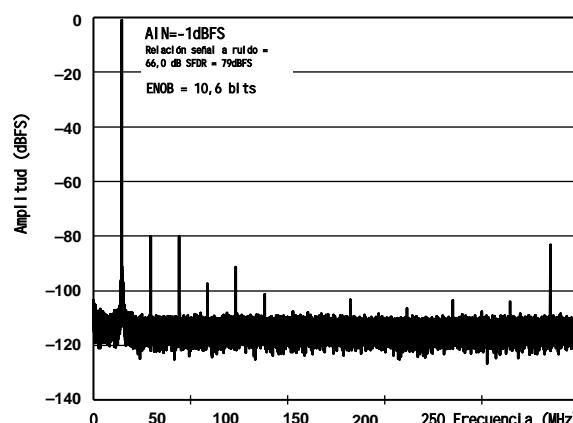


Figura 11. FFT de tono único con $f_{IN}=985$ MHz

14808-104

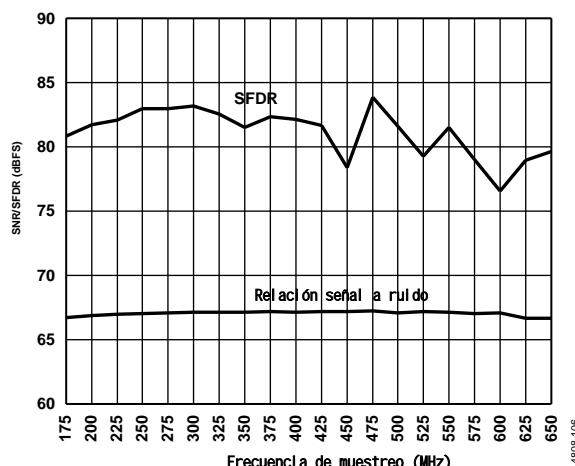


Figura 12. SNR/SFDR en relación con la frecuencia de muestreo (fS), fIN=155 MHz

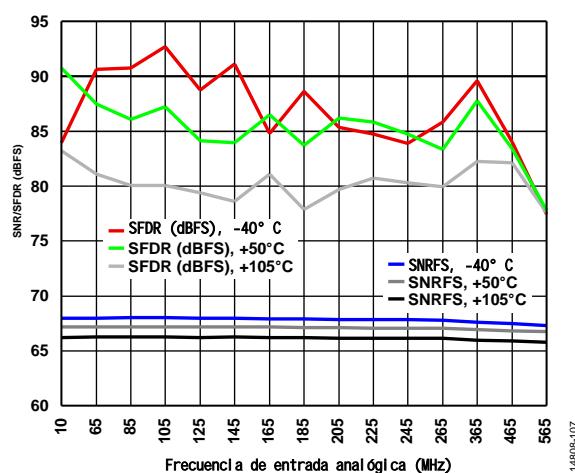


Figura 13. Relación entre SNR/SFDR y frecuencia de entrada analógica (fIN)

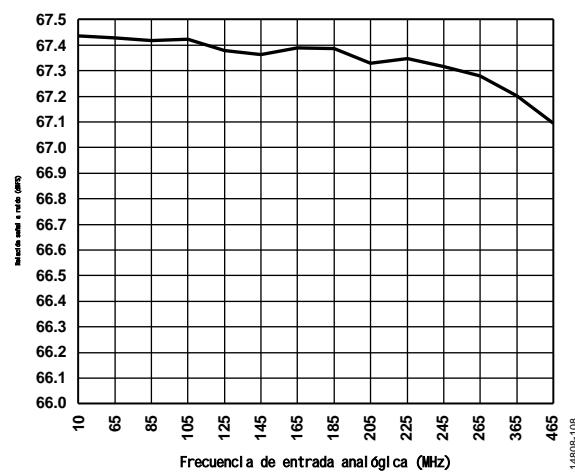
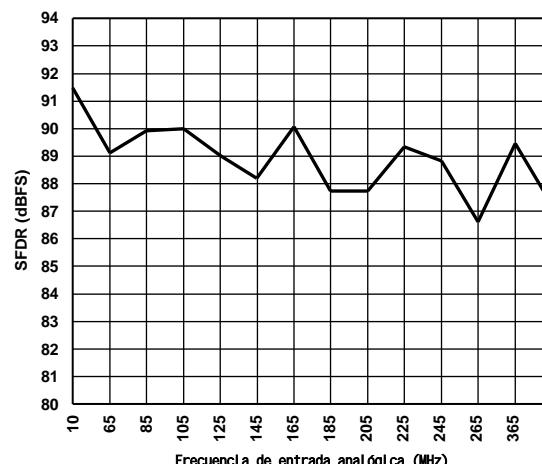
Figura 14. SNR frente a la frecuencia de entrada analógica (fIN), primera y segunda regiones de Nyquist
Regiones; AIN a 3 dBFS

Figura 15. SFDR con frecuencia de entrada analógica (fIN), primera y segunda regiones de Nyquist; AIN a 3 dBFS

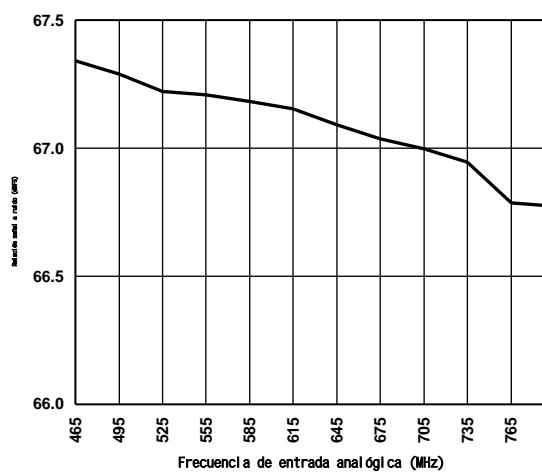


Figura 16. SNR frente a la frecuencia de entrada analógica (fIN), tercera zona de Nyquist AIN a 3 dBFS

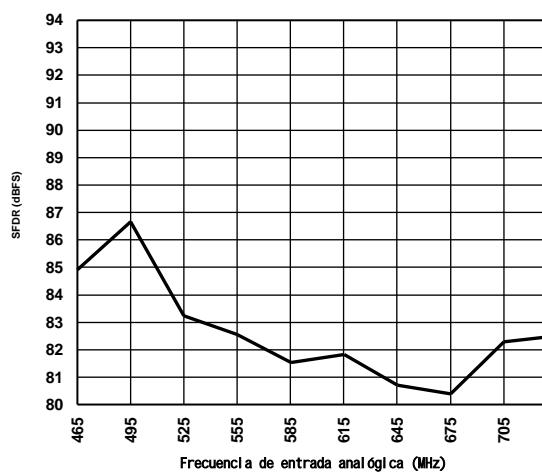
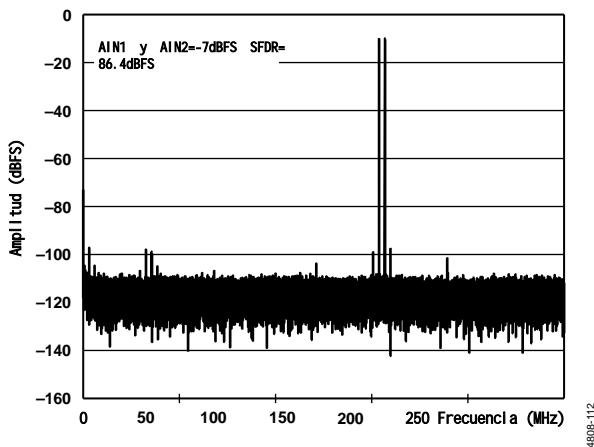
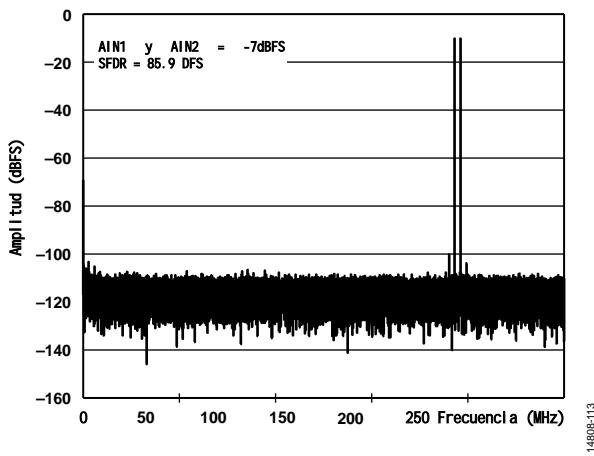


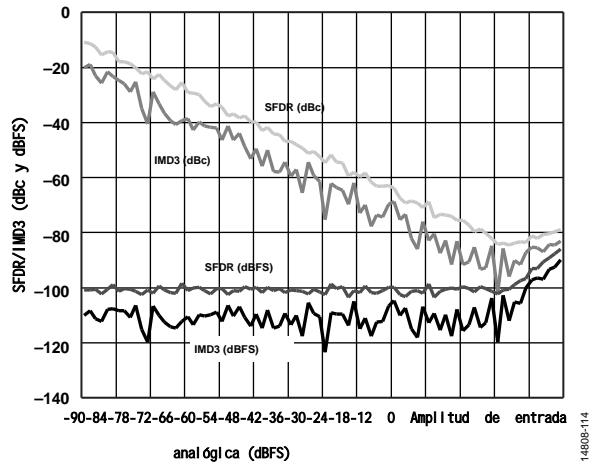
Figura 17. SFDR con frecuencia de entrada analógica (fIN), tercera zona de Nyquist; AIN a 3 dBFS

Figura 18. FFT de dos tonos; $f_{IN1}=153.5\text{ MHz}$, $f_{IN2}=156.5\text{ MHz}$

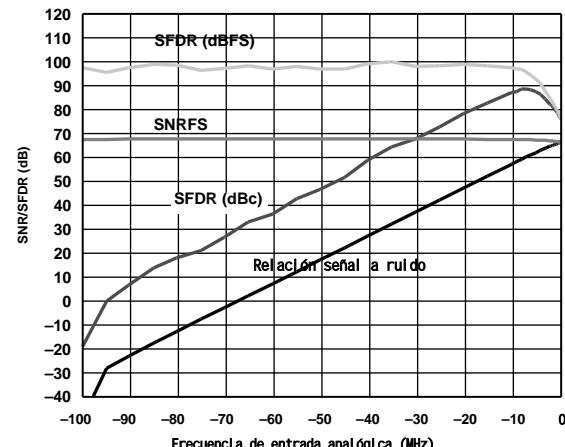
14808-112

Figura 19. FFT de dos tonos; $f_{IN1}=303.5\text{ MHz}$, $f_{IN2}=306.5\text{ MHz}$

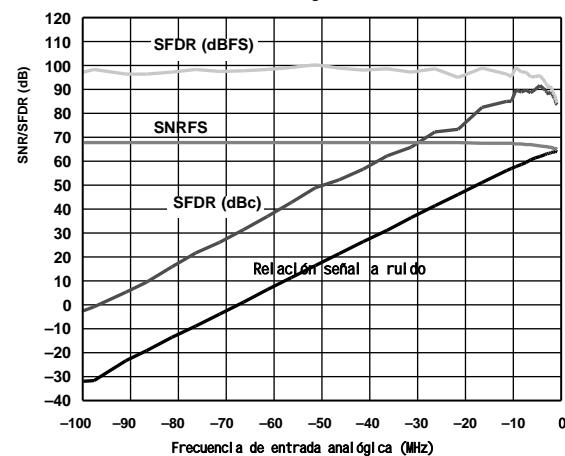
14808-113

Figura 20. Comparación entre SFDR/IMD3 de dos tonos y amplitud de entrada analógica (AIN) $f_{IN1}=303.5\text{ MHz}$ y $f_{IN2}=306.5\text{ MHz}$

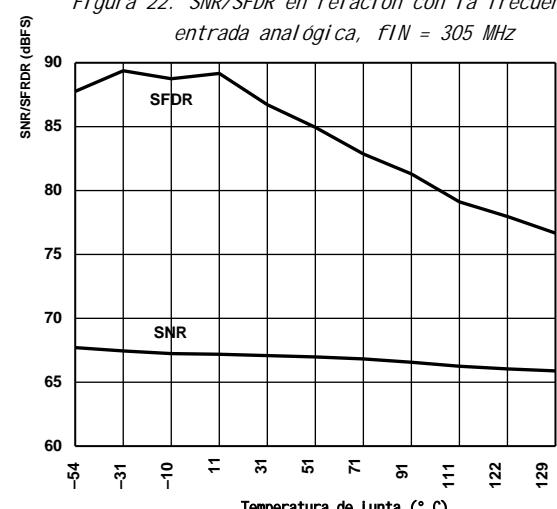
14808-114

Figura 21. SNR/SFDR en relación con la frecuencia de entrada analógica, $f_{IN} = 155\text{ MHz}$

14808-115

Figura 22. SNR/SFDR en relación con la frecuencia de entrada analógica, $f_{IN} = 305\text{ MHz}$

14808-116

Figura 23. SNR/SFDR en relación con la temperatura de la unión, $f_{IN} = 155\text{ MHz}$

14808-117

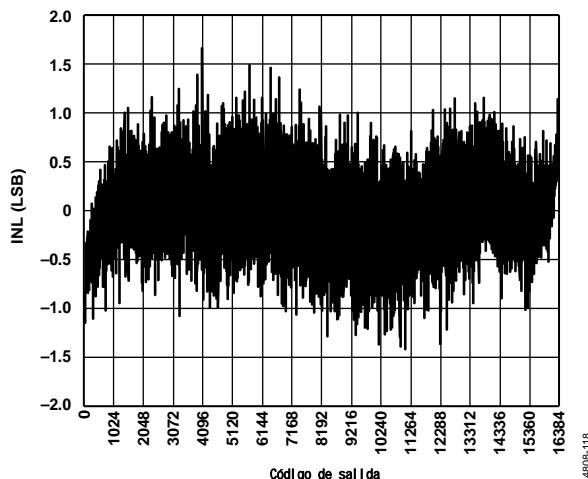
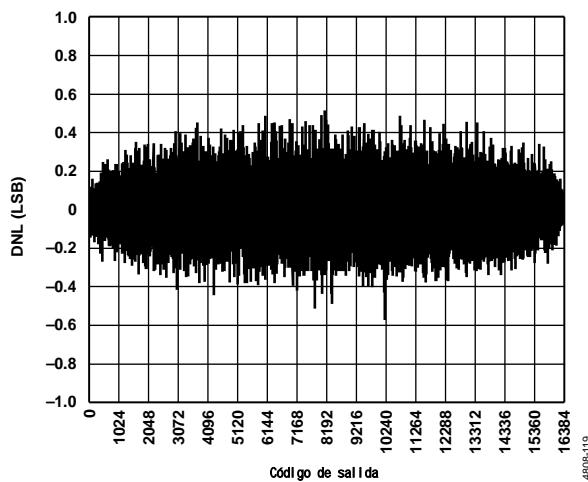
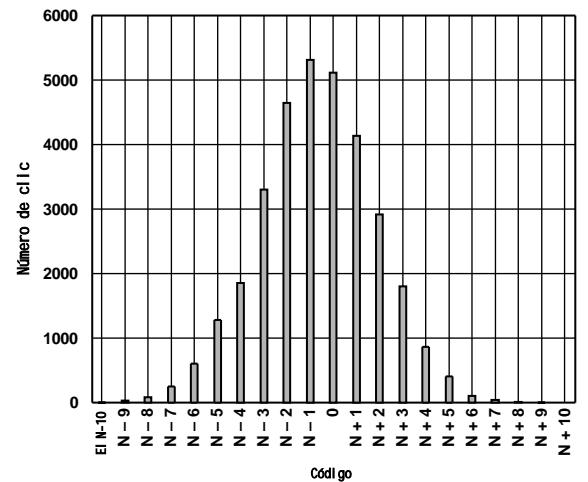
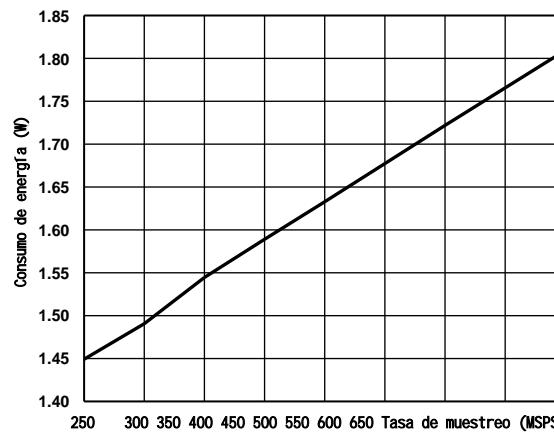
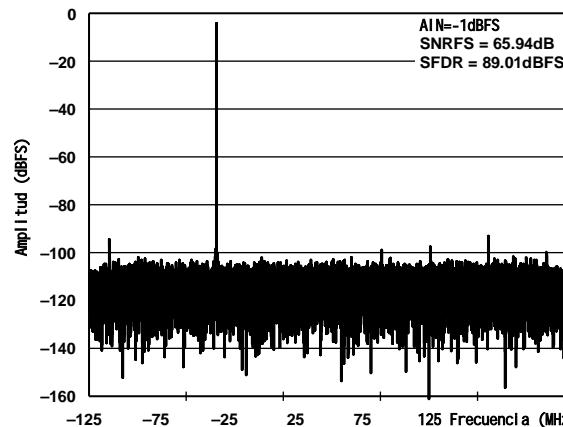
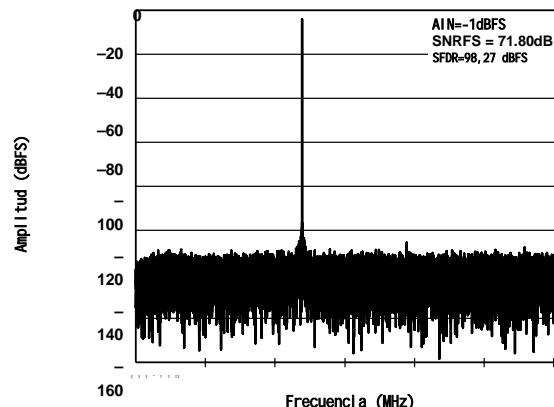
Figura 24. INL, $f_{IN}=10$, 3 MHzFigura 25. DNL, $f_{IN}=10$, 3 MHz

Figura 26. Histograma de ruido de referencia de entrada

Figura 27. Consumo de energía en relación con la frecuencia de muestreo (f_S)Figura 28. Modo DDC (cuatro DDC; decimado por 2; $L = 2$, $M = 4$ y $F = 4$), $f_{IN} = 305$ MHzFigura 29. Modo DDC (cuatro DDC; decimación 4; $L = 1$, $M = 4$ y $F = 8$), $f_{IN} = 305$ MHz

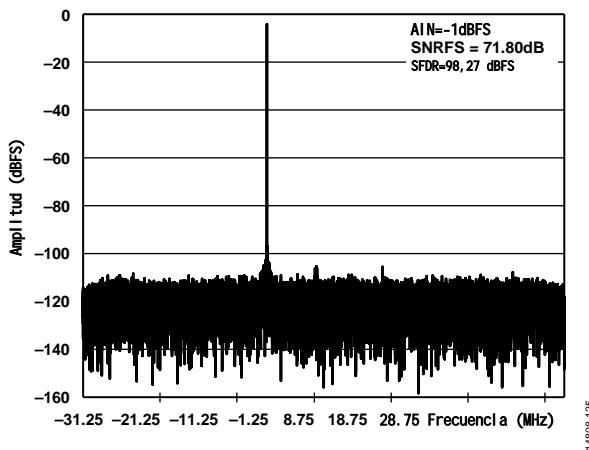


Figura 30. Modo DDC (cuatro DDC, decimado por 8; $L = 1$, $M = 4$ y $F = 8$)
 $fIN=305$ MHz

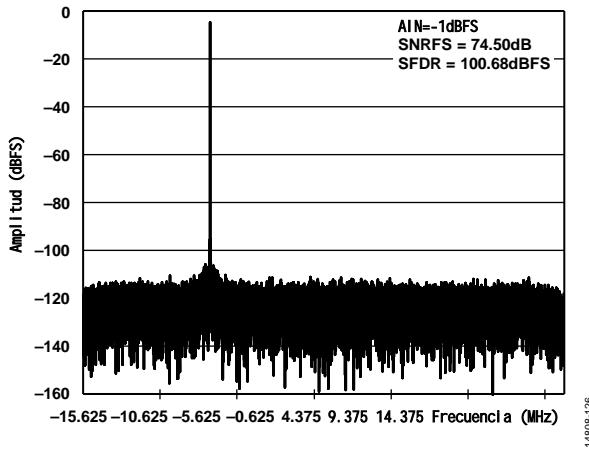


Figura 31. Modo DDC (cuatro DDC, decimación 16, $L=1$, $M=4$, $F=8$)
 $fIN=305$ MHz

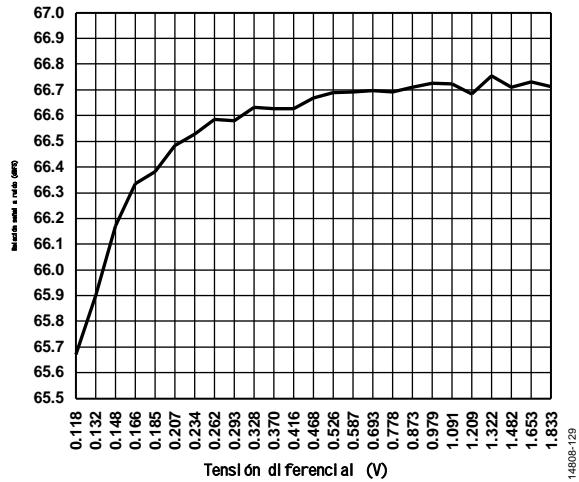


Figura 32. SNR frente al voltaje diferencial (amplitud del reloj), $fIN=155.3$ MHz

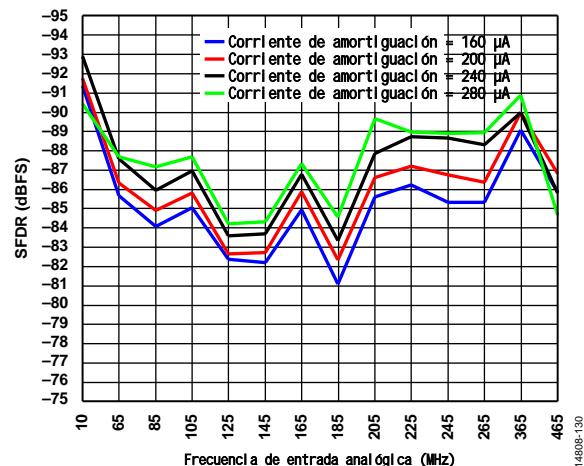


Figura 33. SFDR con frecuencias de entrada analógicas con diferentes ajustes de corriente de amortiguación (primera y segunda regiones de Nyquist)

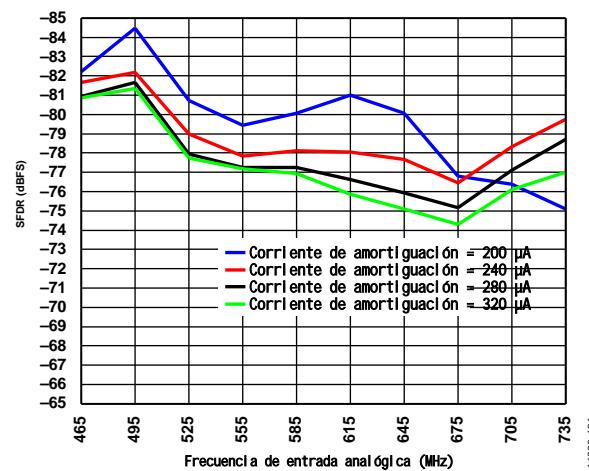


Figura 34. Comparación de la frecuencia de entrada SFDR y analógica en diferentes ajustes de corriente de buffer (tercera región de Nyquist)

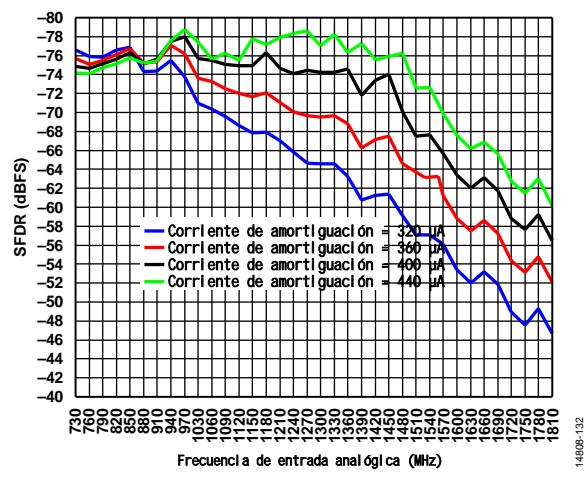


Figura 35. SFDR con Frecuencia de entrada analógica con diferentes ajustes de corriente de amortiguación (4^a zona de Nyquist)

Relación señal a ruido (dB)

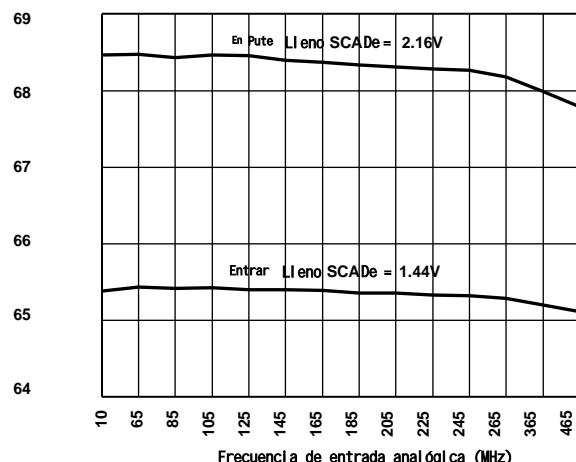


Figura 36. Relación entre SNR y frecuencia de entrada analógica en diferentes entradas analógicas
Escala completa (primera y segunda zona de Nyquist)

Relación señal a ruido (dB)

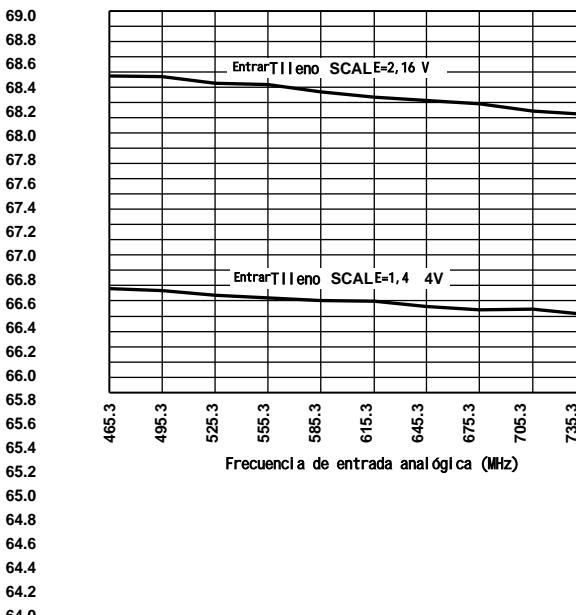


Figura 37. Relación entre SNR y frecuencia de entrada analógica en diferentes entradas analógicas
Escala completa (tercera zona de Nyquist)

Relación señal a ruido (dB)

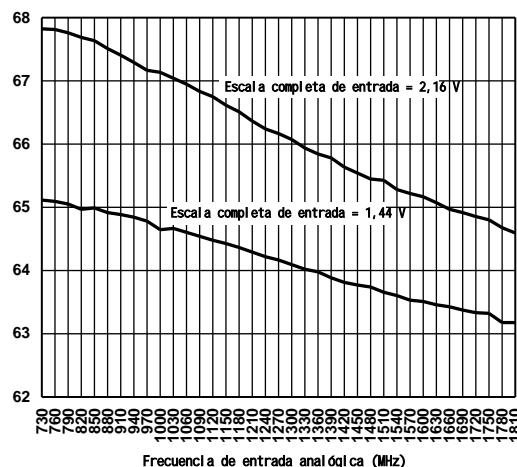


Figura 38. Relación entre SNR y frecuencia de entrada analógica en diferentes entradas analógicas
Full Scale (4ª Zona Nyquist)

SFDR (dBFS)

14808-133

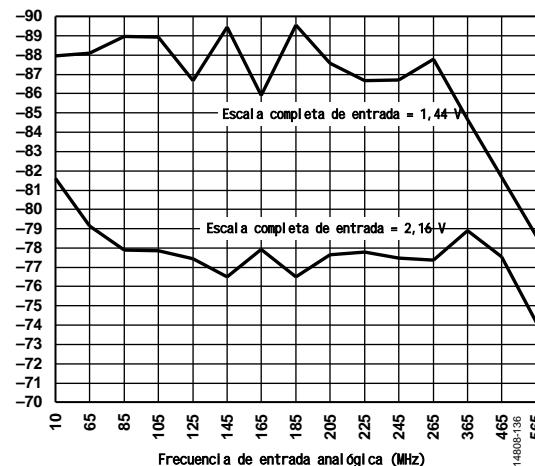


Figura 39. SFDR con frecuencias de entrada analógica con diferentes escalas completas de entrada analógica (primera y segunda regiones de Nyquist)

SFDR (dBFS)

14808-134

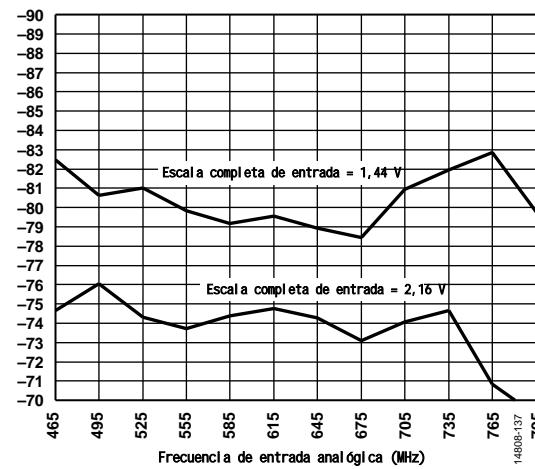


Figura 40. SFDR con frecuencias de entrada analógica con diferentes escalas completas de entrada analógica (tercera zona de Nyquist)

SFDR (dBFS)

14808-135

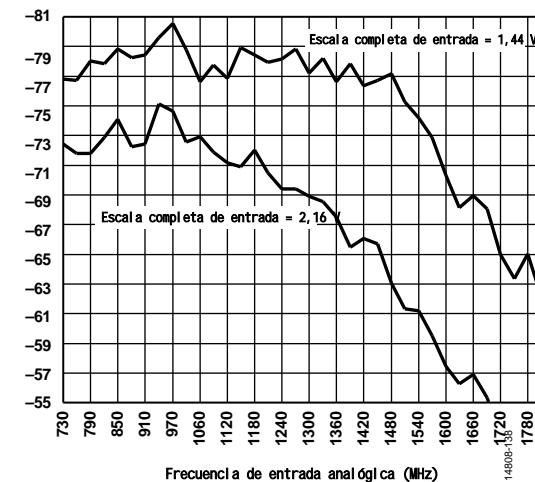


Figura 41. SFDR con Frecuencia de entrada analógica con diferentes entradas analógicas a escala completa (cuarta zona de Nyquist)

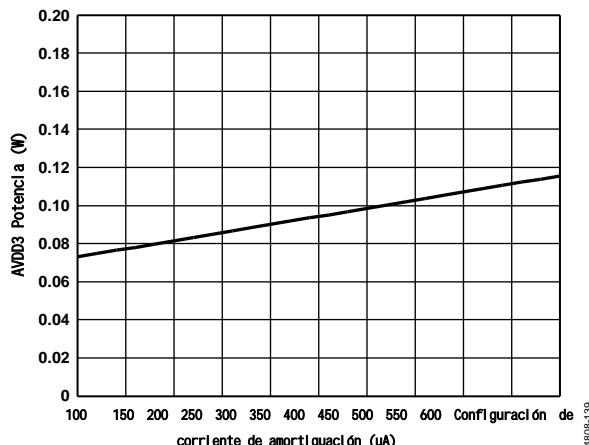


Figura 42. Configuración de potencia AVDD3 y corriente de búfer

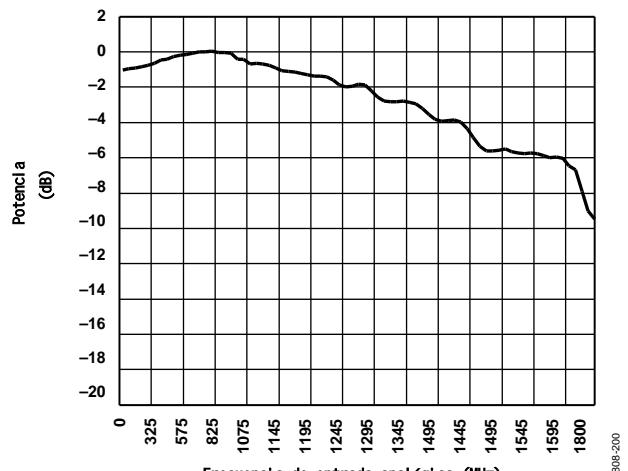


Figura 43. Ancho de banda de potencia completo

Círcuito equivalente

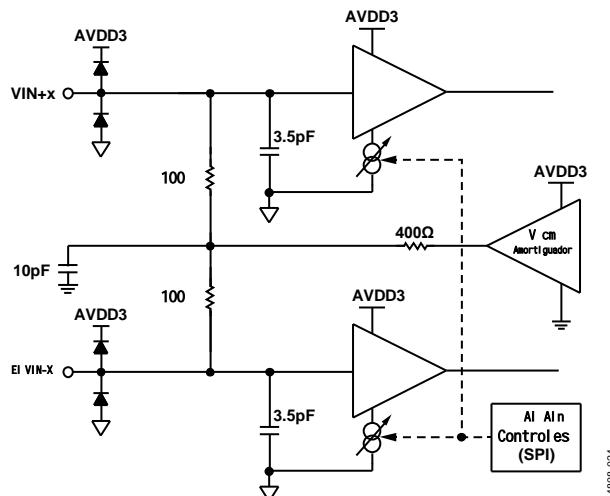


Figura 44. Entradas analógicas

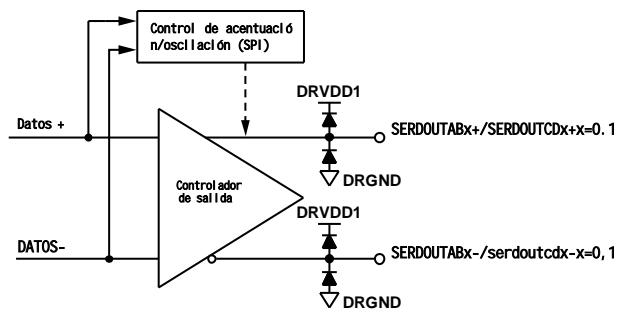


Figura 47. Salida digital

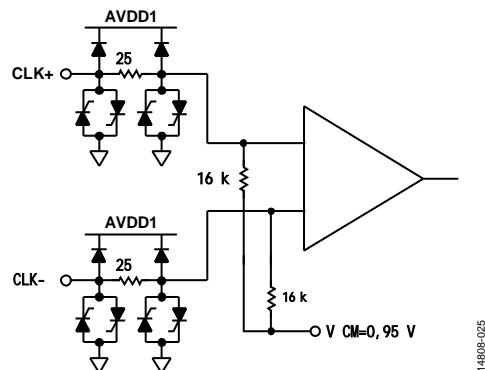


Figura 45. Entrada de reloj

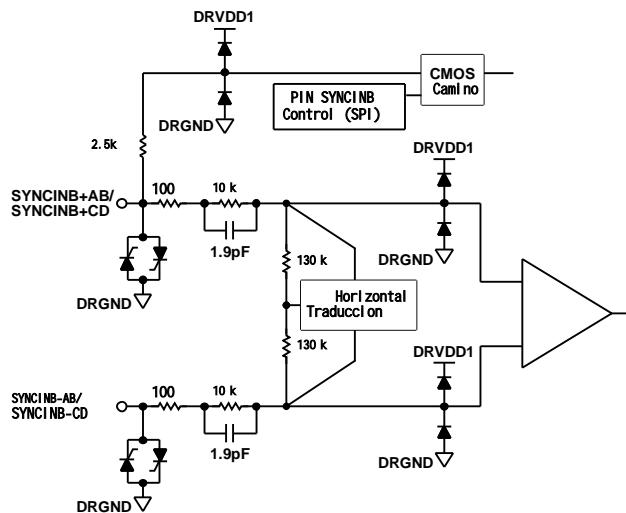
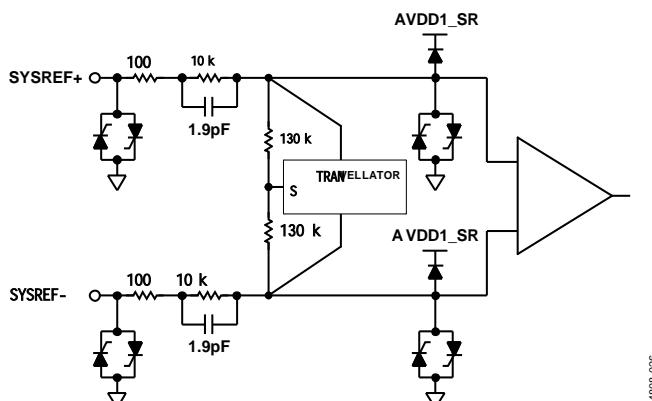
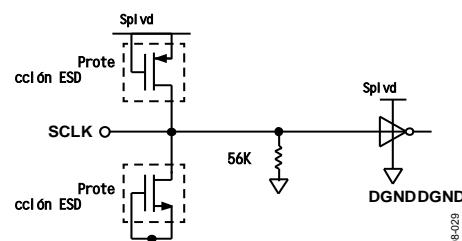
Figura 48. Entradas $SYNCINB\pm AB$, $SYNCINB\pm CD$ Figura 46. $SYSREF\pm$ entrada

Figura 49. Entrada SCLK

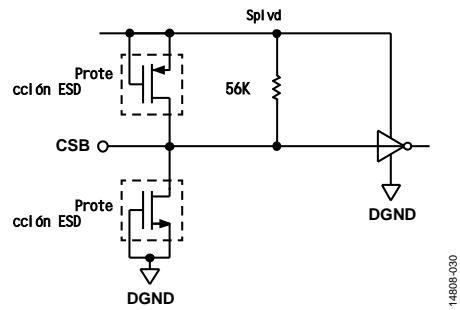


Figura 50. CSB Entrada

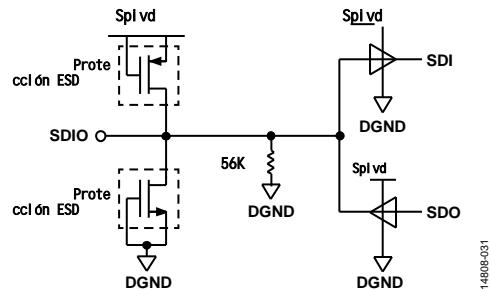


Figura 51. Entrada SDIO

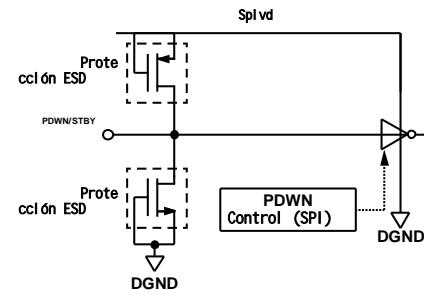


Figura 53. Entrada PDWN/STBY

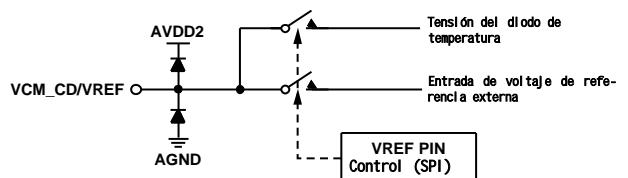


Figura 54. VCM_CD/VREF Entrada/Salida

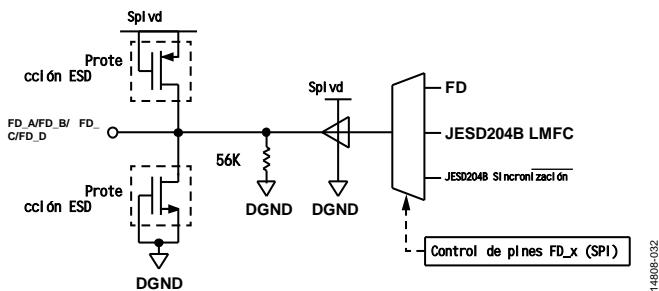


Figura 52. FD_A/FD_B/FD_C/FD_D Salida

Teoría de las operaciones

Arquitectura ADC

La arquitectura del AD9694 consiste en un ADC de tubería de búfer de entrada. La memoria intermedia de entrada está diseñada para proporcionar una impedancia de terminación de 200 Ω a la señal de entrada analógica. El diagrama de circuito equivalente del terminal de entrada analógica se muestra en la Figura 44.

La memoria intermedia de entrada proporciona una impedancia de entrada lineal alta (para facilitar la conducción) y reduce el retroceso del ADC. La memoria intermedia está optimizada para una alta linealidad, bajo ruido y bajo consumo de energía. Las salidas cuantificadas de cada etapa se combinan en lógica de corrección digital para dar un resultado final de 14 bits. La arquitectura de tubería permite que la primera etapa opere con las nuevas muestras de entrada, mientras que las etapas restantes operan simultáneamente con las muestras anteriores. El muestreo tiene lugar en el borde ascendente del reloj.

Consideraciones de entrada analógica

La entrada analógica del AD9694 es una memoria intermedia diferencial con un voltaje de modo común interno de 1,34 V. La señal de reloj alterna el circuito de entrada entre un modo de muestreo y un modo de retención. Se puede colocar un condensador diferencial o dos condensadores de un solo extremo en la entrada para proporcionar una red pasiva emparejada. Esta configuración finalmente crea un filtro de paso bajo en la entrada, limitando así el ruido de banda ancha no deseado. Véanse las Figuras 55 y 56 para detalles sobre la introducción de propuestas de red.

Para un rendimiento dinámico óptimo, las impedancias de las fuentes que accionan $VIN+x$ y $VIN-x$ deben coincidir de manera que los errores de estabilización en modo común sean simétricos. La supresión de modo común del ADC reduce estos errores. La memoria intermedia de referencia interna crea una referencia diferencial que define la extensión del núcleo del ADC.

El rendimiento máximo de SNR se puede lograr estableciendo el ADC a la extensión máxima en una configuración diferencial. Para el AD9694, el alcance disponible se puede programar desde 1,44 V P-P a 2,16 V P-P diferencial a través del puerto SPI, con un valor predeterminado de 1,80 V P-P diferencial.

Jitter

El AD9694 tiene un circuito de fluctuación interna en el chip que mejora la linealidad del ADC y el SFDR, especialmente a niveles de señal más pequeños. Una cantidad conocida pero aleatoria de ruido blanco se inyecta en la entrada del AD9694. Esta fluctuación mejora la linealidad de señal pequeña

Configuración de entrada diferencial

Hay varias maneras de accionar el AD9694 de manera activa o pasiva. Sin embargo, al accionar de manera diferencial las entradas analógicas, se puede lograr un rendimiento óptimo.

Para aplicaciones en las que SNR y SFDR son parámetros críticos, el acoplamiento diferencial del transformador es la configuración de entrada recomendada (ver Figuras 55 y 56), ya que el rendimiento de ruido de la mayoría de los amplificadores no es suficiente para lograr el verdadero rendimiento del AD9694.

Para frecuencias bajas y medias, se recomienda utilizar una red de doble balun o de doble transformador (ver Figura 55) para obtener el mejor rendimiento del AD9694. Para frecuencias más altas en la tercera o cuarta zona de Nyquist, se eliminan algunos de los componentes pasivos frontales para asegurar el funcionamiento de banda ancha (ver Figura 56).

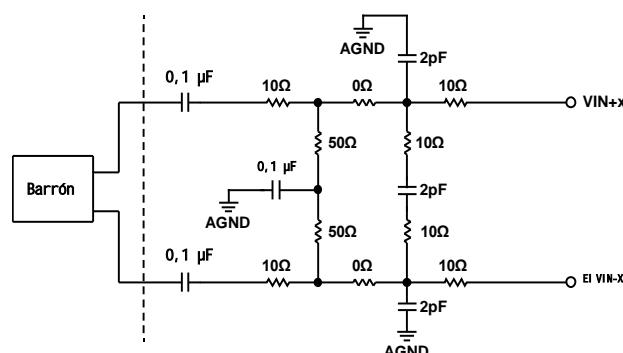


Figura 55. Configuración de acoplamiento de transformador diferencial para primera y segunda frecuencias de Nyquist

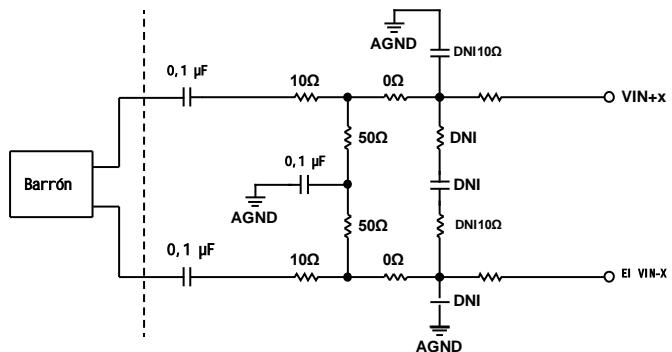


Figura 56. Configuración de acoplamiento de transformador diferencial para la tercera y cuarta zona de Nyquist

14808-038

14808-039

dentro de la función de transferencia del ADC y se resta digitalmente con precisión. La fluctuación está activada por defecto y no reduce el rango dinámico de entrada del ADC. Las especificaciones y los límites de la hoja de datos se obtuvieron con el jitter abierto. La fluctuación de fluctuación se puede desactivar usando una escritura SPI en el registro 0x0922. Desactivar la fluctuación de jitter puede aumentar ligeramente el SNR (aproximadamente 0,2 dB) a expensas del SFDR de señal pequeña.

Modo común de entrada

La entrada analógica del cabezal 9694 está polarizada internamente en modo común, como se muestra en la figura 57.

Para aplicaciones de acoplamiento de CC, el procedimiento operativo recomendado es exportar el voltaje de modo común al pin VCM_CD/VREF usando la escritura SPI enumerada en esta sección. El voltaje de modo común debe establecerse por el valor derivado para asegurar que el ADC funcione correctamente. Utilice el registro 0x1908 para desconectar la memoria interna de modo común de la entrada analógica.

Al realizar una escritura SPI para una operación de acoplamiento de CC, utilice los siguientes ajustes de registro en orden:

1. Ajuste el registro 0x1908 bit 2 a 1 para desconectar la memoria interna de modo común de la entrada analógica.
 2. Ajuste el registro 0x18A6 a 0x00 para apagar la referencia de voltaje.
 3. Ajuste el registro 0x18E6 a 0x00 y apague la salida del diodo de temperatura.
 4. Ajuste el registro 0x18E0 a 0x04.
 5. Ajuste el registro 0x18E1 a 0x1C.
 6. Ajuste el registro 0x18E2 a 0x14.
 7. Ajuste el registro 0x18E3 bit 6 a 0x01 para abrir la exportación de VCM.
 8. Establezca el bit del registro 0x18E3 [5:0] en el ajuste de corriente de almacenamiento intermedio (copie el ajuste de corriente de almacenamiento intermedio del registro 0x1A4C y el registro 0x1A4D para mejorar la precisión de la derivación de modo común).

Control de entrada analógica y optimización SFDR

El AD9694 ofrece controles flexibles para las entradas analógicas, como la corriente de amortiguación y el ajuste a escala completa de la entrada. Todos los controles disponibles se muestran en la Figura 57.

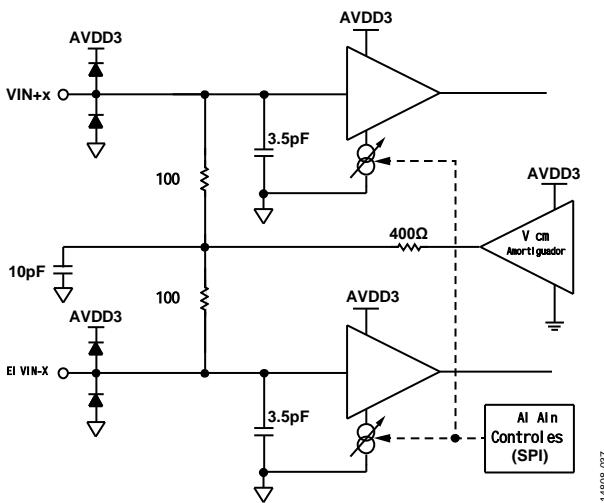


Figura 57. Control de entrada analógica

Usando el registro 0x1A4C y el registro 0x1A4D, la corriente de memoria intermedia en cada canal puede ser escalada para optimizar el SFDR en una variedad de frecuencias de entrada y anchos de banda de interés. Cuando se establece la corriente de búfer de entrada, la cantidad de corriente requerida por la fuente de alimentación AVDD3 cambia. Esta relación se muestra en la Figura 58. Véase la Tabla 39 para una lista completa de los ajustes de corriente de búfer.

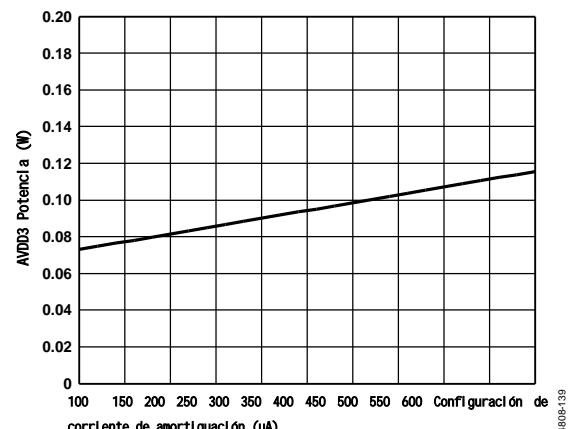


Figura 58. Potencia AVDD3 y ajuste de corriente del búfer

En ciertas aplicaciones de alta frecuencia, el SFDR puede mejorarse reduciendo el ajuste de escala completa.

La Tabla 11 muestra los ajustes de corriente de almacenamiento intermedio recomendados para diferentes intervalos de frecuencia de entrada analógica.

Cuadro 11. Optimización SFDR de la frecuencia de entrada

El Distrito Nyquist	Configuración de control de corriente de búfer de entrada, registro 0x1A4C y registro 0x1A4D
Primera, segunda y El tercer Nyquist	240 μ A (registro 0x1A4C, bit [5:0] = registro 0x1A4D, bit [5:0] = 01100)
Cuarto Nyquist	400 μ A (registro 0x1A4C, bit [5:0] = registro 0x1A4D, bit [5:0] = 10100)

Oscilación máxima de entrada absoluta

La oscilación de entrada máxima absoluta permitida en la entrada del AD9694 es de 4,3 V p-p diferencial. Las señales cercanas o en este nivel pueden causar daños permanentes al ADC.

Referencia de voltaje

El AD9694 tiene una referencia estable y precisa de 0,5 V incorporada. Esta referencia interna de 0,5 V se utiliza para establecer el rango de entrada a escala completa del ADC. El rango de entrada a escala completa se puede ajustar a través del registro 0x1910. Véase la Tabla 39 para más información sobre el ajuste de la oscilación de entrada. La figura 59 muestra un diagrama de bloques del control de referencia interno de 0,5 V.

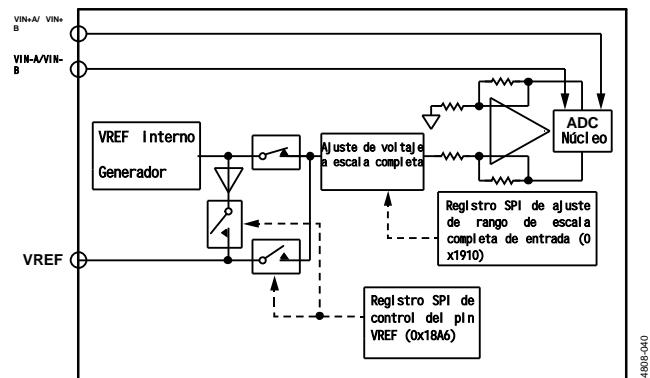


Figura 59. Configuración y control de referencia interna

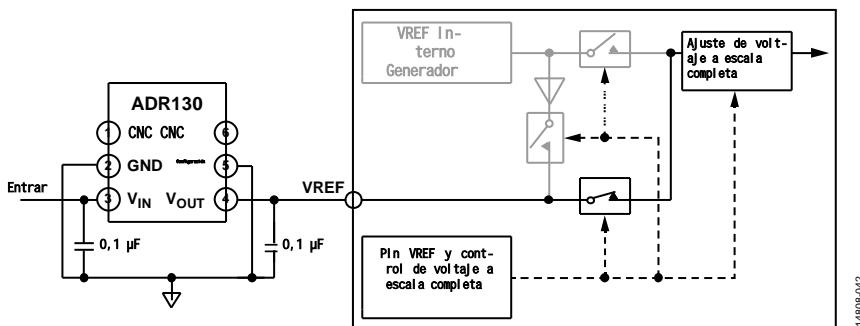


Figura 60. Utilización de referencias externas para ADR130

14808-042

El registro 0x18A6 permite al usuario utilizar esta referencia interna de 0,5 V o proporcionar una referencia externa de 0,5 V. Cuando utilice una referencia externa, proporcione una referencia de 0,5 V. El ajuste a escala completa se realiza con SPI, independientemente del voltaje de referencia. Para obtener más información sobre cómo ajustar el nivel de escala completa del AD9694, consulte la sección de mapeo de memoria. Las escrituras SPI requeridas para usar una referencia externa son en el siguiente orden:

1. Establezca el registro 0x18E3 a 0x00 para desactivar la exportación de VCM.
2. Ajuste el registro 0x18E6 a 0x00 para apagar la salida del diodo de temperatura.
3. Ajuste el registro 0x18A6 a 0x01 para encender la referencia externa.

En algunas aplicaciones, puede ser necesario usar una referencia externa para mejorar la precisión de ganancia del ADC o mejorar las características de derivación térmica.

El punto de referencia externo debe ser un punto de referencia estable de 0,5 V. El ADR130 es suficiente para proporcionar una referencia de voltaje de 0,5 V. La figura 60 muestra cómo el ADR 130 proporciona un 0 externo.5 V Referencia AD9694. Las líneas discontinuas indican bloques no utilizados en el AD9694, mientras que se utiliza el ADR 130 para proporcionar una referencia externa.

Calibración de polarización DC

El AD9694 contiene un filtro digital para eliminar el desplazamiento de CC en la salida del ADC. Para aplicaciones de acoplamiento de CA, este filtro se puede habilitar estableciendo el registro 0x0701 bit 7 a 1 y el registro 0x073B bit 7 a 0. El filtro calcula la señal CC media y resta digitalmente esta señal de la salida del ADC. Como resultado, el desplazamiento de CC se mejora hasta ser mejor que 70 dBFS en la salida. Debido a que el filtro no distingue entre la fuente de la señal de CC, esta característica puede usarse cuando el contenido de la señal en CC no es de interés. El filtro corrige la CC hasta ± 512 yardas y se satura por encima de ± 512 yardas.

Precauciones de entrada de reloj

Para un rendimiento óptimo, utilice una señal diferencial para accionar las entradas de reloj de muestreo del AD9694 (CLK+ y CLK-). Esta señal se acopla típicamente en CA a los pinos CLK+ y CLK- a través de un transformador o controlador de reloj. Estos pinos están polarizados internamente y no requieren polarización adicional.

La figura 61 muestra un procedimiento preferido para cronometrar el AD9694. La fuente de reloj de baja fluctuación se convierte de una señal de extremo único a una señal diferencial usando un transformador de RF.

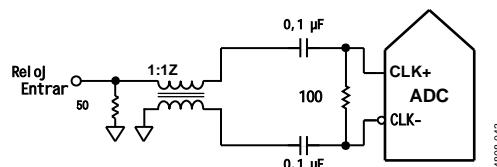


Figura 61. Reloj diferencial acoplado al transformador

Otra opción es acoplar una señal diferencial de CML o LVDS de CA a la clavija de entrada de reloj de muestreo, como se muestra en las figuras 62 y 63.

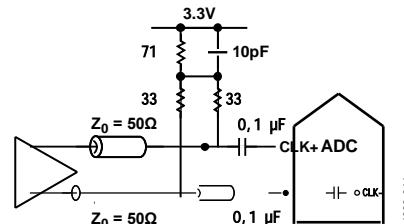
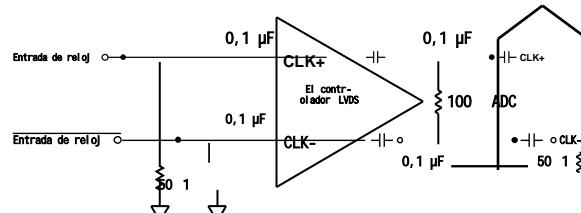


Figura 62. Reloj de muestreo CML diferencial



1La resistencia de 50 ohmios es opcional.

Figura 63. Reloj de muestreo LVDS diferencial

14808-045

Consideraciones sobre el ciclo de trabajo del reloj

Un ADC típico de alta velocidad utiliza dos bordes de reloj para generar una variedad de señales de temporización internas. El AD9694 incluye un divisor de reloj interno y un estabilizador de ciclo de trabajo (DCS). En aplicaciones en las que no se garantiza un ciclo de trabajo del reloj del 50%, se recomienda un reloj de frecuencia múltiple más alto, así como un divisor de reloj. Cuando no se puede proporcionar un reloj de mayor frecuencia, se recomienda encender el DCS. La salida del divisor de frecuencia proporciona una señal de reloj de ciclo de trabajo del 50% y alta velocidad de oscilación (borde rápido) al ADC interno. La siguiente operación de escritura SPI es necesaria para abrir el DCS (consulte la sección de mapeo de memoria para obtener más detalles sobre el uso de esta característica):

1. Escribe 0x81 en 0x011F.
2. Escribe 0x09 a 0x011C.
3. Escribe 0x09 a 0x011E.
4. Escribe 0x0B a 0x011C.
5. Escribe 0x0B a 0x011E.

Divisor de reloj de entrada

El AD9694 contiene un divisor de reloj de entrada capaz de dividir el reloj de entrada por 1, 2, 4 u 8. La relación de divisor puede seleccionarse usando el registro 0x0108 (véase la figura 64). En aplicaciones en las que la entrada de reloj es un múltiplo del reloj de muestreo, se debe tener cuidado para programar la relación de divisor apropiada en el divisor de reloj antes de aplicar la señal de reloj, lo que asegura que los transitorios de corriente durante el arranque del dispositivo están controlados.

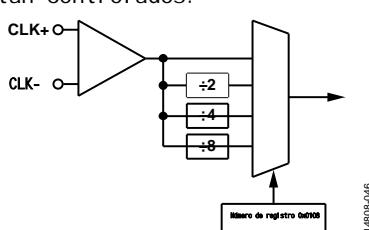


Figura 64. Circuito divisor de reloj

El divisor de reloj AD9694 se puede sincronizar utilizando una entrada externa SYSREF \pm . Al validar SYSREF \pm reinicia el divisor de reloj a un estado programable. Esta función de sincronización permite que múltiples dispositivos alineen sus divisores de reloj para garantizar el muestreo de entrada simultáneo.

Precauciones sobre la fluctuación del reloj

Los ADC de alta velocidad y alta resolución son muy sensibles a la calidad de la entrada de reloj. Degradación del SNR a una entrada dada

La frecuencia (f_A) causada únicamente por la fluctuación de apertura (t_J) se puede calcu-

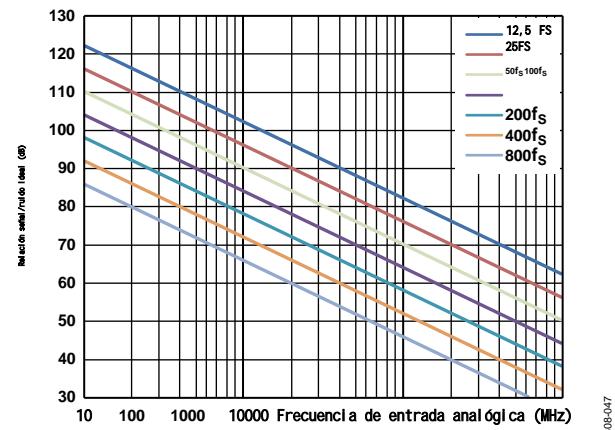


Figura 65. Efecto del SNR ideal y la frecuencia de entrada analógica en la fluctuación

Trate la entrada de reloj como una señal analógica en situaciones en las que la fluctuación de la apertura puede afectar al rango dinámico del AD9694. Separa la fuente de alimentación del controlador de reloj de la fuente de alimentación del controlador de salida del ADC para evitar la modulación de la señal de reloj con ruido digital. Si el reloj se genera a partir de otro tipo de fuente (mediante gating, división de frecuencia u otro método), el reloj se reconvierte con el reloj original en la última etapa. Para obtener información más detallada sobre el rendimiento de fluctuación del ADC, consulte la Nota de aplicación AN-501 y la Nota de aplicación AN-756.

La Figura 65 muestra el SNR estimado del AD9694 a través de la frecuencia de entrada para diferentes valores de fluctuación inducida por el reloj. El SNR se puede estimar utilizando la ecuación siguiente:

$$\text{SNR(dBFS)} = -10 \log_{10} \left(\left(\frac{-\text{SNR}_{\text{ADC}}}{10} \right) + 10^{\left(\frac{-\text{SNR}_{\text{JITTER}}}{10} \right)} \right)$$

Detección de reloj de entrada

El AD9694 contiene un circuito de detección de reloj de entrada para detectar la señal en el pin de reloj de entrada. Si la amplitud del reloj o la frecuencia de muestreo cae por debajo del mínimo especificado, el AD9694 entrará en el modo de apagado de energía. Cuando el bit de detección de reloj de entrada en el registro 0x011B se establece a 0, no se detecta el reloj de entrada. Para obtener más detalles sobre la función de detección de reloj de entrada, consulte el registro 0x011A y el registro 0x011B.

Modo apagado/espera

El AD9694 tiene un pin PDWN/STBY para configurar el dispositivo en el modo apagado o en espera. La operación predeterminada es apagado. El pin PDWN/STBY es un pin lógico alto. El enlace JESD204B se interrumpe cuando se encuentra en el modo de apagado. La opción de apagado también se puede establecer a través del registro 0x003F y el

$$\text{ular por SNR} = -20 \times \log (2 \times \text{RMS} \times f_A \times t_J)$$

En esta ecuación, la fluctuación de la apertura RMS representa la fluctuación de la apertura RMS de todas las fuentes de fluctuación, incluyendo la entrada de reloj, la señal de entrada analógica y las especificaciones de fluctuación de la apertura del ADC. Si la aplicación de submuestreo es particularmente sensible a la fluctuación (véase la figura 65).

registro 0x0040.

En modo de espera, el enlace JESD204B no se interrumpe y transmite ceros para todas las muestras del convertidor. Este estado se puede cambiar usando el registro 0x0571 bit 7 para seleccionar el carácter `/K`.

Diodos de temperatura

El AD9694 contiene un sensor de temperatura basado en diodos para medir la temperatura de la matriz. Este diodo puede emitir voltaje y actuar como un sensor de temperatura aproximado para monitorear la temperatura interna de la matriz.

El voltaje del diodo de temperatura se puede emitir al pin VCM_CD/VREF usando SPI. Utilice el registro 0x18E6 para habilitar o deshabilitar el diodo. El registro 0x18E6 es un registro local. Se deben seleccionar dos núcleos en el registro de índice de pares (registro 0x0009 = 0x03) para habilitar la lectura del diodo de temperatura. Es importante tener en cuenta que otros voltajes pueden ser emitidos al mismo pin al mismo tiempo, lo que puede causar un comportamiento indefinido. Por lo tanto, para asegurar una lectura correcta, todos los demás circuitos de salida de tensión se apagan, como se describe más adelante.

La escritura de SPI requerida para derivar el diodo de temperatura es la siguiente (véase la Tabla 39 para más información):

1. Ajuste el registro 0x0009 a 0x03 para seleccionar ambos núcleos.
2. Establezca el registro 0x18E3 a 0x00 para desactivar la exportación de VCM.
3. Ajuste el registro 0x18A6 a 0x00 para apagar la salida de referencia de voltaje.
4. Ajuste el registro 0x18E6 a 0x01 para encender la salida de tensión del diodo central de 1x temperatura. La respuesta de tensión típica de un diodo de temperatura se muestra en la Figura 66. Aunque este voltaje es representativo de la temperatura de la matriz, se recomienda medir a partir de un par de diodos para mejorar la precisión. El siguiente paso explicará cómo habilitar el diodo 20x.
5. Ajuste el registro 0x18E6 a 0x02 para encender el segundo diodo de temperatura central del par, que es 20 veces el tamaño del primero. Para obtener un método para usar dos diodos simultáneamente para obtener resultados más precisos, consulte la nota de aplicación theAN-1432 "Modelado térmico práctico y medición en circuitos integrados de alta potencia".

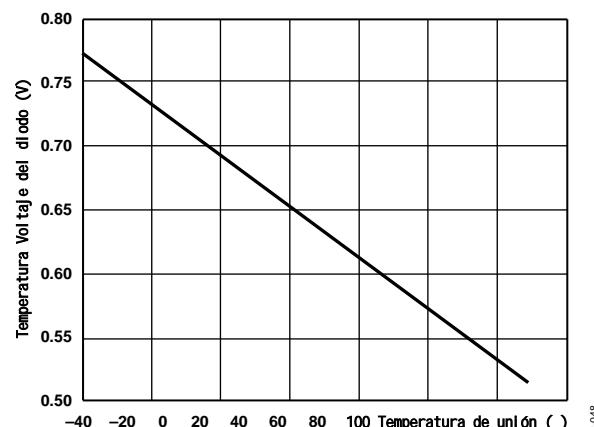


Figura 66. Relación entre el voltaje del diodo de temperatura y la temperatura de unión

14898-04-6

ADC fuera de rango y detección rápida

En aplicaciones receptoras, es deseable tener mecanismos para determinar de manera fiable cuándo un convertidor está a punto de ser recortado. Los bits estándar fuera de rango en la salida del JESD204B proporcionan información sobre el estado de la entrada analógica, pero son de utilidad limitada. Por lo tanto, es útil tener un umbral programmable por debajo de la escala completa que permite tiempo para reducir la ganancia antes de que realmente se produzca el recorte. Además, debido a que la señal de entrada puede tener una velocidad de conversión significativa, el retardo de esta función es una preocupación importante. Un convertidor altamente canalizado puede tener un retardo significativo. El AD9694 contiene circuitos de detección rápida para los canales individuales para monitorizar los umbrales y activar los pines FD A, FD B, FD C y FD D.

ADC fuera del rango

Cuando se detecta una fuera de rango en la entrada del ADC, se afirma un indicador de fuera de rango del ADC. El indicador de fuera de rango puede incrustarse como un bit de control en el enlace JESD204B (cuando CSB > 0). El retardo de este indicador de fuera de rango coincide con el retardo de muestreo.

Detección rápida de umbral (FD_A, FD_B, FD_C y FD_D)

El bit de detección rápida (FD) en el registro 0x0040 se establece inmediatamente tan pronto como el valor absoluto de la señal de entrada exceda el nivel de umbral superior programmable. El bit FD se borra sólamente cuando el valor absoluto de la señal de entrada cae por debajo del nivel umbral inferior durante un período de tiempo mayor que el tiempo de permanencia programmable. Esta característica proporciona histéresis y evita la conmutación excesiva de bits del FD.

El funcionamiento del registro del umbral superior e inferior y del registro de tiempo de permanencia se muestra en la figura 61.

Si la amplitud de entrada excede el valor programado en el registro de umbral superior de detección rápida ubicado en el registro 0x0247 y el registro 0x0248, el indicador FD será asertado. El registro de umbral seleccionado se compara con la amplitud de la señal en la salida del ADC. La detección rápida de umbral superior tiene un retardo de 30 ciclos de reloj (máximo). La amplitud del umbral superior aproximado se define por la ecuación

Límite superior de la amplitud del umbral (dBFS) = 20 log (amplitud del umbral/213)

El indicador de FD no se borra hasta que la señal cae por debajo del límite inferior del tiempo de permanencia programado. El umbral inferior está programado en el registro de umbral inferior de detección rápida situado en el registro 0x0249 y en el registro 0x024A. El registro de umbral inferior de detección rápida es un registro de 13 bits que se puede comparar con la amplitud de la señal en la salida del ADC. Esta comparación se ve afectada por el retardo de la tubería del ADC, pero es precisa en términos de resolución del convertidor. La amplitud del umbral inferior se define como

Amplitud del umbral inferior (dBFS) = 20 log (amplitud del umbral/213)

Por ejemplo, para establecer un umbral superior de -6 dBFS, escriba 0xFFFF en el registro 0x0247 y en el registro 0x0248. Para establecer un umbral inferior de -10 dBFS, escriba 0xA1D en el registro 0x0249 y el registro 0x024A. El tiempo de permanencia se puede programar de 1 a 65.535 ciclos de reloj de muestreo poniendo el valor esperado en un registro de tiempo de permanencia de detección rápida ubicado en el registro 0x024B y el registro 0x024C. Véase la sección de mapeo de memoria para más detalles (registro 0x0040 y registro 0x0245 al registro 0x024C en la tabla 39).

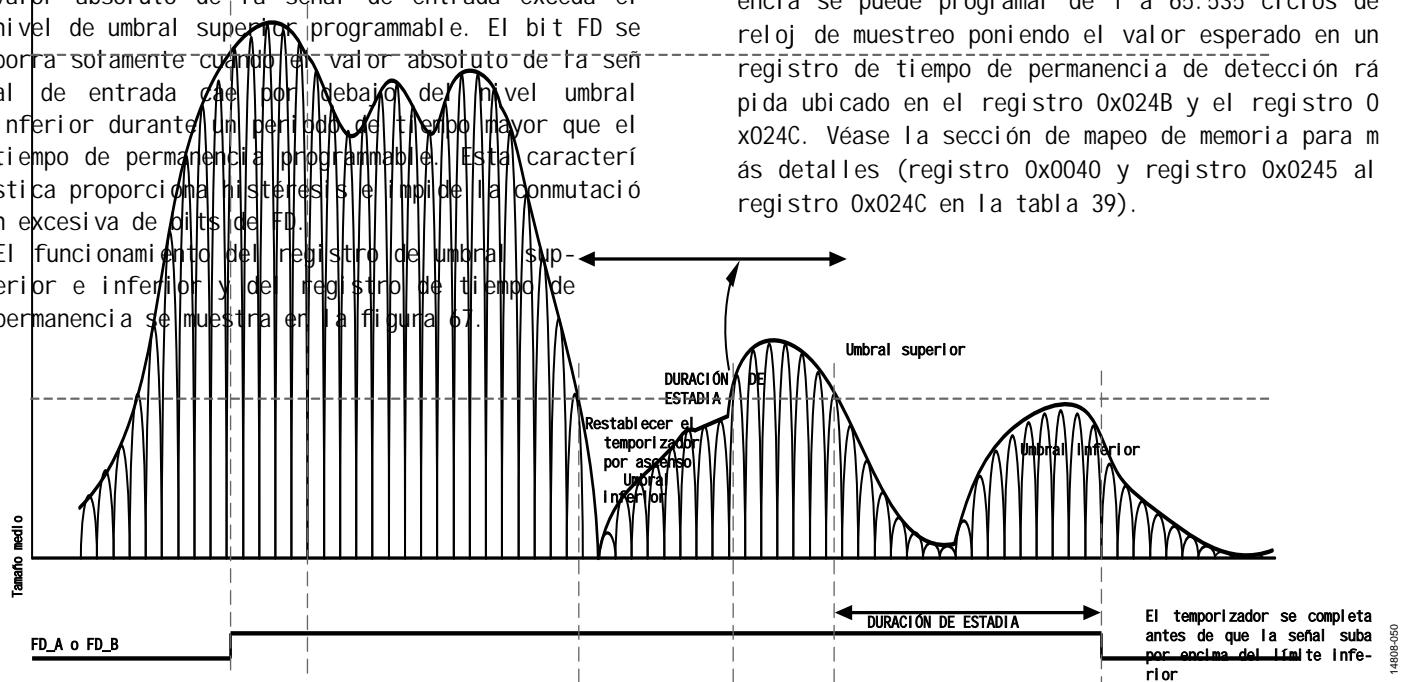


Figura 67. Configuración de umbral para las señales FD_A y FD_B

Monitor de señal

El módulo de monitor de señal proporciona información adicional sobre la señal digitalizada por el ADC. El monitor de señal calcula la amplitud máxima de la señal digitalizada. Esta información puede usarse para accionar el bucle AGC para optimizar el alcance del ADC en presencia de señales del mundo real. El resultado del módulo de monitorización de señal puede obtenerse leyendo el valor interno desde el puerto SPI o incrustando la información de monitorización de señal como un bit de control especial en la interfaz JESD204B. El ciclo programable global de 24 bits controla la duración de la medición. La figura 68 muestra un diagrama de bloques simplificado de un bloque de monitor de señal.

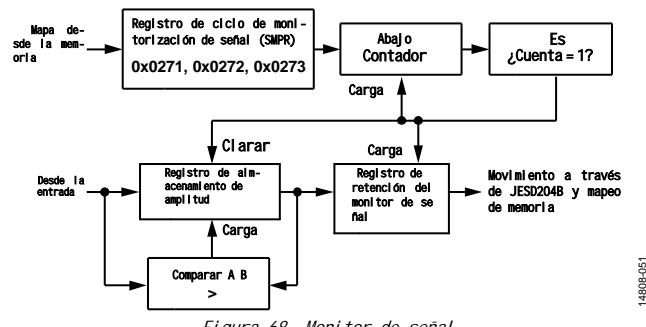


Figura 68. Monitor de señal

El detector de pico captura la señal máxima durante el período de observación. El detector solo observa la magnitud de la señal. El detector de pico tiene una resolución de un valor de 13 bits y un período de observación de 24 bits, que representa las muestras de salida del convertidor. La amplitud máxima se puede derivar usando la siguiente ecuación:

Amplitud de pico (dBFS) = $20 \log (\text{valor detector de pico}/213)$ Monitorea la amplitud de la señal del puerto de entrada durante un período de tiempo programable, determinado por el registro de período de monitorización de señal (SMPR). La función de detector de pico se habilita estableciendo el bit 1 del registro 0x0270 en el registro de control de monitorización de señal. El SMPR de 24 bits debe ser programado antes de activar este modo.

Después de habilitarse el modo de detección de pico, los valores en el SMPR se cargan en un temporizador de ciclo de supervisión, que se decrece a la velocidad de reloj decimada. La amplitud de la señal de entrada es

Comparar con valores en el Registro de almacenamiento de amplitud interno (inaccesible al usuario) y actualizar el mayor de los dos al nivel máximo actual. El valor inicial del registro de almacenamiento de amplitud se establece como la amplitud actual de la señal de entrada del ADC. Esta comparación continúa hasta que el recuento del temporizador del ciclo de supervisión alcanza 1.

Cuando el recuento del temporizador de ciclo de monitorización alcanza 1, el valor de nivel máximo de 13 bits se transfiere a un registro de retención de monitorización de señal, que puede leerse a través de un mapa de memoria o emitirse a través de SPORT a través de la interfaz JESD204B. El temporizador de ciclo de monitorización se vuelve a cargar con el valor en el SMPR y la cuenta regresiva se inicia de nuevo. Además, la amplitud de la primera muestra de entrada se actualiza en el registro de almacenamiento de amplitud y, como se explica en la sección de detección rápida de umbral (FD_A, FD_B, FD_C y FD_D), continúa el proceso de comparación y actualización.

Movimiento en JESD204B

Los datos de monitorización de señal también se pueden serializar y enviar como bits de control a través de la interfaz JESD204B. Estos bits de control deben ser deserializados de la muestra para reconstruir las estadísticas. La señal de habilitación controla la función de monitor estableciendo el bit 0 del registro 0x0279 y el bit 1 del registro 0x027A. La figura 69 muestra dos configuraciones de ejemplo diferentes de posiciones de bit de control del monitor de señal dentro de una muestra de JESD204B. Se pueden insertar hasta tres bits de control en las muestras JESD204B; Sin embargo, el monitor de señal solo necesita un bit de control. Los bits de control se insertan desde el MSB al LSB. Si solo se debe insertar un bit de control (CS = 1), solo se usa el bit de control más significativo (véase la configuración de ejemplo 1 y la configuración de ejemplo 2 en la figura 69). Para seleccionar la opción SPORT sobre JESD204B (monitor de señal), programa el registro 0x0559, el registro 0x055A y el registro 0x058F. Véase la Tabla 39 para más información sobre el establecimiento de estos bits.

La figura 70 muestra datos de trama de 25 bits que encapsulan valores de detector de pico. Los datos de trama se transmiten primero en cinco subtramas MSB de 5 bits. Cada subtrama contiene un bit de inicio que puede ser utilizado por el receptor para verificar los datos deserializados. La Figura 71 muestra los datos de monitorización de la señal DEPORT sobre JESD204B con el temporizador de ciclo de monitorización ajustado a 80 muestras.

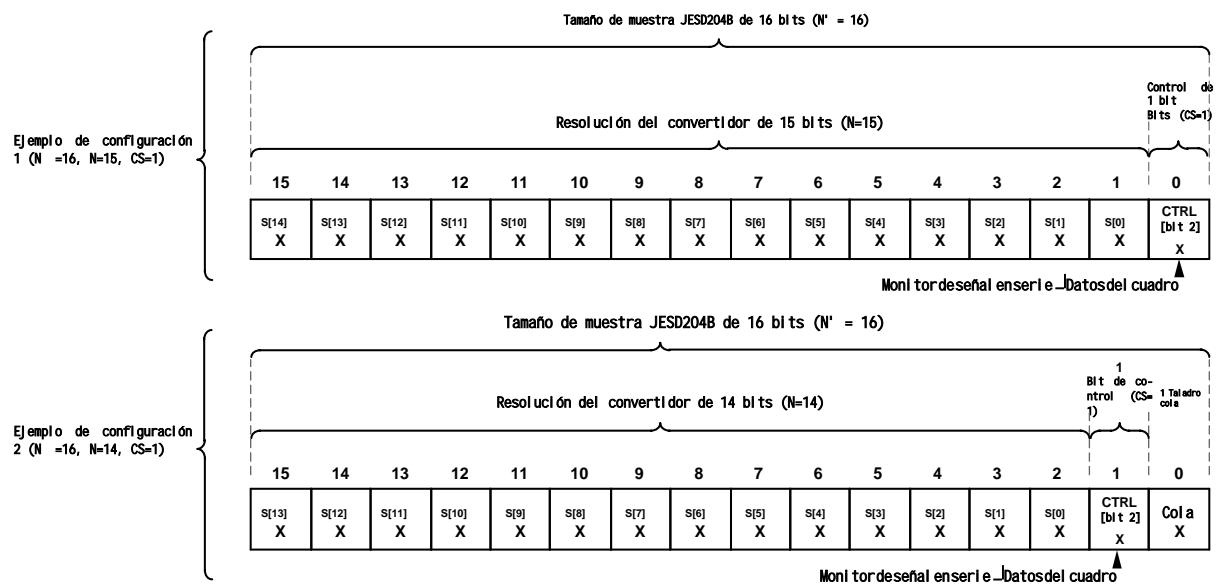


Figura 69. Posición del bit de control del monitor de señal

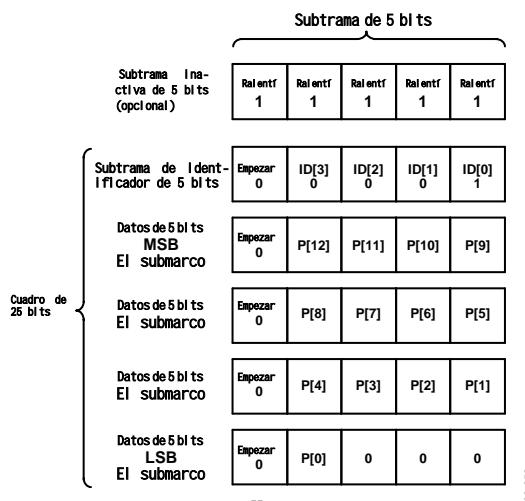
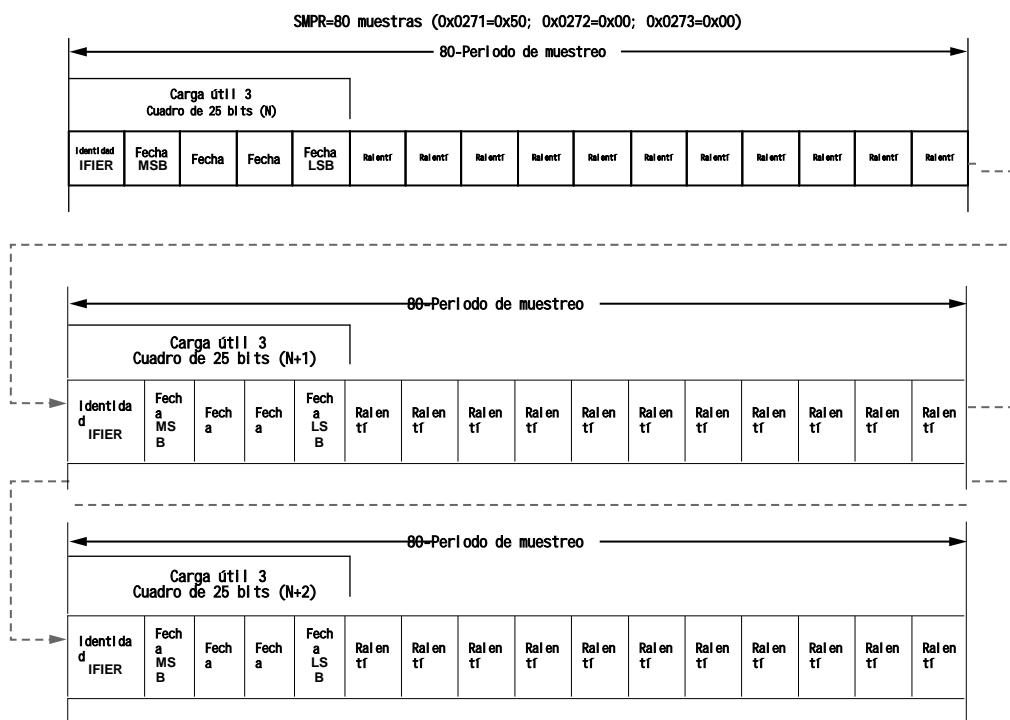


Figura 70. Datos de cuadro del monitor de señal JESD204B DEPORTE



14808-054

Figura 71. Ejemplo de monitor de señal SPORT sobre JESD204B, periodo = 80 muestras

Convertidor descendente digital

El AD9694 incluye cuatro convertidores digitales descendentes (DDC) que proporcionan filtrado y disminuyen la velocidad de datos de salida. Esta sección de procesamiento digital incluye un NCO, un filtro de decimación de media banda, un filtro de respuesta de impulso finita (FIR), una etapa de ganancia y una etapa de conversión compleja a real. Cada uno de estos bloques de procesamiento tiene líneas de control que le permiten habilitar y deshabilitar independientemente para proporcionar la funcionalidad de procesamiento requerida. Cada par de canales de ADC tiene dos DDC (DDC0 y DDC1) para un total de cuatro DDC.

El DDC da salida a un flujo de 16 bits. Para habilitar esta operación, el número N de bits del convertidor se ajusta al valor por defecto de 16, incluso si el núcleo analógico emite solo 14 bits. En la operación de ancho de banda completo, el ADC emite una palabra de 14 bits seguida de dos ceros, a menos que se habilite el bit de cola.

Selección de entrada DDC I/Q

El AD9694 tiene cuatro canales ADC y cuatro canales DDC. Cada canal DDC tiene dos puertos de entrada que se pueden emparejar para soportar entradas reales y complejas a través de un multiplexor cruzado I/O. Para señales reales, ambos puertos de entrada de DDC deben seleccionar el mismo canal de ADC (es decir, puerto de entrada de DDC I = canal de ADC A, puerto de entrada de DDC Q = canal de ADC A). Para señales complejas, se debe seleccionar un canal ADC diferente para cada puerto de entrada de DDC (es decir, puerto de entrada de DDC I = canal ADC A y puerto de entrada de DDC Q = canal ADC B o puerto de entrada de DDC I = canal ADC C y puerto de entrada de DDC Q = canal ADC D). La entrada de cada DDC es controlada por un registro de selección de entrada de DDC (registro 0x0311 y registro 0x0331) junto con un registro de índice emparejado (registro 0x0009). Véase la Tabla 39 para obtener información sobre cómo configurar el DDC.

Selección de salida DDC I/Q

Cada canal DDC tiene dos puertos de salida que se pueden emparejar para soportar salidas reales y complejas. Para la señal de salida real, solo se utiliza el puerto de salida DDC I (el puerto de salida DDC Q no es válido). Para señales de salida I/Q complejas, se utilizan el puerto de salida DDC I y el puerto de salida DDC Q simultáneamente.

El DDC x complejo en el registro de control DDC (registro 0x0310 y registro 0x0330) y en el registro de índice emparejado (registro 0x0009) controla la salida I/Q de cada canal DDC.

El bit de ignoración de chip Q en el registro de modo de chip (registro 0x0200, bit 5) controla la multiplicación de salida de chip para todos los canales DDC. Cuando todos los canales DDC utilizan salidas reales, establezca este bit en alto para ignorar todos los puertos de salida DDC Q. Cuando cualquiera de los canales DDC se establece para usar salidas I/Q complejas, el usuario debe borrar este bit para usar tanto el puerto de salida DDC I como el puerto de salida DDC Q simultáneamente. Véase la Figura 80 para más información.

Descripción general de DDC

Se utilizan cuatro bloques DDC para extraer una porción del espectro digital completo capturado por el ADC. Los módulos DDC se utilizan en radios de banda base de muestreo IF o sobremuestreo que requieren una señal de entrada de ancho de banda amplio.

Cada bloque DDC contiene las siguientes etapas de procesamiento de señal:

- ? Etapa de conversión de frecuencia (opcional)
- ? Etapa de filtración
- ? Etapa de ganancia (opcional)
- ? Etapa de conversión de números complejos a reales (opcional)

Etapa de conversión de frecuencia (opcional)

Esta etapa consiste en un NCO complejo de 48 bits y un mezclador en cuadratura que se puede utilizar para la conversión de frecuencia de señales de entrada reales y complejas. Esta etapa desplaza una porción del espectro digital disponible hacia abajo hasta la banda base.

Etapa de filtración

Después de desplazarse hacia abajo a la banda base, la etapa utiliza una cadena de hasta cuatro filtros de paso bajo de media banda para decimar el espectro para la conversión de velocidad. El proceso de decimación reduce la velocidad de datos de salida, lo que a su vez reduce la velocidad de interfaz de salida.

Etapa de ganancia (opcional)

Para compensar las pérdidas asociadas con la mezcla descendente de la señal de entrada real a la banda base, esta etapa añade una ganancia adicional de 0 dB o 6 dB.

Etapa de conversión de números complejos a reales (opcional)

Cuando se requiere una salida real, esta etapa convierte la salida compleja de nuevo a un número real realizando una operación de mezcla FS/4 más un filtro para eliminar los componentes complejos de la señal. La figura 72 muestra un diagrama de bloques detallado de la DDC implementada en el AD9694.

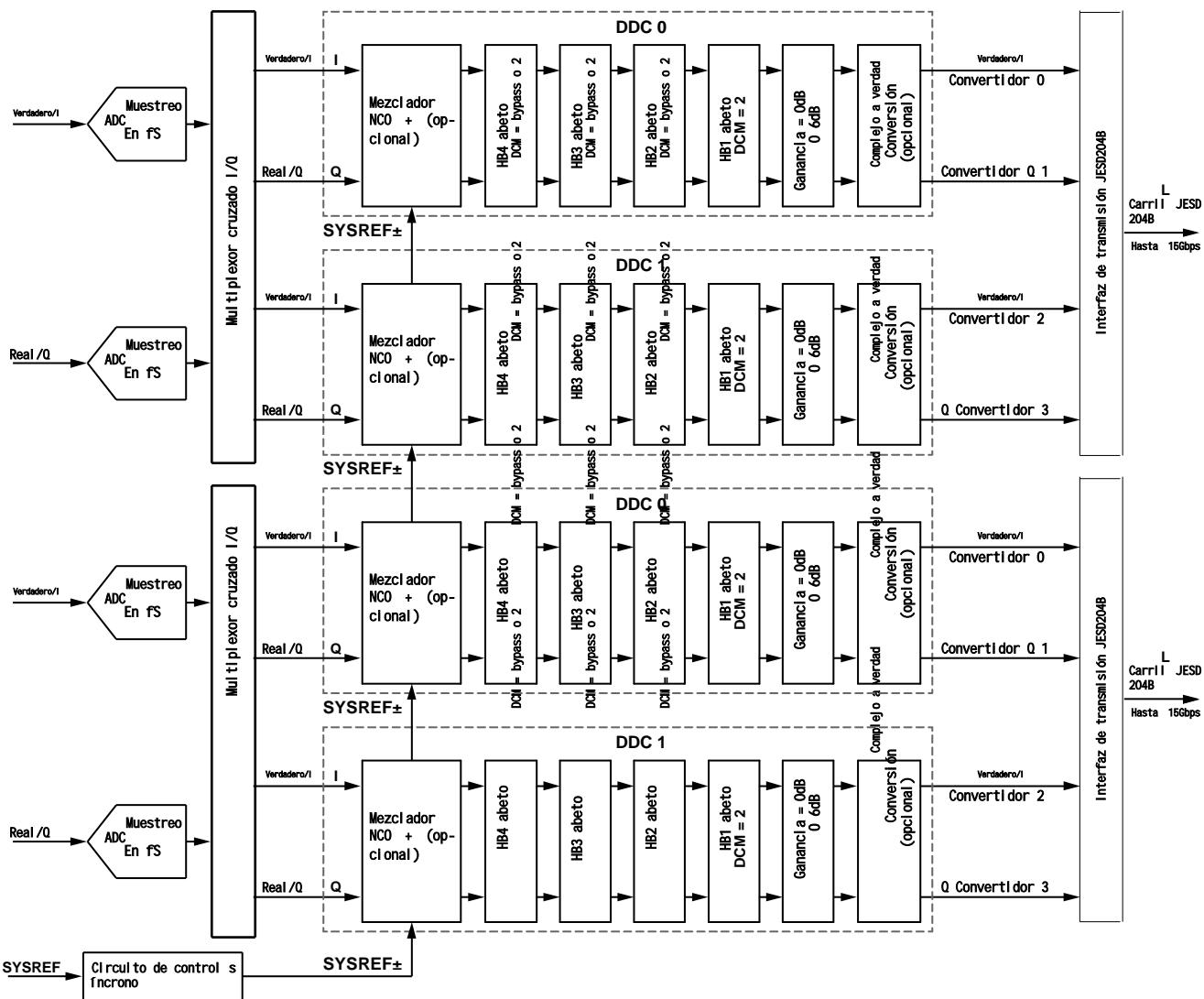


Figura 72. Diagrama de bloques detallado de DDC

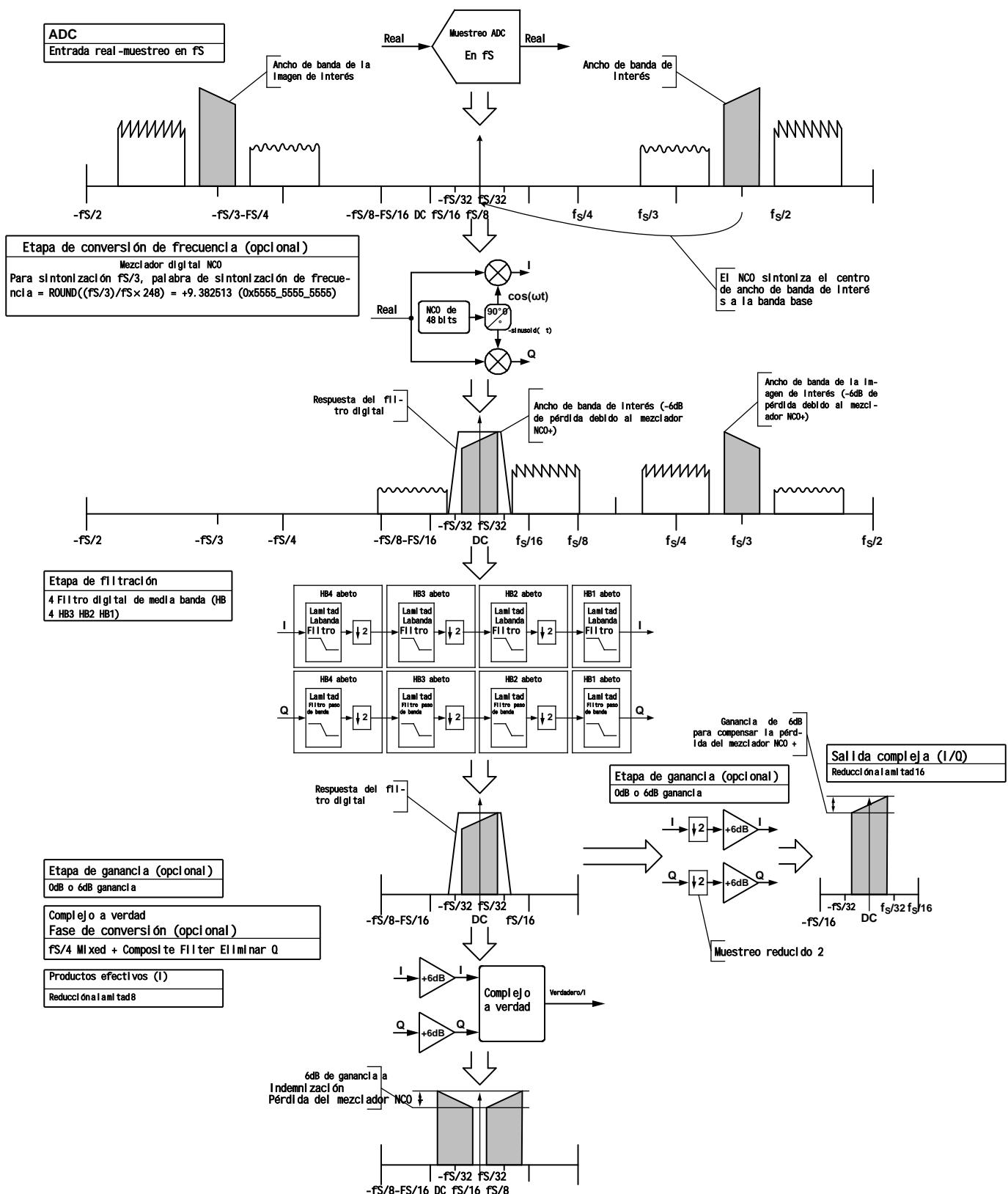
14908-055

La figura 73 ilustra un uso ejemplar de uno de los cuatro bloques DDC con una señal de entrada real y cuatro filtros de media banda (HB4+HB3+HB2+HB1). Muestra las opciones de salida complejas (decimado 16) y reales (decimado 8).

Cuando los DDC tienen diferentes relaciones de decimación, el registro de relación de decimación de chip (registro 0x0201), junto con el registro de índice de pares (registro 0x0009), debe ajustarse a la relación de decimación más baja para todos los bloques de DDC por par. En este caso, el muestreo de la relación de decimación más alta DDC se repite para coincidir con la velocidad de muestreo de la relación de decimación de chip. Cada vez que un suboficial

Al configurar o cambiar la frecuencia, se debe emitir un reinicio suave DDC. Si no se emite un reinicio suave de DDC, la salida puede mostrar un cambio de amplitud.

Las tablas 12 a 16 muestran las muestras de DDC cuando la relación de decimación de chips se establece en 1, 2, 4, 8 ó 16, respectivamente. Cuando los DDC tienen diferentes relaciones de decimación, la relación de decimación de chips debe establecerse en la relación de decimación más baja de todos los canales de DDC. En este caso, el muestreo de la relación de decimación más alta DDC se repite para coincidir con la velocidad de muestreo de la relación de decimación de chip.



Cuadro 12. Muestras de DDC en cada enlace JESD204B cuando la relación de decimación de chips = 1

HB1 abeto (DCM ¹ = 1)	HB2 Abeto + HB1 abeto (DCM ¹ = 2)	HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 4)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 8)	HB1 abeto (DCM ¹ = 2)	HB2 Abeto + HB1 abeto (DCM ¹ = 4)	HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM ¹ = 16)
N	N	N	N	N	N	N	N
N + 1	N	N	N	N	N	N	N
N + 2	N + 1	N	N	N + 1	N	N	N
N + 3	N + 1	N	N	N + 1	N	N	N
N + 4	N + 2	N + 1	N	N + 2	N + 1	N	N
N + 5	N + 2	N + 1	N	N + 2	N + 1	N	N
N + 6	N + 3	N + 1	N	N + 3	N + 1	N	N
N + 7	N + 3	N + 1	N	N + 3	N + 1	N	N
N + 8	N + 4	N + 2	N + 1	N + 4	N + 2	N + 1	N
N + 9	N + 4	N + 2	N + 1	N + 4	N + 2	N + 1	N
N + 10	N + 5	N + 2	N + 1	N + 5	N + 2	N + 1	N
N + 11	N + 5	N + 2	N + 1	N + 5	N + 2	N + 1	N
N + 12	N + 6	N + 3	N + 1	N + 6	N + 3	N + 1	N
N + 13	N + 6	N + 3	N + 1	N + 6	N + 3	N + 1	N
N + 14	N + 7	N + 3	N + 1	N + 7	N + 3	N + 1	N
N + 15	N + 7	N + 3	N + 1	N + 7	N + 3	N + 1	N
N + 16	N + 8	N + 4	N + 2	N + 8	N + 4	N + 2	N + 1
N + 17	N + 8	N + 4	N + 2	N + 8	N + 4	N + 2	N + 1
N + 18	N + 9	N + 4	N + 2	N + 9	N + 4	N + 2	N + 1
N + 19	N + 9	N + 4	N + 2	N + 9	N + 4	N + 2	N + 1
N + 20	N + 10	N + 5	N + 2	N + 10	N + 5	N + 2	N + 1
N + 21	N + 10	N + 5	N + 2	N + 10	N + 5	N + 2	N + 1
N + 22	N + 11	N + 5	N + 2	N + 11	N + 5	N + 2	N + 1
N + 23	N + 11	N + 5	N + 2	N + 11	N + 5	N + 2	N + 1
N + 24	N + 12	N + 6	N + 3	N + 12	N + 6	N + 3	N + 1
N + 25	N + 12	N + 6	N + 3	N + 12	N + 6	N + 3	N + 1
N + 26	N + 13	N + 6	N + 3	N + 13	N + 6	N + 3	N + 1
N + 27	N + 13	N + 6	N + 3	N + 13	N + 6	N + 3	N + 1
N + 28	N + 14	N + 7	N + 3	N + 14	N + 7	N + 3	N + 1
N + 29	N + 14	N + 7	N + 3	N + 14	N + 7	N + 3	N + 1
N + 30	N + 15	N + 7	N + 3	N + 15	N + 7	N + 3	N + 1
N + 31	N + 15	N + 7	N + 3	N + 15	N + 7	N + 3	N + 1

Salida de números reales (I) (complejos a reales habilitados)

Salida compleja (I/O) (complejo a real desactivado)

¹ DCM significa decimación.

Cuadro 13. Muestras de DDC en cada enlace JESD204B cuando la relación de decimación de chips = 2

HB2 Abeto + HB1 abeto (DCM ¹ = 2)	HB3 Abeto + HB2 Abeto + HB1 abeto (DCM ¹ = 4)	HB4 Abeto + HB3 Abeto + HB2 Abeto + HB1 abeto (DCM ¹ = 8)	HB1 abeto (DCM ¹ = 2)	HB2 Abeto + HB1 abeto (DCM ¹ = 4)	HB3 Abeto + HB2 Abeto + HB1 abeto (DCM ¹ = 8)	HB4 Abeto + HB3 Abeto + HB2 Abeto + HB1 abeto (DCM ¹ = 16)
N	N	N	N	N	N	N
N + 1	N	N	N + 1	N	N	N
N + 2	N + 1	N	N + 2	N + 1	N	N
N + 3	N + 1	N	N + 3	N + 1	N	N
N + 4	N + 2	N + 1	N + 4	N + 2	N + 1	N
N + 5	N + 2	N + 1	N + 5	N + 2	N + 1	N
N + 6	N + 3	N + 1	N + 6	N + 3	N + 1	N
N + 7	N + 3	N + 1	N + 7	N + 3	N + 1	N
N + 8	N + 4	N + 2	N + 8	N + 4	N + 2	N + 1
N + 9	N + 4	N + 2	N + 9	N + 4	N + 2	N + 1

Salida de números reales (I) (complejos a reales habilitados)

Salida compleja (I/O) (complejo a real desactivado)

Salida de números reales (I) (complejos a reales habilitados)			Salida compleja (I/O) (complejo a real desactivado)			
HB2 FIR + HB1 FIR (DCM¹ = 2)	HB3 Abeto + HB2 FIR + HB1 FIR (DCM¹ = 4)	HB4 Abeto + HB3 Abeto + HB2 FIR + HB1 FIR (DCM¹ = 8)	HB1 FIR (DCM¹ = 2)	HB2 FIR + HB1 FIR (DCM¹ = 4)	HB3 Abeto + HB2 FIR + HB1 FIR (DCM¹ = 8)	HB4 Abeto + HB3 Abeto + HB2 FIR + HB1 FIR (DCM¹ = 16)
N + 10	N + 5	N + 2	N + 10	N + 5	N + 2	N + 1
N + 11	N + 5	N + 2	N + 11	N + 5	N + 2	N + 1
N + 12	N + 6	N + 3	N + 12	N + 6	N + 3	N + 1
N + 13	N + 6	N + 3	N + 13	N + 6	N + 3	N + 1
N + 14	N + 7	N + 3	N + 14	N + 7	N + 3	N + 1
N + 15	N + 7	N + 3	N + 15	N + 7	N + 3	N + 1

¹ DCM significa decimación.

Cuadro 14. Muestras de DDC en cada enlace JESD204B cuando la relación de decimación de chips = 4

HB3 Abeto + HB2 Abeto + HB1 FIR (DCM¹ = 4)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM¹ = 8)	HB2 FIR + HB1 FIR (DCM¹ = 4)	HB3 Abeto + HB2 Abeto + HB1 FIR (DCM¹ = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM¹ = 16)
NN + 1	N	NN + 1	N	N
N + 2	NN + 1	N + 2	NN + 1	N
N + 3	N + 1	N + 3	N + 1	N
N + 4	N + 2	N + 4	N + 2	NN + 1
N + 5	N + 2	N + 5	N + 2	N + 1
N + 6	N + 3	N + 6	N + 3	N + 1
N + 7	N + 3	N + 7	N + 3	N + 1

Salida de números reales (I) (complejos a reales habilitados)

Salida compleja (I/O) (complejo a real desactivado)

¹ DCM significa decimación.

Cuadro 15. Muestras de DDC en cada enlace JESD204B cuando la relación de decimación de chips = 8

HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM¹ = 8)	HB3 FIR + HB2 FIR + HB1 FIR (DCM¹ = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM¹ = 16)
NN + 1	NN + 1	N
N + 2	N + 2	NN + 1
N + 3	N + 3	N + 1
N + 4	N + 4	N + 2
N + 5	N + 5	N + 2
N + 6	N + 6	N + 3
N + 7	N + 7	N + 3

Salida de números reales (I) (complejos a reales habilitados)

Salida compleja (I/O) (complejo a real desactivado)

¹ DCM significa decimación.

Cuadro 16. Muestras de DDC en cada enlace JESD204B cuando la relación de decimación de chips = 16

Salida de números reales (I) (complejos a reales habilitados)	Salida compleja (I/O) (complejo a real desactivado)
HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM¹ = 16)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM¹ = 16)
No aplicable	NN + 1
No aplicable	N + 2
No aplicable	N + 3

¹ DCM significa decimación.

Por ejemplo, si la relación de decimación de chips se establece en decimación 4, entonces DDC 0 se establece para usar el filtro HB2+HB1 (salida compleja, decimación 4) y DDC 1 se establece para usar HB4+HB3+HB2+

Filtro HB1 (salida real, decimación 8). Para cada salida de DDC 0, el DDC 1 repite sus datos de salida dos veces. Las muestras de salida resultantes se muestran en la Tabla 17.

Cuadro 17. Las muestras de salida de DDC en cada JESD 204 parpadean cuando los chips DCM1=4, DDC 0 DCM1=4 (complejo) y DDC 1 DCM1=8 (real)

Muestra de entrada DDC	DDC 0		DDC 1	
	PuertodesalidaI	PuertodesalidaQ	PuertodesalidaI	PuertodesalidaQ
NN + 1	I0 (N)	Q0 (N)	I1 (N)	No aplicable
N + 2				
N + 3				
N + 4	I0 (N + 1)	Q0 (N + 1)		
N + 5				
N + 6				
N + 7				
N + 8	I0 (N + 2)	Q0 (N + 2)	I1 (N + 1)	No aplicable
N + 9				
N + 10				
N + 11				
N + 12	I0 (N + 3)	Q0 (N + 3)		
N + 13				
N + 14				
N + 15				

¹ DCM significa decimación.

Conversión de frecuencia

Visión general

La conversión de frecuencia se lleva a cabo usando un NCO complejo de 48 bits con un mezclador digital en cuadratura. Esta etapa convierte una señal de entrada real o compleja desde IF a una salida digital compleja de banda base (frecuencia portadora = 0 Hz). La etapa de conversión de frecuencia de cada DDC se puede controlar por separado y se admiten cuatro modos IF diferentes utilizando los bits [5:4] de los registros de control DDC (registro 0x0310 y registro 0x0330) y el par de registros de índice (registro 0x0009). Estos modos IF son

- ? Modo IF variable
- ? Modo 0 Hz IF o Zero IF (ZIF)
- ? Modo IF fs/4 Hz
- ? Modo de prueba

Modo IF variable

El NCO y el mezclador están habilitados. La frecuencia de salida NCO se puede utilizar para sintonizar digitalmente la frecuencia IF.

Modo Hz IF (ZIF)

El mezclador se desvió y el NCO se desactivó.

Modo IF fs/4 Hz

El mezclador y el NCO están habilitados en una mezcla descendente especial a través del modo fs/4 para ahorrar energía.

Modo de prueba

La muestra de entrada se obliga a ser de 0,9599 a escala completa positiva. NCO está habilitado. Este modo de prueba permite que el NCO accione directamente el filtro de decimación.

Las figuras 74 y 75 muestran ejemplos de etapas de conversión de frecuencia para entradas reales y complejas.

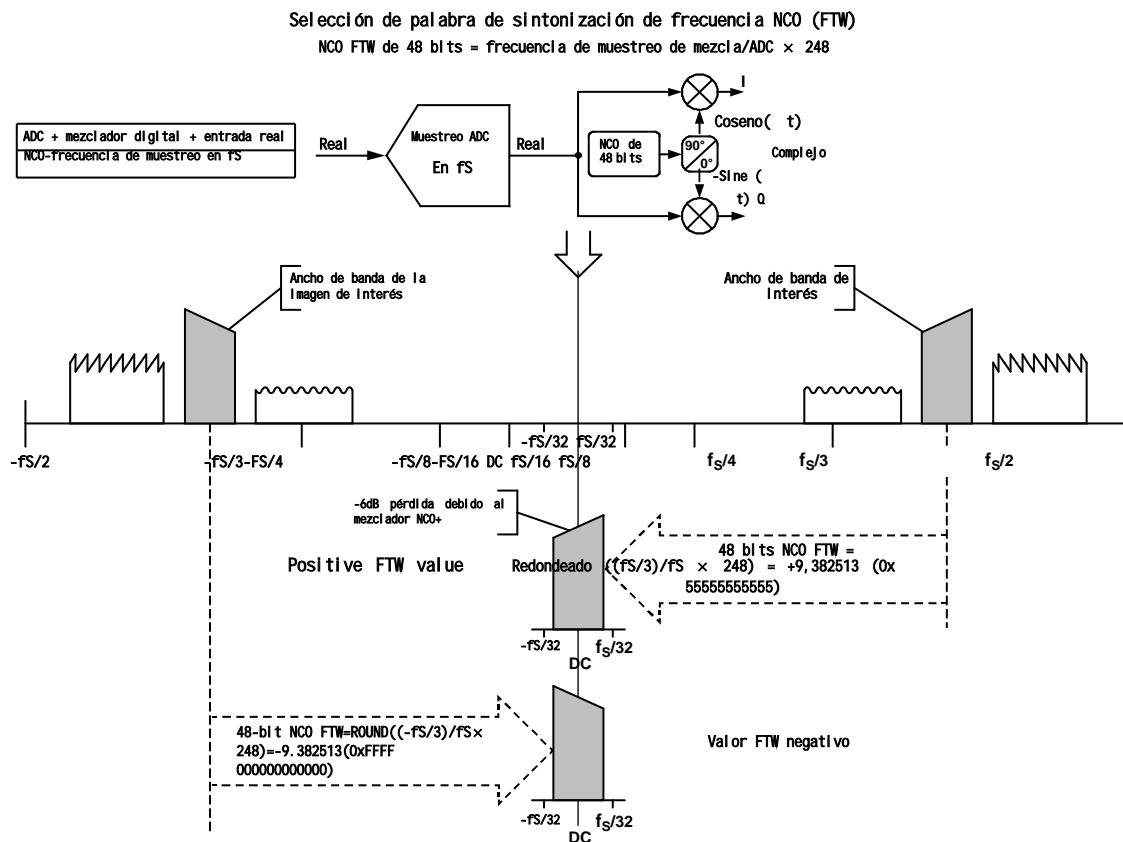


Figura 74. Selección de palabras de sintonización de frecuencia DDCNCO-entrada real

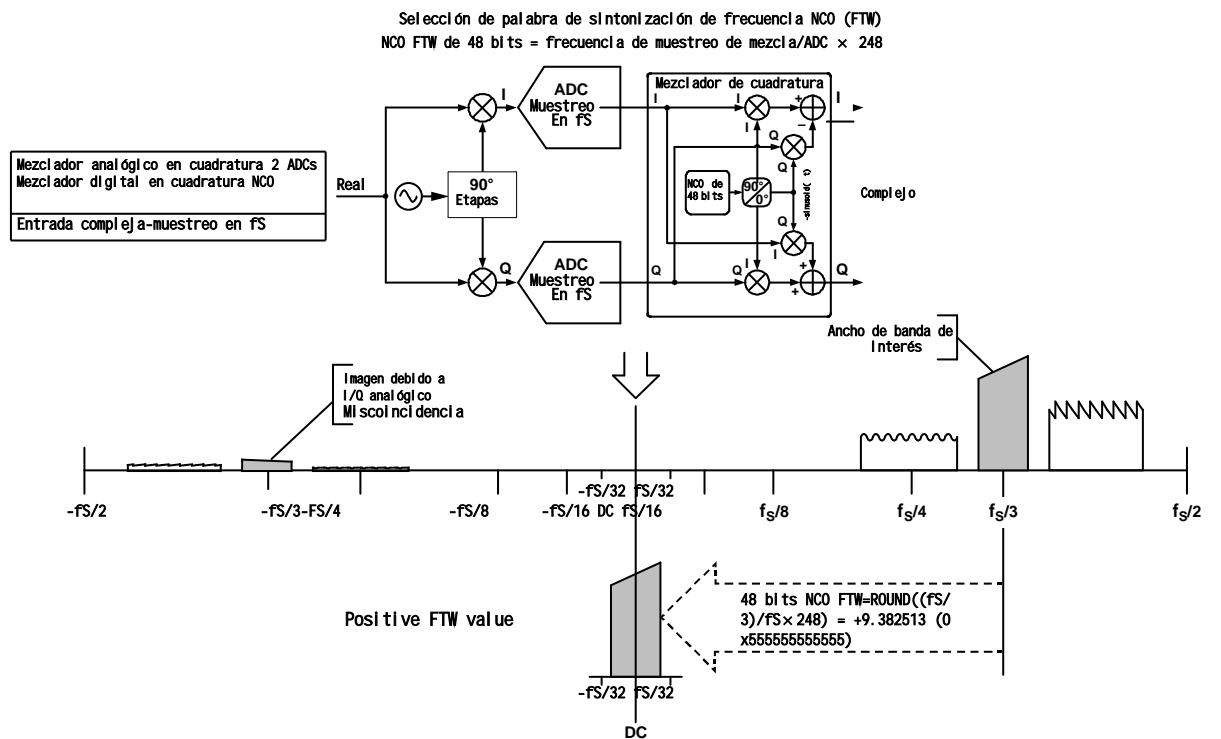


Figura 75. Selección de palabras de sintonización de frecuencia DDCNCO-entrada compleja

14809-098

DDC NCO y pérdidas del mezclador y SFDR

Cuando la señal de entrada real se mezcla hacia abajo a la banda base, se introduce una pérdida de 6 dB en la señal debido al filtrado de la imagen negativa. El NCO introduce una pérdida adicional de 0,05 dB. La pérdida total de la señal de entrada real mezclada a la banda base es de 6,05 dB. Por esta razón, se recomienda que el usuario compense esta pérdida habilitando una ganancia de 6 dB en la etapa de ganancia del DDC con el fin de recenterar el intervalo dinámico de la señal dentro de la escala completa de los bits de salida.

Cuando la señal de entrada compleja se mezcla descendente a la banda base, el valor máximo que se puede alcanzar por muestra I/Q es $1.414 \times$ escala completa después de pasar a través del mezclador complejo. Para evitar un intervalo excesivo de muestreo I/Q y mantener el ancho de bit de datos consistente con la mezcla real, se introduce una pérdida de 3,06 dB en el mezclador para señales complejas. El NCO introduce una pérdida adicional de 0,05 dB. La pérdida total de la señal de entrada compleja mezclada descendente a la banda base es de -3,11 dB.

La señal parásita del peor caso del NCO es mayor que Todas las frecuencias de salida son 102 dBc SFDR.

Oscilador de control numérico

El AD9694 proporciona un NCO de 48 bits para cada DDC que permite el proceso de conversión de frecuencia. El NCO permite que el espectro de entrada sea sintonizado a CC, donde puede ser filtrado eficazmente por bloques de filtro posteriores para evitar el aliasing. El NCO puede establecerse proporcionando una palabra de sintonización de frecuencia (FTW) y una palabra de desplazamiento de fase (POW).

Configuración NCO FTW and POW

El valor de frecuencia de NCO es dado por el número de complementos binarios de 32 bits introducidos en la FTW de NCO. Las frecuencias entre $-fS/2$ y $+fS/2$ (excluyendo $fS/2$) se indican utilizando las siguientes palabras de frecuencia:

- ? 0x800 representa la frecuencia $-fS/2$.
- ? 0x000 significa CC (con frecuencia de 0 Hz).
- ? 0x7FF indica la frecuencia de $+fS/2-fs/212$.

La palabra de sintonización de frecuencia de NCO se puede calcular usando la siguiente ecuación:

$$\text{NCO_FTW} = \text{Circular} \left((248) \frac{\text{mod}(f_C, f_S)}{f_S} \right)$$

, donde:

NCO_FTW es un número de complemento binario de 48 bits que representa NCO FTW.

f_C es la frecuencia portadora deseada en Hz.

f_S es la frecuencia de muestreo AD9694 (frecuencia de reloj) en Hz. $\text{round}()$ es una función de redondeo. Por ejemplo, $\text{redondear}(3, 6) = 4$, y para los números negativos, $\text{redondear}(-3, 4) = -3$.

$\text{mod}()$ es una función de resto. Por ejemplo, $\text{mod}(110, 100) = 10$, y para números negativos $\text{mod}(-32, 10) = -2$.

Esta ecuación se aplica al aliasing de señales en el dominio digital (es decir, el aliasing introducido cuando se digitaliza una señal analógica).

Por ejemplo, si la frecuencia de muestreo del ADC (f_S) es de 500 MSPS y la frecuencia portadora (f_C) es de 140.312 MHz, entonces

$$NCO_FTW = \text{round}\left(2^{48} \frac{\text{mod}(140.312, 500)}{500}\right) = 7.89886 \times 10^{13} \text{ Hz}$$

Esto, a su vez, se traduce a 0x47D en la representación de complemento binario de 12 bits de NCO_FTW. La frecuencia portadora real f_{C_ACTUAL} se calcula basándose en la siguiente ecuación:

$$f_{C_ACTUAL} = \frac{NCO_FTW \times f_S}{2^{48}} = 140,312 \text{ MHz}$$

Cada NCO tiene un POW de 48 bits para crear una relación de fase conocida entre múltiples chips AD9694 o un único canal DDC dentro de un chip AD9694. Utilice el siguiente procedimiento para actualizar los registros FTW y/o POW para asegurarse de que el NCO está funcionando correctamente:

1. Escribe en el registro FTW de todos los DDC.
2. Escribe en el registro POW de todos los DDC.
3. El NCO se sincroniza mediante un bit de reinicio suave del NCO DDC (registro 0x0300, bit 4), al que se puede acceder a través de SPI o a través de una aserción del pin SYSREF \pm .

Es importante tener en cuenta que después de completar todas las escrituras en los registros FTW o POW, el NCO debe sincronizarse a través de los pines SPI o SYSREF \pm . Esta etapa es necesaria para asegurar el funcionamiento adecuado del NCO.

Sincronización NCO

Cada NCO contiene una palabra acumuladora de fase (PAW) separada. El valor inicial de reinicio de cada PAW se establece a cero, y el valor de incremento de fase de cada PAW se determina por la FTW. El POW se añade al PAW para producir la fase instantánea del NCO. Para obtener más información, consulte la sección Configuración de NCO FTW y POW.

Sincronizar múltiples PAW dentro de un chip utilizando los dos métodos siguientes:

- ? Utilice SPI. Utilice el bit de reinicio suave de DDC NCO en DDC

El registro de control de sincronización (registro 0x0300, bit 4) restablece todas las garras en el chip, lo que se consigue estableciendo el bit de restablecimiento suave de DDC NCO en alto y luego este bit en bajo. Este método solo se puede utilizar para sincronizar canales DDC dentro del mismo par (A/B o C/D) de chips AD9694.

- ? Utilice el pin SYSREF \pm . Cuando el pin SYSREF \pm está habilitado

En los registros de control SYSREF \pm (registro 0x0120 y registro 0x0121), y con la sincronización DDC habilitada en el registro de control de sincronización DDC (registro 0x0300, bit [1:0]), cualquier evento SYSREF \pm posterior restablece todos los PAW en el chip. Este método se puede usar para sincronizar canales DDC dentro del mismo chip AD9694 o para separar canales DDC dentro del chip AD9694.

Mezcladora

The NCO está equipado con una licuadora. El funcionamiento del mezclador es similar a un mezclador analógico en cuadratura. Realiza la conversión descendente de la señal de entrada (real o compleja) utilizando la frecuencia NCO como oscilador local. Para una señal de entrada real, este mezclador realiza una operación de mezclador real (con dos multiplicadores). Para una señal de entrada compleja, el mezclador realiza una operación de mezclador complejo (con cuatro multiplicadores y dos sumadores). El mezclador ajusta su funcionamiento en función de la señal de entrada (real o compleja) suministrada a cada canal individual. La selección de entradas reales o complejas para cada bloque DDC puede controlarse individualmente utilizando el bit 7 de los registros de control DDC (registro 0x0310 y registro 0x0330) junto con el registro de índice emparejado (registro 0x0009).

Filtro FIR

Visión general

Después de la fase de conversión de frecuencia siguen cuatro conjuntos de filtros de respuesta a impulsos finitos (FIR) decimados por 2, paso bajo, media banda (marcados como HB1 FIR, HB2 FIR, HB3 FIR y HB4 FIR en la figura 72). Después de que la portadora de interés se sintonice a cc (frecuencia de portadora = 0 Hz), estos filtros reducen efectivamente la frecuencia de muestreo mientras proporcionan una supresión de aliasing suficiente de portadoras adyacentes no deseadas alrededor del ancho de banda de interés.

El FIR HB1 está siempre habilitado y no puede ser desviado en el modo DDC. Los filtros FIR HB2, HB3 y HB4 son opcionales y se pueden omitir para obtener frecuencias de muestreo de salida más altas.

Cuadro 18. Características del filtro DDC

Selección de filtro de media banda	Productos efectivos		Salida compleja (I/Q)		Alias Protegido Ancho de banda (MHz)	Mejora del SNR ideal 1 (dB)	Banda de paso Ripple (decibelos)	Alias Supresión (dB)
	Ratio de extracción	Output Tasa de muestreo (MS-PS)	Ratio de extracción	Tasa de muestreo de salida (MSPS)				
HB1								
HB1 + HB2	1	500	2	250 (I) + 250 (Q)	200	1	<-0.0001	>100
HB1 + HB2 +	2	250	4	125 (I) + 125 (Q)	100	4		
HB3	4	125	8	62.5 (I) + 62.5 (Q)	50	7		
HB1 + HB2 +	8	62.5	16	31.25 (I) + 31.25 (Q)	25	10		
HB3 + HB4								

¹ La mejora ideal del SNR por sobremuestreo y filtrado = 10 log (ancho de banda/(fs/2)).

Cuadro 19. Supresión de alias del filtro DDC

Alias Supresión (dB)	Ripple de banda de paso/punto de corte (dB)	Ancho de banda protegido por alias para salidas reales % ¹	Ancho de banda protegido por alias para salidas complejas (I/Q)
>100	<-0.0001	<40% × f _{OUT}	<80% × f _{OUT}
95	<-0.0002	< 40, 12% × f _{OUT}	< 80, 12% × f _{OUT}
90	<-0.0003	< 40, 23% × f _{OUT}	< 80, 46% × f _{OUT}
85	<-0.0005	< 40, 36% × f _{OUT}	< 80, 72% × f _{OUT}
80	<-0.0009	< 40, 53% × f _{OUT}	< 81, 06% × f _{OUT}
25.07	-0.5	45.17% × f _{OUT}	90.34% × f _{OUT}
19.3	-1.0	46, 2% × f _{OUT}	92.4% × f _{OUT}
10.7	-3.0	48, 29% × f _{OUT}	96.58% × f _{OUT}

¹ f_{OUT} = frecuencia de muestreo de entrada ADC ÷ decimación DDC.

La Tabla 18 muestra los diferentes anchos de banda que se pueden seleccionar mediante la inclusión de diferentes filtros de media banda. En todos los casos, la etapa de filtrado DDC en el AD9694 proporciona una ondulación de banda de paso de < -0,001 dB y una supresión de aliasing de banda de parada de > 100 dB.

La Tabla 19 muestra las cantidades de supresión de alias de banda de parada para una pluralidad de puntos de ondulación/corte de banda de paso. La relación de decimación de las etapas de filtrado de cada DDC se puede controlar individualmente por los bits [1:0] de los registros de control DDC (registro 0x0310 y registro 0x0330) junto con los registros de índice emparejados (registro 0x0009).

Filtro de media banda

El AD9694 ofrece cuatro filtros de media banda para el procesamiento de señal digital de los datos convertidos por ADC. Estos filtros de media banda son derivables y se pueden seleccionar individualmente.

Filtro HB4

El primer filtro FIR de 2x decimación, media banda, paso bajo (HB4) se implementa con un filtro de coeficiente fijo, simétrico y de 11 grifos, optimizado para un bajo consumo de energía. El filtro HB4 solo se utiliza cuando la salida compleja (decimación 16) o la salida real (decimación 8) están habilitadas; De lo contrario, se omite. La Tabla 20 y la Figura 76 muestran los coeficientes y las respuestas de los filtros HB4.

Cuadro 20. Coeficientes de filtro HB4

Número de coeficientes HB4	Estandarización Coeficiente	Decimal Coeficiente (15 dígitos)
C1, C11	0.006042	99
C2, C10	0	0
C3, C9	-0.049377	-809
C4, C8	0	0
C5, C7	0.293334	4806
C6	0.500000	8192

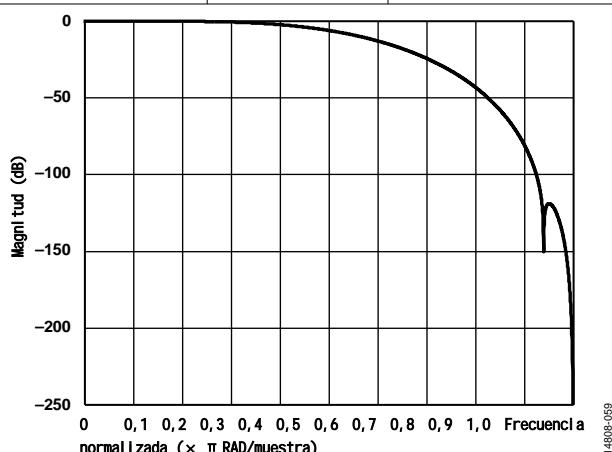


Figura 76. Respuesta del filtro HB4

Filtro HB3

El segundo filtro FIR (HB3) decimado por 2, media banda, paso bajo, se implementa usando un filtro de coeficiente fijo, simétrico, de 11 derivaciones, optimizado para un bajo consumo de energía. El filtro HB3 solo se utiliza cuando está habilitada la salida compleja (decimada por 8 o 16) o la salida real (decimada por 4 u 8); De lo contrario, se omite. La Tabla 21 y la Figura 77 muestran los coeficientes y las respuestas de los filtros HB3.

Cuadro 21. Coeficientes de filtro HB3

Número de coeficientes HB3	Estandarización Coeficiente	Coeficiente decimal (17 dígitos)
C1, C11	0.006638	435
C2, C10	0	0
C3, C9	-0.051055	-3346

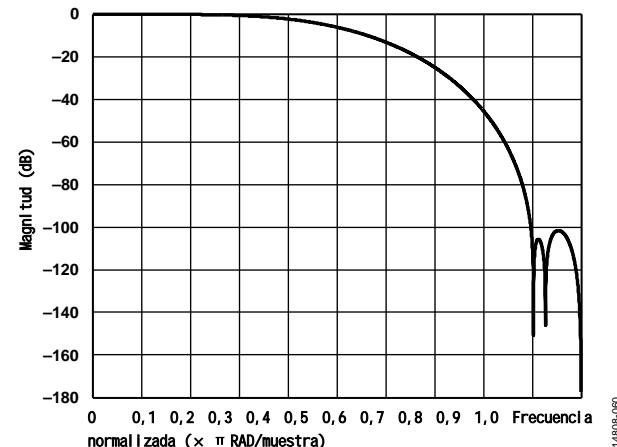


Figura 77. Respuesta del filtro HB3

Filtro HB2

El tercer filtro FIR decimado por 2, media banda, paso bajo (HB2) se implementa utilizando un filtro de coeficiente fijo, simétrico y de 19 grifos optimizado para bajo consumo de energía. El filtro HB2 solo se utiliza cuando la salida compleja o real está habilitada (decimada por 4, 8 o 16); De lo contrario, se omite. La Tabla 22 y la Figura 78 muestran los coeficientes y la respuesta del filtro HB2.

Cuadro 22. Coeficientes de filtro HB2

Número de coeficientes HB2	Estandarización Coeficiente	Coeficiente decimal (18 dígitos)
C1, C19	0.000671	88
C2, C18	0	0
C3, C17	-0.005325	-698
C4, C16	0	0
C5, C15	0.022743	2981
C6, C14	0	0
C7, C13	-0.074181	-9723
C8, C12	0	0
C9, C11	0.306091	40,120
C10	0.500000	65,536

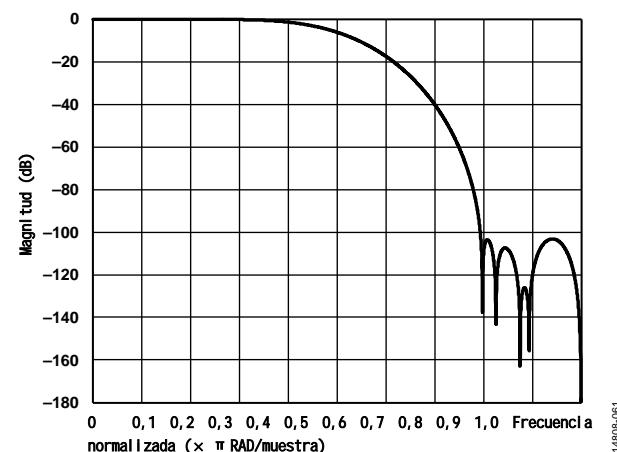


Figura 78. Respuesta del filtro HB2

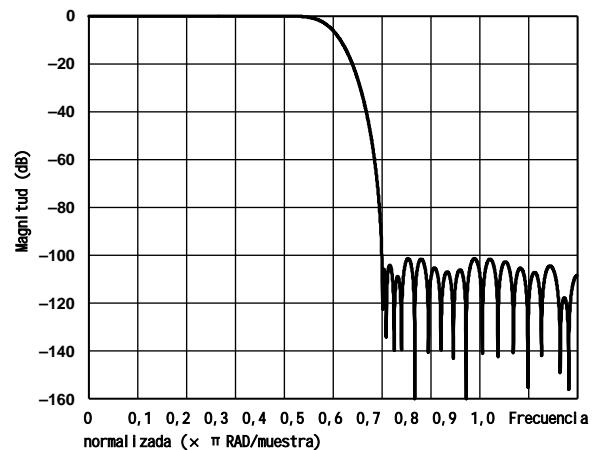
C4, C8	0	0
C5, C7	0.294418	19,295
C6	0.500000	32,768

Filtro HB1

El cuarto y último filtro FIR de paso bajo de media banda (HB1) decimado en 2 puntos se implementa usando un filtro de 63 derivaciones, simétrico, de coeficiente fijo, que está optimizado para un bajo consumo de energía. El filtro HB1 está siempre activado y no se puede evitar. La Tabla 23 y la Figura 79 muestran los coeficientes y las respuestas del filtro HB1.

Cuadro 23. Coeficientes de filtro HB1

Número de coeficientes HB1	Estandarización Coeficiente	Decimal Coeficiente (20 dígitos)
C1, C63	-0.000019	-10
C2, C62	0	0
C3, C61	0.000072	38
C4, C60	0	0
C5, C59	-0.000194	-102
C6, C58	0	0
C7, C57	0.000442	232
C8, C56	0	0
C9, C55	-0.000891	-467
C10, C54	0	0
C11, C53	0.001644	862
C12, C52	0	0
C13, C51	-0.002840	-1489
C14, C50	0	0
C15, C49	0.004653	2440
C16, C48	0	0
C17, C47	-0.007311	-3833
C18, C46	0	0
C19, C45	0.011121	5831
C20, C44	0	0
C21, C43	-0.016553	-8679
C22, C42	0	0
C23, C41	0.024420	12,803
C24, C40	0	0
C25, C39	-0.036404	-19,086
C26, C38	0	0
C27, C37	0.056866	29,814
C28, C36	0	0
C29, C35	-0.101892	-53,421
C30, C34	0	0
C31, C33	0.316883	166,138
El C32	0.500000	262,144



14809-062

Etapa de ganancia DDC

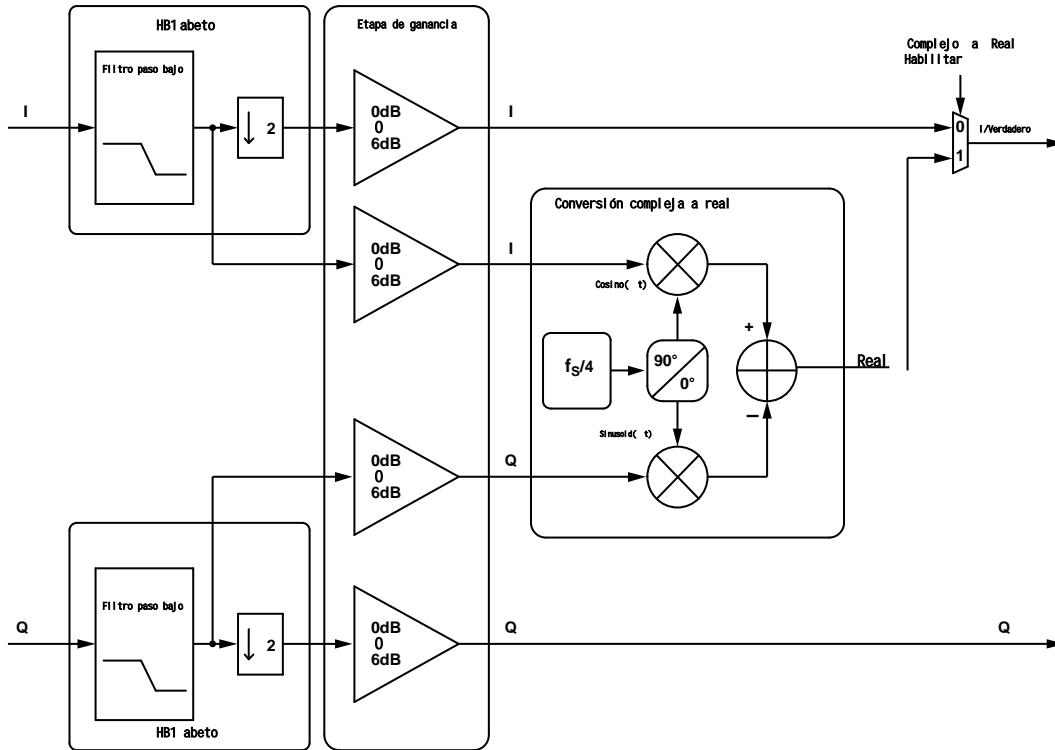
Cada DDC contiene una etapa de ganancia controlada independientemente. La ganancia se puede seleccionar como 0dB o 6dB. Al mezclar una señal de entrada real a la banda base, se recomienda que el usuario habilite una ganancia de 6 dB para recuentar el rango dinámico de la señal dentro de la escala completa de los bits de salida.

Cuando la señal de entrada compleja se mezcla descendente a la banda base, el mezclador ha vuelto a centrar el intervalo dinámico de la señal dentro de la escala completa de los bits de salida y no se requiere ganancia adicional. Sin embargo, una ganancia opcional de 6 dB compensa la baja intensidad de señal. Cuando se utiliza una etapa de conversión compleja a real, la parte de muestreo descendente 2 del filtro FIR HB1 es desviada.

DDC Conversión de números complejos a reales

Cada DDC contiene un módulo de conversión de números complejos a números reales controlado independientemente. El módulo de conversión complejo a real reutiliza el último filtro en la etapa de filtrado (HB1 FIR) y el mezclador complejo FS/4 para convertir la señal en frecuencia ascendente. Despues de la conversión ascendente de la señal, la parte Q del mezclador complejo ya no es necesaria y se descarta.

La figura 80 muestra un diagrama de bloques simplificado de una conversión de números complejos a números reales.



1489-063

Figura 80. Bloque de conversión complejo a real

Configuración de ejemplo de DDC

La Tabla 24 describe los ajustes de registro para una pluralidad de configuraciones de ejemplo de DDC.

Cuadro 24. Configuración de ejemplo de DDC

Capa de aplicación de chip	Relación de extracción de chips	Tipo de entrada DDC	Tipo de salida DDC	Ancho de banda para DDC1	Número de convertidores virtuales requeridos	Configuración de registro 2
Un DDC	2	Complejo	Complejo	$40\% \times f_s$	2	Registro 0x0009=0x01, 0x02 o 0x03 (selección de empareamiento) Registro 0x0200=0x01 (seleccione un DDC; I/O) Registro 0x0201=0x01 (decimación de chip 2) Registro 0x0310=0x83 (mezclador complejo; ganancia de 0 dB; IF variable; salida compleja; filtro HB1) Registro 0x0311=0x04 (entrada DDC I = ADC canal A/ canal C; entrada DDC Q = ADC Canal B/ Canal D) Registro 0x0314, Registro 0x0315, Registro 0x0316, Registro 0x0317, Registro 0x0318, Registro 0x031A, Registro 0x031D, Registro 0x031E, Registro 0x031F, REGISTRO 0x0320, REGISTRO 0x0321, REGISTRO 0x0322 = Ajustar FTW y POW según los requisitos de aplicación de DDC 0
Un DDC	4	Complejo	Complejo	$20\% \times f_s$	2	Registro 0x0009=0x01, 0x02 o 0x03 (selección de empareamiento) Registro 0x0200 = 0x01 (un DDC; seleccionar I/O) Registro 0x0201 = 0x02 (decimación de chip 4) Registro 0x0310 = 0x80 (mezclador complejo; ganancia de 0 dB; frecuencia intermedia variable; salida compleja; filtro HB2 + HB1)

Capa de aplicación de chip	Relación de extracción de chips	Tipo de entrada DDC	Tipo de salida DDC	Ancho de banda Para DDC1	Número de convertidores virtuales requeridos	Configuración de registro 2
						<p>Registro 0x0311=0x04 (entrada DDC I = canal ADC A/C; entrada DDC Q = canal ADC B/canal D)</p> <p>Registro 0x0314, Registro 0x0315, Registro 0x0316,</p> <p>Registro 0x0317, Registro 0x0318, Registro 0x031A,</p> <p>Registro 0x031D, Registro 0x031E, Registro 0x031F,</p> <p>REGISTRO 0x0320, REGISTRO 0x0321, REGISTRO 0x0322 = Ajustar FTW y POW según los requisitos de aplicación de DDC 0</p>
Dos DDC	2	Real	Real	20% × f_s	2	<p>Registro 0x0009=0x01, 0x02 o 0x03 (selección de emparejamiento)</p> <p>Registro 0x0200 = 0x22 (dos DDC; seleccionar solo I) Registro 0x0201 = 0x01 (decimación de chip 2) Registro 0x0310, Registro 0x0330 = 0x48 (mezclador real; ganancia de 6 dB; IF variable; salida real; filtro HB2 + HB1)</p> <p>Registro 0x0311=0x00 (DDC 0 I entrada=ADC canal A/canal C; DDC 0 Q entrada=ADC Canal A/canal C)</p> <p>REGISTRO 0x0331=0x05 (DDC 1 I IN=ADC CANAL B/CANAL D; DDC 1 Q IN=ADC Canal B/ Canal D)</p> <p>Registro 0x0314, Registro 0x0315, Registro 0x0316,</p> <p>Registro 0x0317, Registro 0x0318, Registro 0x031A,</p> <p>Registro 0x031D, Registro 0x031E, Registro 0x031F,</p> <p>REGISTRO 0x0320, REGISTRO 0x0321, REGISTRO 0x0322 = Ajustar FTW y POW según los requisitos de aplicación de DDC 0</p> <p>Registro 0x0334, Registro 0x0335, Registro 0x0336,</p> <p>Registro 0x0337, Registro 0x0338, Registro 0x033A,</p> <p>Registro 0x033D, Registro 0x033E, Registro 0x033F,</p> <p>REGISTRO 0x0340, REGISTRO 0x0341, REGISTRO 0x0342 = Ajustar FTW y POW según los requisitos de aplicación del DDC 1</p>
Dos DDC	2	Complejo	Complejo	40% × f_s	4	<p>Registro 0x0009=0x01, 0x02 o 0x03 (selección de emparejamiento)</p> <p>Registro 0x0200=0x22 (dos DDC; solo selección I)</p> <p>Registro 0x0201 = 0x01 (decimación de chip 2) Registro 0x0310, Registro 0x0330 = 0x4B (mezclador complejo; ganancia de 6 dB; frecuencia intermedia variable; salida compleja; filtro HB1)</p> <p>Registro 0x0311, Registro 0x0331=0x04 (DDC 0I entrada=ADC canal A/Canal C; DDC 0Q entrada=ADC canal B/Canal D)</p> <p>Registro 0x0314, Registro 0x0315, Registro 0x0316,</p> <p>Registro 0x0317, Registro 0x0318, Registro 0x031A,</p> <p>Registro 0x031D, Registro 0x031E, Registro 0x031F,</p> <p>REGISTRO 0x0320, REGISTRO 0x0321, REGISTRO</p>

					0x0322 = Ajustar FTW y POW según los requisitos de aplicación de DDC 0 Registro 0x0334, Registro 0x0335, Registro 0x0336, Registro 0x0337, Registro 0x0338, Registro 0x033A, Registro 0x033D, Registro 0x033E, Registro 0x033F, REGISTRO 0x0340, REGISTRO 0x0341, REGISTRO 0x0342 = Ajustar FTW y POW según los requisitos de aplicación del DDC 1
--	--	--	--	--	--

Capa de aplicación de chip	Relación de extracción de chips	Tipo de entrada DDC	Tipo de salida DDC	Ancho de banda Para DDC1	Número de convertidores virtuales requeridos	Configuración de registro 2
Dos DDC	4	Complejo	Complejo	$20\% \times f_s$	4	<p>Registro 0x0009 = 0x01, 0x02 o 0x03 (selección de pares)</p> <p>Registro 0x0200 = 0x02 (dos DDC; selección de I/Q)</p> <p>Registro 0x0201 = 0x02 (decimación de chip 4)</p> <p>Registro 0x0310, Registro 0x0330 = 0x80 (mezclador complejo; ganancia de 0 dB; IF variable; salida compleja; filtro HB2 + HB1)</p> <p>Registro 0x0311, registro 0x0331 = 0x04 (entrada DDC I = canal ADC A/canal C; entrada DDC Q = canal ADC B/canal D)</p> <p>Registro 0x0314, Registro 0x0315, Registro 0x0316,</p> <p>Registro 0x0317, Registro 0x0318, Registro 0x031A,</p> <p>Registro 0x031D, Registro 0x031E, Registro 0x031F,</p> <p>REGISTRO 0x0320, REGISTRO 0x0321, REGISTRO 0x0322 = Ajustar FTW y POW según los requisitos de aplicación de DDC 0</p> <p>Registro 0x0334, Registro 0x0335, Registro 0x0336,</p> <p>Registro 0x0337, Registro 0x0338, Registro 0x033A,</p> <p>Registro 0x033D, Registro 0x033E, Registro 0x033F,</p> <p>REGISTRO 0x0340, REGISTRO 0x0341, REGISTRO 0x0342 = Ajustar FTW y POW según los requisitos de aplicación del DDC 1</p>
Dos DDC	4	Complejo	Real	$10\% \times f_s$	2	<p>Registro 0x0009=0x01, 0x02 o 0x03 (selección de emparejamiento)</p> <p>Registro 0x0200=0x22 (dos DDC; solo selección I)</p> <p>Registro 0x0201 = 0x02 (decimación de chip 4)</p> <p>Registro 0x0310, Registro 0x0330 = 0x89 (mezclador complejo; ganancia de 0 dB; IF variable; salida real; filtro HB3+HB2+HB1)</p> <p>Registro 0x0311, registro 0x0331 = 0x04 (entrada DDC I = canal ADC A/canal C; entrada DDC Q = canal ADC B/canal D)</p> <p>Registro 0x0314, Registro 0x0315, Registro 0x0316,</p> <p>Registro 0x0317, Registro 0x0318, Registro 0x031A,</p> <p>Registro 0x031D, Registro 0x031E, Registro 0x031F,</p> <p>REGISTRO 0x0320, REGISTRO 0x0321, REGISTRO 0x0322 = Ajustar FTW y POW según los requisitos de aplicación de DDC 0</p> <p>Registro 0x0334, Registro 0x0335, Registro 0x0336,</p> <p>Registro 0x0337, Registro 0x0338, Registro 0x033A,</p> <p>Registro 0x033D, Registro 0x033E, Registro 0x033F,</p> <p>REGISTRO 0x0340, REGISTRO 0x0341, REGISTRO 0x0342 = Ajustar FTW y POW según los requisitos de aplicación del DDC 1</p>
Dos DDC	4	Real	Real	$10\% \times f_s$	2	<p>Registro 0x0009=0x01, 0x02 o 0x03 (selección de emparejamiento)</p> <p>Registro 0x0200=0x22 (dos DDC; solo selección I)</p>

						Registro 0x0201 = 0x02 (decimación de chip 4) Registro 0x0310, Registro 0x0330 = 0x49 (mezclador real; ganancia de 6 dB; IF variable; salida real; filtro HB3+HB2+HB1) Registro 0x0311=0x00 (DDC 0 I entrada=ADC canal A/canal C; DDC 0 Q entrada=ADC Canal A/canal C)
--	--	--	--	--	--	--

Capa de aplicación de chip	Relación de extracción de chips	Tipo de entrada DDC	Tipo de salida DDC	Ancho de banda Para DDC1	Número de convertidores virtuales requeridos	Configuración de registro 2
						<p>REGISTRO 0x0331=0x05 (DDC 1 I IN=ADC CANAL B/CANAL D; DDC 1 Q IN=ADC Canal B/canal D)</p> <p>Registro 0x0314, Registro 0x0315, Registro 0x0316,</p> <p>Registro 0x0317, Registro 0x0318, Registro 0x031A,</p> <p>Registro 0x031D, Registro 0x031E, Registro 0x031F,</p> <p>REGISTRO 0x0320, REGISTRO 0x0321, REGISTRO 0x0322 = Ajustar FTW y POW según los requisitos de aplicación de DDC 0</p> <p>Registro 0x0334, Registro 0x0335, Registro 0x0336,</p> <p>Registro 0x0337, Registro 0x0338, Registro 0x033A,</p> <p>Registro 0x033D, Registro 0x033E, Registro 0x033F,</p> <p>REGISTRO 0x0340, REGISTRO 0x0341, REGISTRO 0x0342 = Ajustar FTW y POW según los requisitos de aplicación del DDC 1</p>
Dos DDC	4	Real	Complejo	20% × fs	4	<p>Registro 0x0009=0x01, 0x02 o 0x03 (selección de emparejamiento)</p> <p>Registro 0x0200 = 0x02 (dos DDC; seleccionar I/Q) Registro 0x0201 = 0x02 (decimación de chip 4) Registro 0x0310, Registro 0x0330 = 0x40 (mezclador real; ganancia de 6 dB; frecuencia intermedia variable; salida compleja; filtro HB2 + HB1)</p> <p>Registro 0x0311=0x00 (DDC 0 I entrada=ADC canal A/canal C; DDC 0 Q entrada=ADC Canal A/canal C)</p> <p>REGISTRO 0x0331=0x05 (DDC 1 I IN=ADC CANAL B/CANAL D; DDC 1 Q IN=ADC Canal B/canal D)</p> <p>Registro 0x0314, Registro 0x0315, Registro 0x0316,</p> <p>Registro 0x0317, Registro 0x0318, Registro 0x031A,</p> <p>Registro 0x031D, Registro 0x031E, Registro 0x031F,</p> <p>REGISTRO 0x0320, REGISTRO 0x0321, REGISTRO 0x0322 = Ajustar FTW y POW según los requisitos de aplicación de DDC 0</p> <p>Registro 0x0334, Registro 0x0335, Registro 0x0336,</p> <p>Registro 0x0337, Registro 0x0338, Registro 0x033A,</p> <p>Registro 0x033D, Registro 0x033E, Registro 0x033F,</p> <p>REGISTRO 0x0340, REGISTRO 0x0341, REGISTRO 0x0342 = Ajustar FTW y POW según los requisitos de aplicación del DDC 1</p>
Dos DDC	8	Real	Real	5% × fs	2	<p>Registro 0x0009 = 0x01, 0x02 o 0x03 (pares seleccionados) Registro 0x0200 = 0x22 (dos DDC; seleccionar solo I) Registro 0x0201 = 0x03 (decimación de chip 8) Registro 0x0310, Registro 0x0330 = 0x4A (mezclador real; ganancia de 6 dB; IF variable; salida real; filtro HB4+HB3+HB2+HB1)</p> <p>Registro 0x0311=0x00 (DDC 0 I entrada=ADC canal A/canal C; DDC 0 Q entrada=ADC Canal A/canal C)</p>

					REGISTRO 0x0331=0x05 (DDC 1 I IN=ADC CANAL B/CANAL D; DDC 1 Q IN=ADC Canal B/canal D)
--	--	--	--	--	---

Capa de aplicación de chip	Relación de extracción de chips	Tipo de entrada DDC	Tipo de salida DDC	Ancho de banda por DDC 1	Número de convertidores virtuales requeridos	Configuración de registro 2
						Registro 0x0314, Registro 0x0315, Registro 0x0316, Registro 0x0317, Registro 0x0318, Registro 0x031A, Registro 0x031D, Registro 0x031E, Registro 0x031F, REGISTRO 0x0320, REGISTRO 0x0321, REGISTRO 0x0322 = Ajustar FTW y POW según los requisitos de aplicación de DDC 0 Registro 0x0334, Registro 0x0335, Registro 0x0336, Registro 0x0337, Registro 0x0338, Registro 0x033A, Registro 0x033D, Registro 0x033E, Registro 0x033F, REGISTRO 0x0340, REGISTRO 0x0341, REGISTRO 0x0342 = Ajustar FTW y POW según los requisitos de aplicación del DDC 1

¹ fS es la frecuencia de muestreo del ADC. Los anchos de banda enumerados son ondulación de banda de paso < -0,001 dB y supresión de aliasing de banda de parada > 100 dB.

² Después de completar todas las escrituras en los registros FTW o POW, el NCO debe sincronizarse a través de los pines SPI o SYSREF \pm . Esta sincronización es necesaria para asegurar el correcto funcionamiento del NCO. Para obtener más información, consulte la sección Sincronización.

Salida digital

Introducción a la interfaz JESD204B

La salida digital AD9694 está diseñada de acuerdo con la interfaz serie del convertidor de datos estándar JEDEC JESD204B. JESD204B es un protocolo que conecta el AD9694 a dispositivos de procesamiento digital a través de una interfaz serie con velocidades de canal de hasta 15 Gbps. Las ventajas de la interfaz JESD204B sobre LVDS incluyen la reducción del área de la placa requerida para el enrutamiento de la interfaz de datos y la capacidad de implementar paquetes más pequeños para convertidores y dispositivos lógicos.

Configuración de la interfaz digital AD9694

El AD9694AT requiere las siguientes escrituras SPI para el inicio y cada reinicio del ADC (reinicio de la ruta de datos, reinicio suave, apagado/encendido del enlace o reinicio duro):

1. Escribe 0x4F en el registro 0x1228.
2. Escribe 0x0F en el registro 0x1228.
3. Escribe 0x04 en el registro 0x1222.
4. Escribe 0x00 en el registro 0x1222.
5. Escribe 0x08 en el registro 0x1262.
6. Escribe 0x00 en el registro 0x1262.

El módulo de transmisión de datos JESD204B JTX ensambla los datos paralelos del ADC en tramas y forma los datos de salida en serie usando codificación de 8 bits/10 bits junto con codificación opcional de aleatorización. La sincronización de canales se soporta mediante el uso de caracteres de control especiales durante el establecimiento inicial del enlace. Los caracteres de control adicionales se incrustan en el flujo de datos para mantener la sincronización posteriormente. Se requiere un receptor JESD204B para completar el enlace en serie. Para obtener más detalles sobre la interfaz JESD204B, consulte el estándar JESD204B.

El módulo de transmisión de datos JESD204B en el AD9694 asigna hasta dos ADC físicos o hasta cuatro convertidores virtuales (cuando DDC está habilitado) en cada uno de los dos enlaces JESD204B. Cada enlace se puede configurar para utilizar uno o dos canales JESD204B, hasta un total de cuatro canales para el AD9694Chip. La especificación JESD204B hace referencia a una serie de parámetros para definir el enlace que debe coincidir entre el transmisor JESD204B (theAD9694output) y el receptor JESD204B (entrada del dispositivo lógico). La salida JESD204B del AD9694 actúa efectivamente como dos enlaces JESD204B independientes. Si se desea, los dos enlaces JESD204B pueden sincronizarse usando la entrada SYSREF \pm .

Cada enlace JESD204B se describe de acuerdo con los siguientes parámetros:

- ? L es el número de canales por dispositivo convertidor (canales por enlace) (valor AD

- ? N "es el número de bits por muestra (tamaño de palabra JESD204B)
(valor AD9694 = 8 ó 16)
- ? N es la resolución del convertidor (valor AD9694 = 7 a 16)
- ? CS es el número de bits de control por muestra (valor AD9694 = 0, 1, 2 ó 3)
- ? K es el número de cuadros por multicuadro (valor AD9694 = 4, 8, 12, 16, 20, 24, 28 o 32).
- ? S es el número de muestras transmitidas por convertidor por período de trama (los valores AD9694 se ajustan automáticamente según L, M, F y N").
- ? HD es el modo de alta densidad (los valores AD9694 se ajustan automáticamente según L, M, F y N")
- ? CF es el número de palabras de control por ciclo de reloj de cuadro para cada dispositivo convertidor (AD9694value=0)

La Figura 81 muestra un diagrama de bloques simplificado del AD9694

Enlace JESD204B. De forma predeterminada, el AD9694 está configurado para usar cuatro convertidores y cuatro canales. Los datos del convertidor A y del convertidor B se envían a SERDOUTAB0 \pm y SERDOUTAB1 \pm , y los datos del convertidor C y del convertidor D se envían a SERDOUTCD0 \pm y SERDOUTCD1 \pm . El AD9694 permite otras configuraciones, tales como combinar las salidas de cada par de convertidores en un solo canal o cambiar el mapeo de las rutas de salida digitales. Estos modos se establecen a través de registros de configuración rápida en el mapa de registros SPI, incluyendo opciones adicionales personalizables.

En el AD9694, las palabras de convertidor de 14 bits de cada convertidor se dividen por defecto en dos octetos (ocho bits de datos). El bit 13 (MSB) es el bit 6 en el primer octeto. El segundo octeto contiene el bit 5 a bit 0 (LSB) y dos bits de cola. Los bits de cola pueden configurarse como ceros o como secuencias de números pseudoaleatorios. El bit de cola también se puede sustituir por un bit de control que indica una salida fuera de rango, SYSREF \pm o de detección rápida. Los bits de control se rellenan primero e insertan en el MSB de manera que Habilitar CS=1 activa el bit de control 2, Habilitar CS=2 activa el bit de control 2 y el bit de control 1, y Habilitar CS=3 activa el bit de control 2, el bit de control 1 y el bit de control 0.

Los dos octetos resultantes pueden ser aleatorizados. La codificación es opcional; Sin embargo, se recomienda evitar los picos espectrales cuando se transmiten patrones similares de datos digitales. El aleatorizador utiliza un algoritmo de auto-sincronización basado en polinomios definido por

- 9694=1 ó 2)
? M es el número de convertidores por dispositivo convertidor (convertidores virtuales por enlace) (valor AD9694=1, 2 ó 4)
? F es el número de octetos por cuadro (AD9694 valor = 1, 2, 4 u 8)

la ecuación $1+x14+x15$. El descodificador en el receptor es una versión auto-sincronizada del polinomio codificador. Estos dos octetos se codifican entonces con un codificador de 8 bits/10 bits. Los codificadores de 8 bits/10 bits funcionan tomando 8 bits de datos (un octeto) y codificándolos en símbolos de 10 bits. La figura 82 muestra cómo se obtienen datos de 14 bits del ADC, se añaden los bits de cola, se codifican dos octetos y cómo se codifican los octetos en dos símbolos de 10 bits. La Figura 82 muestra el formato de datos predeterminado.

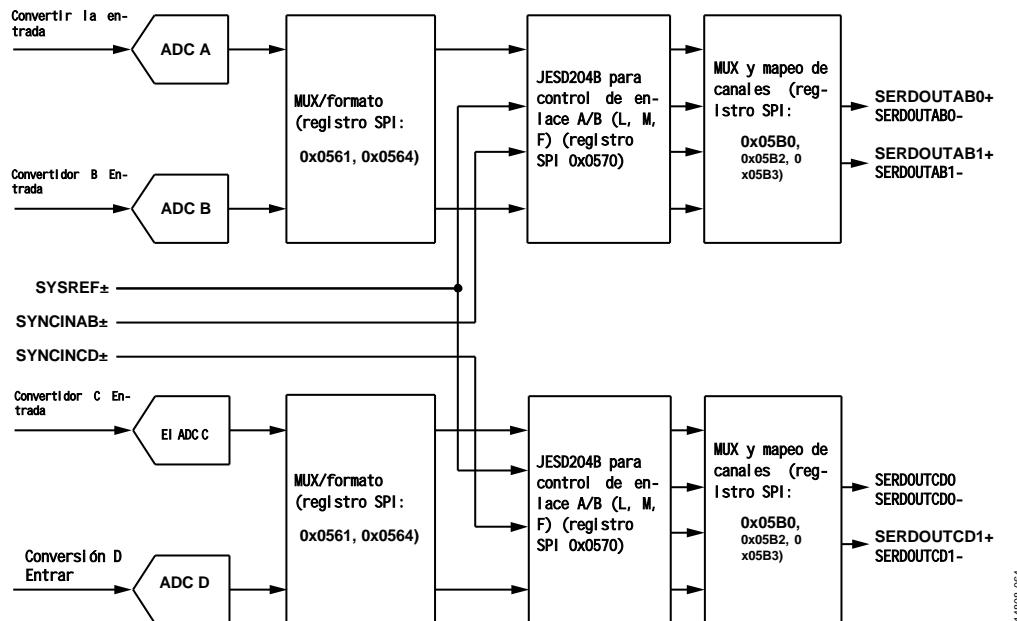


Figura 81. Diagrama de bloques simplificado del enlace de transmisión que muestra el modo de ancho de banda completo (registro 0x0200-0x00)

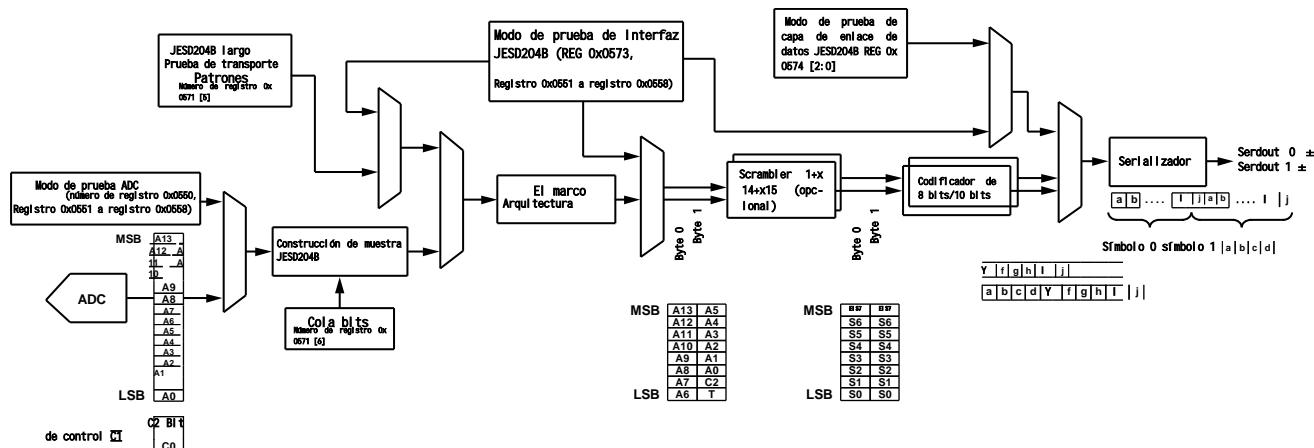


Figura 82. Ruta de datos de salida del ADC que muestra los datos encuadrados

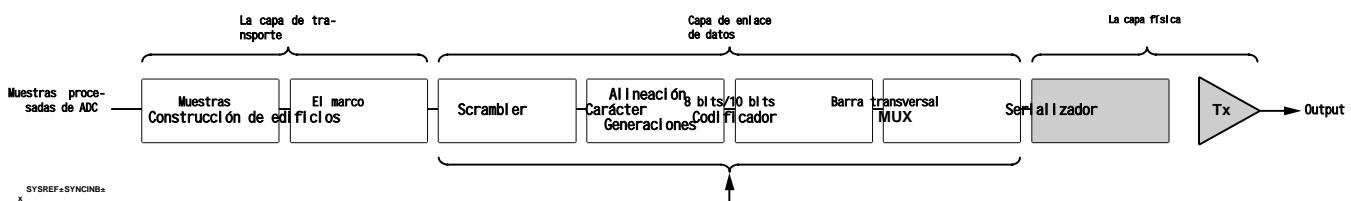


Figura 83. Flujo de datos

Descripción general de las funciones

El diagrama de bloques de la figura 83 muestra el flujo de datos desde la entrada de muestra hasta la salida física a través de cada uno de los dos enlaces JESD204B. El procesamiento se puede dividir en capas derivadas de un modelo de Iniciativa de Código Abierto (OSI) ampliamente utilizado para describir las capas de abstracción de los sistemas de comunicación. Estas capas son la capa de transporte, la capa de enlace de datos y la capa física (serializador y controlador de salida).

La capa de transporte

El procesamiento de la capa de transporte empaqueta los datos (que consisten en muestras y bits de control opcionales) en una trama JESD204B mapeada en octetos de 8 bits. Estos octetos se envían a la capa de enlace de datos. El mapeo de la capa de transporte está controlado por reglas derivadas de los parámetros de enlace. Agregue un bit de cola para llenar el hueco cuando sea necesario. El número de bits de cola en una muestra (palabra JESD 204B) se determina usando la siguiente fórmula:

$$T = N, -N-CS$$

Capa de enlace de datos

La capa de enlace de datos es responsable de las funciones de bajo nivel para pasar datos a través del enlace. Estas funciones incluyen la autorización opcional de datos, la inserción de caracteres de control para la sincronización multichip, la alineación de canales o la supervisión, y la codificación de octetos de 8 bits en símbolos de 10 bits. La capa de enlace de datos también es responsable de transmitir una secuencia de alineación de canal inicial (ILAS), que contiene los datos de configuración de enlace utilizados por el receptor para verificar los ajustes en la capa de transporte.

Capa física (PHY)

La capa física consiste en circuitos de alta velocidad que se cronometran a una velocidad de reloj en serie. En esta capa, los datos paralelos se convierten en uno, dos o cuatro canales de datos en serie diferenciales de alta velocidad.

Establecimiento de enlace JESD204B

La interfaz de transmisor (Tx) AD9694JESD204B funciona en la subclase 1 definida en la norma JEDEC 204B (especificación de julio de 2011). El procedimiento de establecimiento de enlace se divide en las siguientes etapas: sincronización de grupos de códigos y $SYNCINB\pm AB/ SYNCINB\pm CD$, secuencia de alineación inicial de carril, datos de usuario y corrección de errores.

Sincronización de grupos de códigos (CGS) y $SYNCINB\pm X$

El CGS es el proceso mediante el cual el receptor JESD204B encuentra los límites entre símbolos de 10 bits en un flujo de datos. En la fase CGS, el m

utiliza técnicas de reloj y recuperación de datos (CDR) para recuperar caracteres en su flujo de datos de entrada.

El receptor realiza una solicitud de sincronización estableciendo los pines $SYNCINB\pm AB$ y $SYNCINB\pm CD$ del THEAD9694LOW. El JESD204B Tx comienza entonces a enviar el carácter $/K$. Despues de la sincronización del receptor, se espera la recepción correcta de al menos cuatro símbolos $/K$ consecutivos. A continuación, se va a afirmar $SYNCINB\pm AB$ y $SYNCINB\pm CD$. El AD9694 envía entonces el ILAS en el siguiente límite de reloj local de múltiples tramas (LMFC). Para obtener más información sobre la fase de sincronización de grupos de códigos, consulte la norma JEDEC JESD204B, julio de 2011, sección 5.3.3.1.

Las operaciones de pines $SYNCINB\pm AB$ y $SYNCINB\pm CD$ también pueden ser controladas por SPI. Las señales $SYNCINB\pm AB$ y $SYNCINB\pm CD$ son señales de modo LVDS diferencial por defecto, pero también se pueden accionar con un solo extremo. Consulte el registro 0x0572 para obtener más información sobre la configuración de las operaciones de los pines $SYNCINB\pm AB$ y $SYNCINB\pm CD$.

Secuencia inicial de alineación de carril (ILAS)

La fase ILAS sigue a la fase CGS y comienza en el siguiente límite de LMFC. El ILAS consta de cuatro múltiples tramas, comenzando con una marca de carácter $/R$ y terminando con una marca de carácter $/a$. El ILAS comienza con la transmisión de un carácter $/R$ seguido de una trama múltiple de datos de rampa de 0 a 255. En la segunda multitrauma, los datos de configuración de enlace se transmiten a partir del tercer carácter. El segundo carácter es un carácter A/Q que se utiliza para confirmar que siguen los datos de configuración de enlace. Todas las ranuras de datos no definidas se llenan con datos de rampa. La secuencia ILAS nunca se interrumpe.

La construcción de la secuencia de ILAS se muestra en la Figura 84. Los cuatro multiframeogramas incluyen lo siguiente:

- ? Multicuadro 1. Comienza con el carácter $/R$ ($/K28.0/$) y termina con el carácter $/a$ ($/K28.3/$).
- ? Multicuadro 2. Comienza con un carácter $/R$ seguido de un carácter $/Q$ ($/K28.4/$) seguido de un parámetro de configuración de enlace de más de 14 octetos de configuración (ver Tabla 25) y termina con un carácter $/a$. Muchos valores de parámetros tienen un signo de valor -1.
- ? Multicuadro 3. Comienza con el carácter $/R$ ($/K28.0/$) y termina con el carácter $/a$ ($/K28.3/$).
- ? Múltiples cuadros 4. Comienza con el carácter $/R$ ($/K28.0/$) y termina con el carácter $/a$

ódulo de envío JESD204B envía el carácter /K
28.5/. El receptor debe estar ubicado en /K28.5/

cter /a/ (/K28.3/).

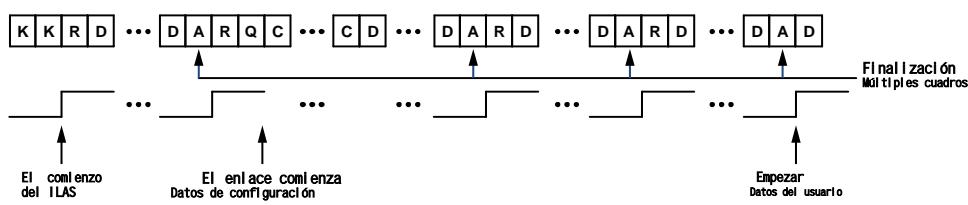


Figura 84. Secuencia inicial de alineación de carril

REVISIÓN B Página 52 de 96

148984967

Datos de usuario y detección de errores

Después de que se haya completado la secuencia inicial de alineación de carril, se transmiten datos de usuario. Típicamente, dentro de un cuadro, todos los caracteres se consideran datos de usuario. Sin embargo, para monitorizar el reloj de trama y la sincronización de reloj de múltiples tramas, existen mecanismos para reemplazar caracteres con caracteres de alineación /F/ o /a/ cuando los datos cumplen ciertas condiciones. Estas condiciones son diferentes para datos no aleatorizados y aleatorizados. Las operaciones de aleatorización están habilitadas por defecto, pero se pueden deshabilitar usando SPI. Para datos aleatorizados, cualquier carácter 0xFC al final de la trama se sustituye por /F/ y cualquier carácter 0xFD al final de la trama múltiple se sustituye por /a/. El receptor JESD204B (Rx) comprueba los caracteres /F/ y /a/ en el flujo de datos recibido y verifica que solo aparecen en la posición esperada. Si se encuentra un carácter /F/ o /a/ inesperado, el receptor maneja la situación usando una realineación dinámica o afirmando que la señal SYNCINB \pm x se extiende más de cuatro tramas para iniciar la resincronización. Para datos no aleatorizados, si el último carácter de dos tramas posteriores es igual, el segundo carácter se sustituye por /F/ si el segundo carácter se encuentra al final de la trama y por /a/ si el segundo carácter se encuentra al final de múltiples tramas.

La inserción de caracteres alineados se puede modificar usando SPI. La inserción de caracteres alineados con cuadros (FACI) está habilitada de forma predeterminada. Para obtener más información sobre los controles vinculados, consulte la sección de mapeo de memoria, registro 0x0571.

Codificador de 8 bits/10 bits

Un codificador de 8 bits/10 bits convierte octetos de 8 bits en símbolos de 10 bits e inserta caracteres de control en el flujo cuando sea necesario. Los caracteres de control usados en JESD204B se muestran en la Tabla 25. La codificación de 8 bits/10 bits asegura que la señal esté equilibrada en CC usando el mismo número de unos y ceros a través de múltiples símbolos.

La interfaz de 8 bits/10 bits tiene opciones que se pueden controlar a través de SPI. Estas operaciones incluyen derivación e inversión. Estas opciones están diseñadas para servir como herramientas de solución de problemas para la verificación del front-end digital (DFE). Para obtener información sobre cómo configurar un codificador de 8 bits/10 bits, consulte la sección de mapeo de memoria, registro 0x0572, bit [2:1].

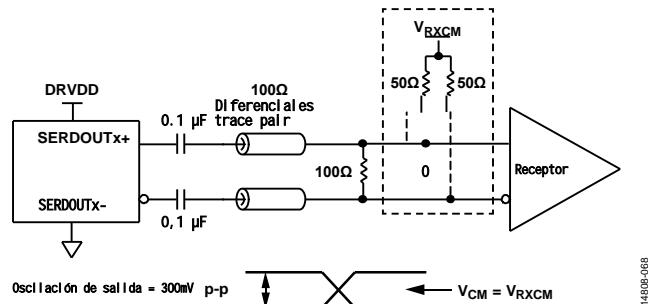
Tabla 25. Carácter de control AD9694 utilizado en JESD204B

Abreviaturas	Símbolos de control	Valor de 8 bits	Valor de bits, RD1=-1	Valor de 10 bits, RD1=+1	Descripción
/R/	/K28.0/	000 11100	001111 0100	110000 1011	Multi fotograma Inicio

Salida de la capa física (controlador)**Salida digital, temporización y control**

La capa física AD9694 consiste en controladores definidos en el estándar JEDEC JESD204B (julio de 2011). Por defecto, la salida digital diferencial está encendida. El controlador utiliza terminales internos dinámicos de 100 Ω para reducir reflexiones no deseadas.

Se coloca una resistencia de terminación diferencial de 100 Ω en cada entrada del receptor para producir un oscilación p-p nominal de 300 mV en el receptor (véase la Figura 85). Alternativamente, se puede utilizar una terminación única de 50 Ω . Cuando se utiliza la terminación de un solo extremo, el voltaje de terminación es DRVDD1/2. De lo contrario, se puede usar un condensador de acoplamiento de CA de 0,1 μ F para terminar a cualquier voltaje de un solo extremo.

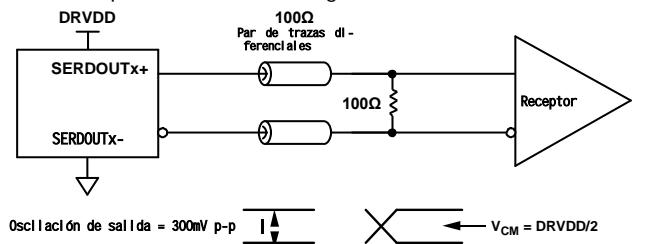


14808-009

Figura 85. Ejemplo de terminación de salida digital acoplada a CA La salida digital AD9694 se puede interconectar con receptores ASIC y FPGA personalizados para proporcionar un rendimiento de conmutación superior

En un ambiente ruidoso. Topología de red única de punto a punto

Se recomienda colocar una única resistencia de terminación diferencial de 100 Ω lo más cerca posible de la entrada del receptor. El modo común de la salida digital se polariza automáticamente a la mitad de la fuente de alimentación DRVDD1 1.25V (VCM=0.6V). Para acoplar la salida dc a la lógica del receptor, véase la figura 86.



14808-009

Figura 86. Ejemplo de terminación de salida digital acoplada a CC

/a/	/K28.3/	011 11100	001111 0011	110000 1100	Alineación de carril
/Q/	/K28.4/	100 11100	001111 0100	110000 1101	Inicio de los datos de configuración del enlace
/K/	/K28.5/	101 11100	001111 1010	110000 0101	Sincronización de grupos
/F/	/K28.7/	111 11100	001111 1000	110000 0111	Alineación del marco

¹ RD significa la diferencia de ejecución.

Si no hay un terminal receptor remoto, o si hay una ruta de seguimiento diferencial deficiente, puede resultar un error de temporización. Para evitar tales errores de temporización, se recomienda que las longitudes de trazas sean inferiores a 6 pulgadas, con las trazas de salida diferenciales cercanas entre sí y de igual longitud.

Las Figuras 87 a 89 muestran ejemplos de ojos de datos de salida digital, histogramas de fluctuación de error de intervalo de tiempo (TIE) y curvas de bañera para un AD9694Lane que funciona a 15 Gbps. Por defecto, el formato de los datos de salida es el complemento binario. Para cambiar el formato de datos de salida, consulte la sección de mapeo de memoria (registro 0x0561 en la tabla 39).

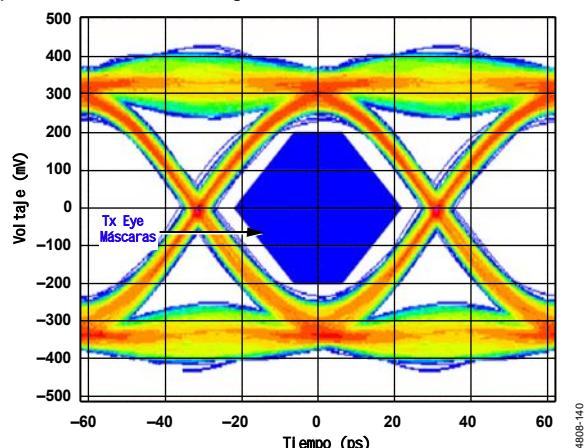


Figura 87. Diagrama ocular de datos de salida digital; Terminal externo de 100 a 15 Gbps

15 Gbps

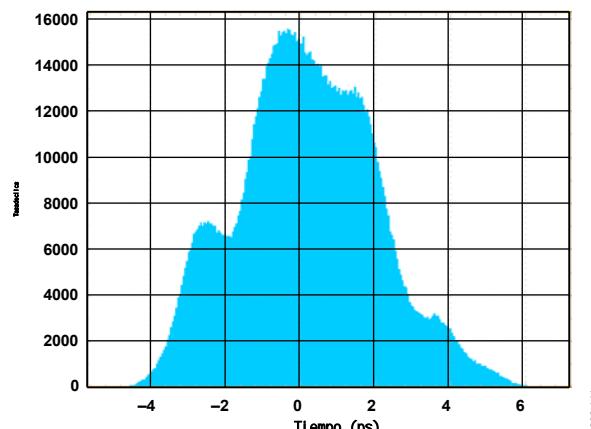


Figura 88. Histograma de salida digital; Terminal externo de 100 a 15 Gbps

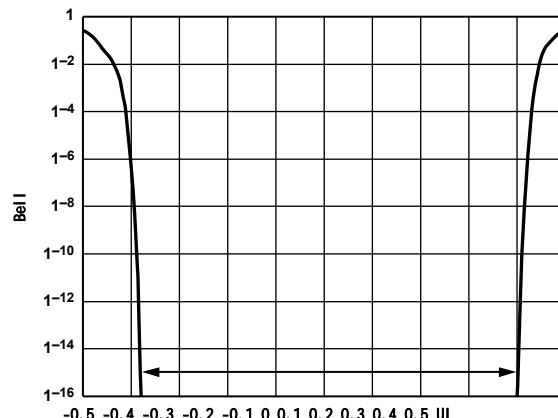


Figura 89. Curva de bañera de salida digital; Terminal externo de 100 a 15 Gbps

Para enfatizar

La desacentuación permite que se satisfaga la máscara del diagrama ocular del receptor bajo la condición de que la pérdida de inserción de interconexión no cumpla con la especificación JESD204B. La función de desacentuación solo se utiliza cuando el receptor no puede recuperar el reloj debido a una pérdida de inserción excesiva. En circunstancias normales, está desactivado para ahorrar energía. Además, habilitar y establecer valores de desacentuación demasiado altos en el enlace corto puede causar que el diagrama de ojo del receptor falle. Utilice la configuración de desacentuación con precaución, ya que puede aumentar la interferencia electromagnética (EMI). Véase la sección de mapeo de memoria para más detalles (registro 0x05C4 y registro 0x05C6 en la tabla 39).

Bucle de bloqueo de fase

El PLL genera un reloj de serializador, que funciona a la velocidad de canal JESD204B. El estado del bloqueo de PLL se puede comprobar en el bit de estado de bloqueo de PLL (registro 0x056F, bit 7). Este bit de solo lectura alerta al usuario cuando el PLL implementa un bloqueo para un ajuste específico. El bit de control de velocidad de canal JESD204B (bit [7:4] del registro 0x056E) debe establecerse para corresponder a la velocidad de canal.

Mapa del convertidor JESD204B Tx

Para soportar diferentes modos de funcionamiento del chip, el diseño AD9694 trata a cada flujo de muestreo (real o I/Q) como si se originara en un convertidor virtual separado. Las muestras I se mapean siempre en pares, donde las muestras I se mapean a un primer convertidor virtual y las muestras Q se mapean a un segundo convertidor virtual. Con este mapeo de capa de transporte, el número de convertidores virtuales es el mismo si se utiliza un único convertidor real con un bloque de convertidor descendente digital que produce una salida I/Q, o si se utiliza una conversión descendente analógica con dos convertidores reales que

producen una salida I/O.

REVISIÓN B Página 54 de 96

La figura 90 muestra un diagrama de bloques de dos escenarios descritos para el mapeo de capa de transporte I/O.

El módulo JESD204B Tx del AD9694 admite hasta cuatro módulos DDC. Cada bloque DDC emite dos corrientes muestreadas (I/Q) de componentes de datos complejos (real + imaginario), o

Un flujo de muestra de datos reales (I). La interfaz JESD204B puede

Configurado para utilizar un máximo de ocho convertidores virtuales, dependiendo de la configuración DDC. La Figura 91 muestra el convertidor virtual cuando se usa una salida compleja y su relación con la salida DDC. La Tabla 26 muestra la asignación de convertidores virtuales para cada modo de aplicación de chip cuando la conmutación de canales está desactivada.

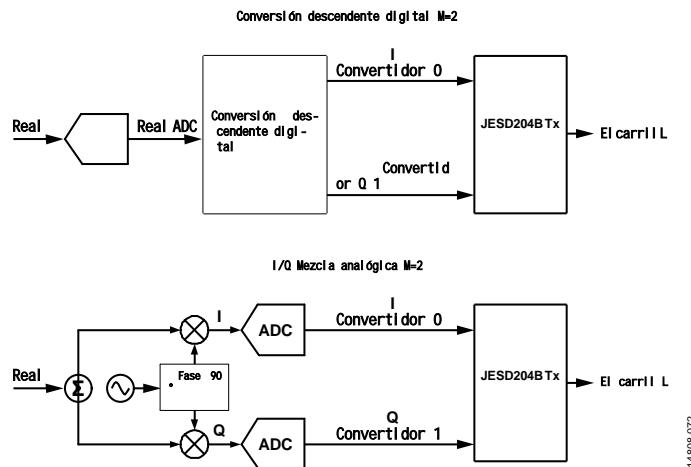


Figura 90. Mapeo de capa de transporte I/O

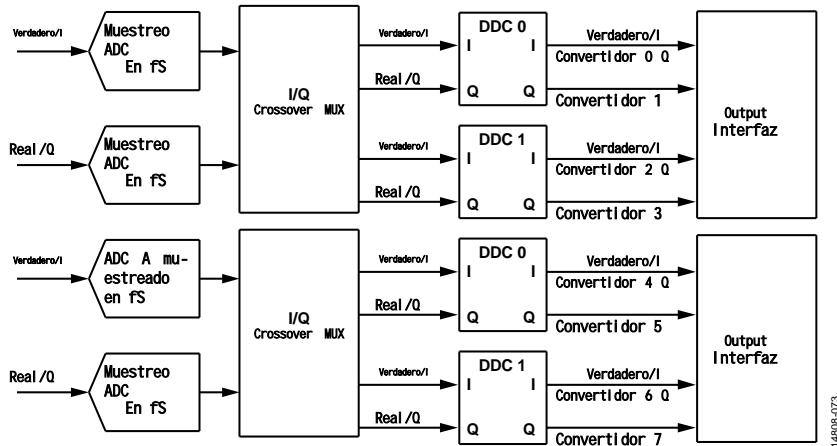


Figura 91. Mapa de convertidores virtuales y DDC

Configurar el enlace JESD204B

El AD9694 tiene dos enlaces JESD204B. Este dispositivo proporciona una manera fácil de configurar el JESD204B link a través del registro de configuración rápida JESD204B JTX (registro 0x570). Un enlace consiste en una salida serie SERDOUTAB0 \pm y SERDOUTAB1 \pm , y el segundo enlace consiste en una salida serie SERDOUTCD0 \pm y SERDOUTCD1 \pm . Los parámetros básicos para determinar la configuración del enlace son

- ? Canales por enlace (L)
- ? Número de convertidores por enlace (M)
- ? Número de octetos por fotograma (F)

Si el DDC interno se utiliza para el procesamiento digital en chip, M representa el número de convertidores virtuales. Los ajustes de mapeo del convertidor virtual se muestran en la figura 91. La velocidad máxima de canal permitida por la especificación JESD204B es de 15 Gbps. La velocidad de línea de carril se correlaciona con el parámetro JESD204B usando la siguiente fórmula:

$$\text{Lane Line Rate} = \frac{M \times N' \times \left(\frac{10}{8}\right) \times f_{OUT}}{L}$$

De las cuales:

$$f_{OUT} = \frac{f_{ADC_CLOCK}}{\text{Decimation Ratio}}$$

Cuadro 26. Mapa de convertidores virtuales (por enlace)

			0	1	2	3
1 a 2	Modo de ancho de banda completo (0x0)	Número real o complejo (0x0)	ADCA/ADCC	Muestra ADC	No utilizado	No utilizado
1	Modo DDC único (0x1)	Número real (solo I) (0x1)	Sample DDC 0 I	Sample DDC 0 B/ADC D no utilizada	No utilizado	No utilizado
2	Un modo DDC (0x1)	Número complejo (I/Q) (0x0)	Sample DDC 0 I	Sample DDC 0 I	No utilizado	No utilizado
2	Dos modos DDC (0x2)	Número real (solo I) (0x1)	Sample DDC 0 I	Sample DDC 0 I	No utilizado	No utilizado
4	Modo Dual DDC (0x2)	Número complejo (I/Q) (0x0)	Sample DDC 0 I	Sample DDC 0 I	No utilizado	No utilizado

Número de chips virtuales Modo de aplicación Chip Q Ignorar Mapa de convertidor virtual
Convertidores compatibles (Registro 0x0200, bit [3:0]) (Registro 0x0200, bit 5)

La relación de decimación (DCM) es un parámetro programado en el registro 0x0201.

Use los siguientes pasos para configurar la salida:

1. Cerrar el enlace.
2. Seleccione la opción de configuración rápida.
3. Configurar cualquier opción detallada.
4. Establecer la asignación de canales de salida (opcional).
5. Establezca otras opciones de configuración del controlador (opcional).
6. Abra el enlace.

Si la velocidad de línea de canal calculada es inferior a 6,75 Gbps, la opción de velocidad de línea baja se selecciona programando el valor 0x10 en el registro 0x056E.

Las tablas 27 y 28 muestran que para un número dado de convertidores virtuales, se admiten configuraciones de salida JESD204B con N? = 16 y N? = 8. Tenga cuidado de asegurarse de que la velocidad de línea en serie para una configuración dada esté dentro del rango soportado 1.6875 Gbps a 15 Gbps.

Para dos ejemplos que describen qué ajustes de capa de transporte de JESD204B son válidos para un modo de chip dado, véase la sección Ejemplo 1: Modo de ancho de banda completo y la sección Ejemplo 2: ADC con opción DDC (dos ADC más dos DDC por par).

Cuadro 27. Configuración de salida JESD204B para n? = 16 (por enlace)

Número de convertidores virtuales soportados (el mismo valor que M)	JESD204BJTX Configuración rápida (registro 0x0570)	JESD204B Velocidad del canal serie % 1	Configuración de la capa de transporte JESD204B 2								
			L	Metros	F	S	HD	N	N?	CS	K ³
1	0x01 0x40 0x41	20 × f _{OUT} 10 × f _{OUT} 10 × f _{OUT}	1	1	2	1	0	De 8 a 16 años	16	0 a 3	Sólo válido K Valores Soporte divisible por 4
			2	1	1	1	1	De 8 a 16 años	16	0 a 3	
			2	1	2	2	0	De 8 a 16 años	16	0 a 3	
2	0x0A 0x49	40 × f _{OUT} 20 × f _{OUT}	1	2	4	1	0	De 8 a 16 años	16	0 a 3	
			2	2	2	1	0	De 8 a 16 años	16	0 a 3	
4	0x13 0x52	80 × f _{OUT} 40 × f _{OUT}	1	4	8	1	0	De 8 a 16 años	16	0 a 3	
			2	4	4	1	0	De 8 a 16 años	16	0 a 3	

¹ f_{OUT} (velocidad de muestreo de salida) es la relación de velocidad de muestreo ADC/decimación de chip. La velocidad de línea serie JESD 204B debe ser 1687,5 Mbps y 15,000 Mbps. Cuando la velocidad del canal en serie es 15 Gbps y > 13,5 Gbps, el bit [7:4] en el registro 0x056E se establece a 0x3. Cuando la velocidad del canal en serie es 13,5 Gbps y > 6,75 Gbps, el bit [7:4] en el registro 0x056E se establece a 0x0. Cuando la velocidad del canal en serie es 6,75 Gbps y > 3,375 Gbps, el bit [7:4] en el registro 0x056E se establece a 0x1. Establecer el bit [7:4] en el registro 0x056E a 0x5 cuando la velocidad del canal en serie es 3,375 Gbps y 1687,5 Mbps.

² Las instrucciones de la capa de transporte JESD204B se describen en la sección Configuración de la interfaz digital AD9694.

³ Para F = 1, K = 20, 24, 28 y 32. Para F = 2, K = 12, 16, 20, 24, 28 y 32. Para F = 4, K = 8, 12, 16, 20, 24, 28 y 32. Para F = 8 y F = 16, K = 4, 8, 12, 16, 20, 24, 28 y 32.

Cuadro 28. Configuración de salida JESD204B para n? = 8 (por enlace)

Número de convertidores virtuales soportados (el mismo valor que M)	JESD204B Configuración rápida (registro 0x0570)	Velocidad del canal serie % 1	Configuración de la capa de transporte JESD204B 2								
			L	Metros	F	S	HD	N	N?	CS	K ³
1	0x00 0x01 0x40 0x41 0x42	10 × f _{OUT} 10 × f _{OUT} 5 × f _{OUT} 5 × f _{OUT} 5 × f _{OUT}	1	1	1	1	0	7 a 8	8	0 a 1	Sólo válido K Valor Soporte divisible por 4
			1	1	2	2	0	7 a 8	8	0 a 1	
			2	1	1	2	0	7 a 8	8	0 a 1	
			2	1	2	4	0	7 a 8	8	0 a 1	
			2	1	4	8	0	7 a 8	8	0 a 1	
2	0x09 0x48 0x49	20 × f _{OUT} 10 × f _{OUT} 10 × f _{OUT}	1	2	2	1	0	7 a 8	8	0 a 1	
			2	2	1	1	0	7 a 8	8	0 a 1	
			2	2	2	2	0	7 a 8	8	0 a 1	

¹ f_{OUT} = velocidad de muestreo de salida es la relación de velocidad de muestreo ADC/decimación de chip. La velocidad de línea serie JESD 204B debe ser 1687,5 Mbps y 15,000 Mbps. Cuando la velocidad del canal en serie es 15 Gbps y > 13,5 Gbps, el bit [7:4] en el registro 0x056E se establece a 0x3. Cuando la velocidad del canal en serie es 13,5 Gbps y > 6,75 Gbps, el bit [7:4] en el registro 0x056E se establece a 0x0. Cuando la velocidad del canal en serie es 6,75 Gbps y > 3,375 Gbps, el bit [7:4] en el registro 0x056E se establece a 0x1. Establecer el bit [7:4] en el registro 0x056E a 0x5 cuando la velocidad del canal en serie es 3,375 Gbps y 1687,5 Mbps.

² Las instrucciones de la capa de transporte JESD204B se describen en la sección Configuración de la interfaz digital AD9694.

³ Para F = 1, K = 20, 24, 28 y 32. Para F = 2, K = 12, 16, 20, 24, 28 y 32. Para F = 4, K = 8, 12, 16, 20, 24, 28 y 32. Para F = 8 y F = 16, K = 4, 8, 12, 16, 20, 24, 28 y 32.

Ejemplo 1: modo de ancho de banda completo

En este ejemplo, el modo de aplicación de chip es un modo de ancho de banda completo (véase la figura 92), como sigue:

Dos convertidores de 14 bits con una velocidad de 500 MSPS

Modo de capa de aplicación de ancho de banda total

- Sin extracción

La configuración de salida de JESD204B es la siguiente:

Se requieren dos convertidores virtuales (ver Tabla 27)

Tasa de muestreo de salida (f_{OUT}) = $500/4=125$ MSPS

Las configuraciones de salida admitidas por JESD 204B (ver Tabla 27) incluyen lo siguiente:

- $n? = 16$ bits
- $N = 16$ bits
- $L=2$, $M=2$ y $F=2$ (configuración rápida=0x48)
- $CS=0$ a 2
- $K = 32$

Velocidad de línea serie de salida = 10 Gbps por canal

Ejemplo 2: ADC con opción DDC (dos ADC más dos DDC por par)

En este ejemplo, el modo de aplicación de chip es el modo DDC dual (véase la figura 93), como se muestra a continuación:

Dos convertidores de 14 bits con una velocidad de 500 MSPS

Dos modos de capa de aplicación DDC con salida compleja (I/Q)

Relación de decimación de chips = 4

- DDC decimation ratio = 4 (ver tabla 27)

La configuración de salida de JESD204B es la siguiente:

- Convertidores virtuales requeridos = 4 (ver Tabla 27)

Tasa de muestreo de salida (f_{OUT}) = $500/4=125$ MSPS

- $n? = 16$ bits

- $N = 14$ bits

- $L=1$, $M=4$ y $F=8$ (configuración rápida=0x13)

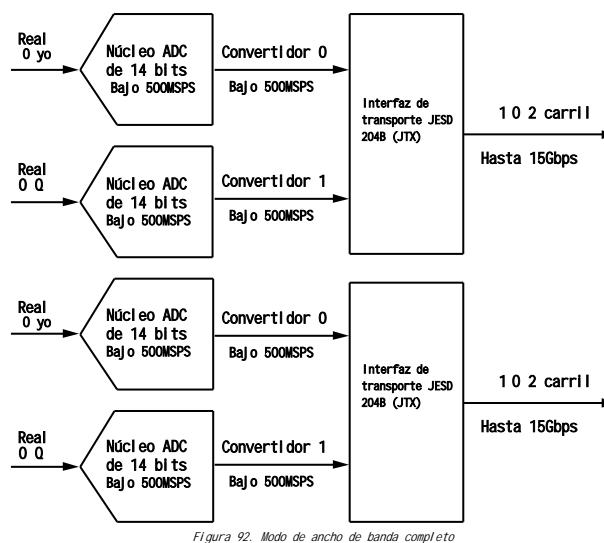
- $CS=0$ a 1

- $K = 32$

Velocidad de línea serie de salida = 10 Gbps por canal ($L=1$) o 5 Gbps por canal ($L=2$)

Para $L=1$, establezca el bit de registro 0x056E [7:4] a 0x1. Para $L=2$, establezca el bit de registro 0x056E [7:4] a 0x5.

El ejemplo 2 demuestra la flexibilidad de la configuración digital y de canal del AD9694. La velocidad de muestreo es de 500 MSPS, pero las salidas se combinan todas en uno o dos canales, dependiendo de las capacidades de velocidad de entrada/salida del dispositivo receptor.



14808-0774

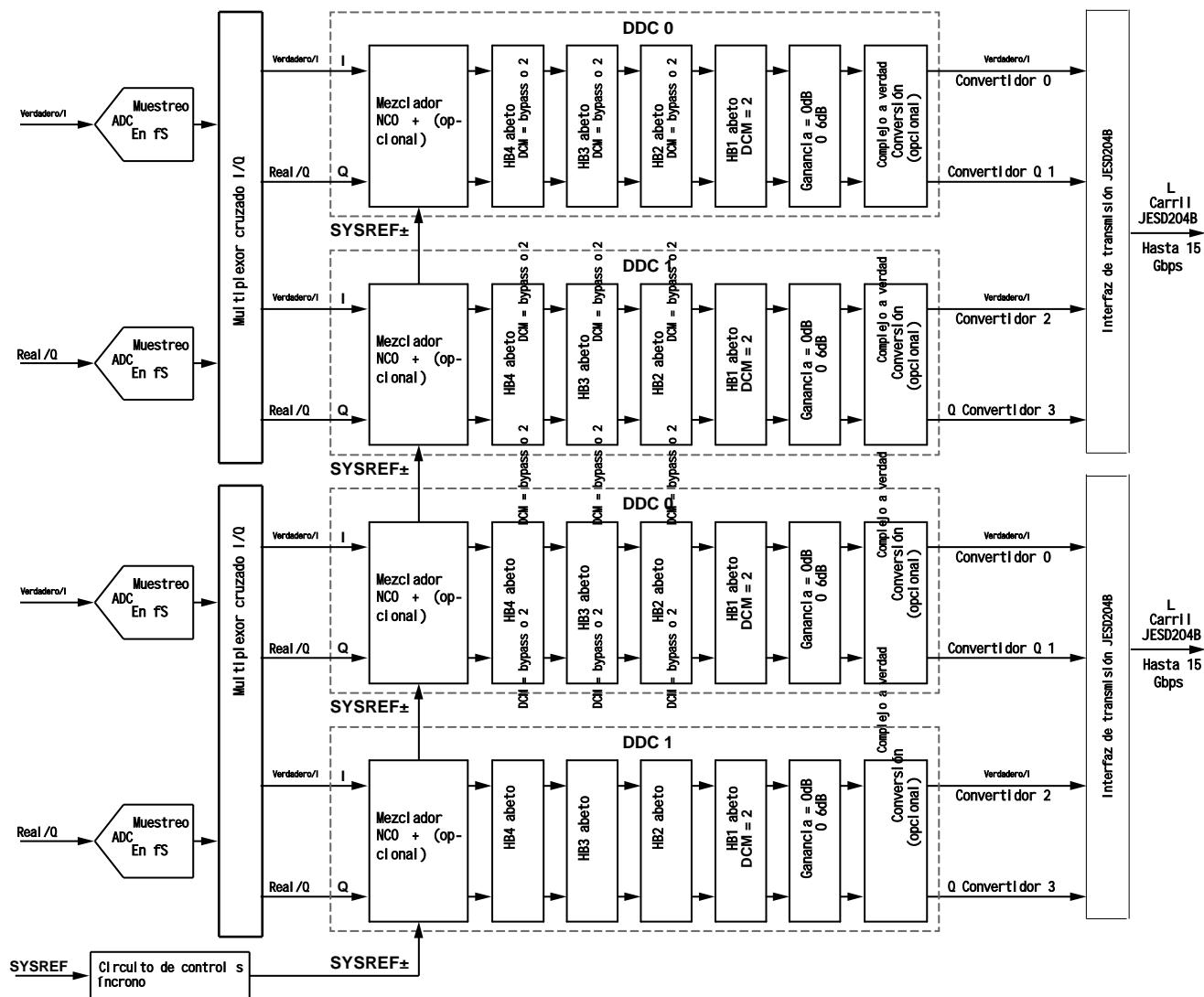


Figura 93. Dos ADC más dos modos DDC por par

Retraso

Latencia total de extremo a extremo

La latencia total del AD9694 depende del modo de aplicación del chip y de la configuración del JESD204B. Para cualquier combinación dada de estos parámetros, el retraso es determinista, sin embargo, el valor de este retraso determinista debe calcularse como se describe en la sección de cálculo de retraso de ejemplo.

La Tabla 29 muestra la latencia combinada a través del ADC y el DSP en diferentes modos de aplicación de chip admitidos por el AD9694. La Tabla 30 muestra los tiempos de latencia para que cada modo de aplicación pase a través del bloque JESD204B basándose en la relación M/L. Para las tablas 29 y 30, el retraso es típico y se expresa en unidades de reloj codificado. El retraso a través del bloque JESD204B no depende del tipo de datos de salida (real o complejo).

Por lo tanto, los tipos de datos no se incluyen en la Tabla 30. Para determinar el retraso total, seleccione el retraso ADC+DSP apropiado de la Tabla 29 y añádelo al retraso JESD204B apropiado de la Tabla 30. En la siguiente sección se proporcionan ejemplos de cálculos.

Ejemplo de cálculo de retraso

Configuración ejemplar 1

En este ejemplo, el modo de aplicación ADC es ancho de banda completo con las siguientes condiciones:

- ? Productos efectivos
 - ? L=4, M=2, F=1, S=1 (modo JESD204B)
 - ? Relación M/L = 0,5
- Retardo = 31 + 25 = 56 relojes codificados

Configuración ejemplar 2

En este ejemplo, el ADC aplica la extracción de modo 4, DCM4, con las siguientes condiciones:

- ? Salida compleja
 - ? L=4, M=2, F=1, S=1 (modo JESD204B)
 - ? Relación M/L = 0,5
- Latencia = 162 + 88 = 250 relojes codificados

Retraso de referencia LMFC

Algunos proveedores de FPGA pueden requerir que el usuario final conozca el retraso de la referencia LMFC para realizar el ajuste de retraso determinista apropiado. Si se desea, los valores de retraso en las tablas 29 y 30 pueden usarse para simular los valores de retraso de la entrada a la LMFC y los valores de retraso de la LMFC a la salida de datos.

Cuadro 29. Retraso del módulo ADC DSP (número de relojes de muestreo)

Modo de aplicación de chip 1	Filtros habilitados	Latencia ADC y DSP
Ancho de banda completo	No es Aplicable	31
DCM1 (real) DCM2 (complejo)	HB1	94
DCM2 (real) DCM4 (complejo)	HB2 + HB1	162
DCM4-Real DCM8 (complejo)	HB3 +HB2 + HB1	292
DCM8 (real) DCM16 (complejo)	HB4 + HB3 + HB2 + HB1	548

¹ DCMx representa la relación de decimación.

Cuadro 30. Retraso a través del bloque JESD204B (número de relojes de muestra)

Modo de aplicación de chip	Relación M/L 1,2				
	0.5	1	2	4	8
Full BW	25	14	7	4	2
DCM1	25	14	7	N/A	N/A
DCM2	46	27	14	7	N/A
DCM4	88	50	27	14	7
El DCM8	172	96	50	27	14
El DCM16	339 ^{3,4}	188 ³	96 ³	50 ^d	27 ³

¹ La relación M/L es el número de convertidores dividido por el número de canales configurados.

² N/A significa no aplicable, lo que significa que el modo de aplicación no es compatible con las relaciones M/L enumeradas.

³ Indica que el modo de aplicación en las relaciones M/L enumeradas solo se admite en el modo de salida complejo.

⁴ Indica que el modo de aplicación en la relación M/L enumerada solo se admite en el modo de salida real.

Deterministic retard

Ambos extremos del enlace JESD204B contienen varios dominios de reloj distribuidos en cada sistema. El recorrido de datos de un dominio de reloj a otro dominio de reloj puede causar un retardo ambiguo en el enlace JESD204B. Estas ambigüedades dan como resultado retardos irrepetibles en el enlace desde un ciclo de alimentación o reinicio de enlace al siguiente. La sección 6 de la especificación JESD204B aborda el problema del retardo determinista de los mecanismos definidos como subclase 1 y subclase 2.

El AD9694 admite las operaciones de subclase 0 y subclase 1 de JESD204B. El registro 0x0590, bit [7:5] establece el modo de subclase del AD9694, cuyo valor predeterminado se establece en el modo de operación de la subclase 1 (registro 0x590, bit [7:5] = 001). Si el retardo determinista no es un requisito del sistema, se recomienda operar con la subclase 0 y puede que no se requiera la señal SYSREF \pm . Incluso en el modo de subclase 0, la señal SYSREF \pm puede ser necesaria en aplicaciones en las que varios dispositivos AD9694 deben sincronizarse entre sí (consulte la sección Modo de marca de tiempo para más información).

Subclase 0 Operaciones

Si no se requiere sincronización multichip (registro 0x590, bit [7:5] = 000) mientras se opera en modo de subclase 0, la entrada SYSREF \pm puede permanecer desconectada. En este modo, la relación del reloj JESD204B entre el transmisor JESD204B y el receptor es arbitraria, pero no afecta a la capacidad del receptor para capturar y alinear los canales dentro del enlace.

Subclase 1 Operaciones

El protocolo JESD204B organiza las muestras de datos en octetos, tramas y múltiples tramas, como se describe en la sección de capa de transporte. La LMFC está sincronizada con el comienzo de estas múltiples tramas. En la operación de subclase 1, la señal SYSREF \pm se utiliza para sincronizar el LMFC de cada dispositivo en el enlace o a través de múltiples enlaces (en AD9694, SYSREF \pm también sincroniza un divisor de muestreo interno); Véase la figura 94. El receptor JESD204B utiliza límites de múltiples tramas y almacenamiento intermedio para lograr un retardo consistente a través de canales (incluso múltiples canales).

Dispositivo), e implementa un retardo fijo entre el ciclo de alimentación y la condición de reinicio del enlace.

Requisito de retardo determinista

Se requieren varios factores clave para implementar un retardo determinista en un sistema de subclase 1 de JESD204B.

- ? SYSREF \pm La desviación de la distribución de señal dentro del sistema debe ser menor que la incertidumbre requerida para el sistema.
- ? SYSREF \pm debe cumplir con los requisitos de configuración y tiempo de retención para cada instrumento en el sistema.
- ? La variación de retardo total para todos los canales, enlaces y dispositivos debe ser 1 ciclo LMFC (tLMFC) (véase la figura 94). Este retardo total incluye tanto retardos variables como variaciones en los retardos fijos de canal a canal, de enlace a enlace y de dispositivo a dispositivo en el sistema.

Establecer el registro de retardo determinista

La memoria intermedia de recepción del JESD 204B en el dispositivo lógico almacena en memoria intermedia los datos que comienzan en el límite de la LMFC. Si la latencia de enlace total en el sistema se acerca a un múltiplo entero del ciclo de LMFC, el tiempo para que los datos lleguen a la memoria intermedia de recepción puede superponerse con el límite de LMFC desde un ciclo de alimentación hasta el siguiente. Para asegurar una latencia determinista en este caso, el ajuste de fase de la LMFC debe realizarse en el transmisor o en el receptor. Típicamente, el LMFC del receptor se ajusta para adaptarse a la memoria intermedia de recepción. En el AD9694, este ajuste se puede realizar usando el registro de desplazamiento JTX LMFC (registro 0x0578, bit [4:0]). Este registro retarda el LMFC en incrementos de reloj de trama, dependiendo del parámetro F (número de octetos por canal por trama). Para F=1, cada cuarto ajustes (0, 4, 8, ...) da como resultado un desplazamiento de reloj de una trama. Para F=2, cada otro ajuste (0, 2, 4, ...) da como resultado un desplazamiento de reloj de una trama. Para todos los demás valores de F, cada ajuste da como resultado un desplazamiento de reloj de un cuadro. La figura 95 ilustra que la LMFC local del AD9694 puede retrasarse para retrasar el tiempo de llegada de datos en el receptor cuando la latencia de enlace se acerca al límite de la LMFC. La figura 96 muestra cómo se retarda la LMFC del receptor para acomodar la temporización de la memoria intermedia de recepción. Para obtener más información sobre cómo realizar este ajuste, consulte la guía del usuario del receptor JESD204B aplicable.

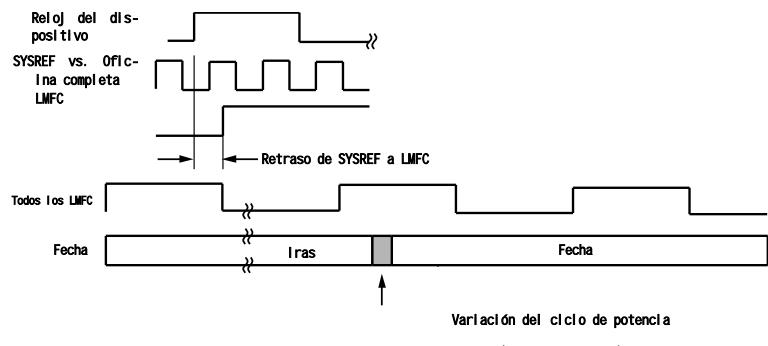


Figura 94. SYSREF y LMFC

REVISIÓN B Página 61 de 96

Si la latencia total en el sistema no se aproxima a un múltiplo entero del ciclo de LMFC, o si se ha realizado un ajuste apropiado de la fase de LMFC en la fuente de reloj, todavía es posible tener una latencia variable de un ciclo de alimentación al siguiente. En este caso, se comprueba si no se cumplen los requisitos de tiempo de ajuste y retención de $SYSREF_{\pm}$ mediante la lectura del registro de monitor de ajuste/retención de $SYSREF_{\pm}$ (registro 0x0128). Esta característica se describe en detalle en la sección SysRef \pm Setup/Hold Window Monitor.

Si el registro de lectura 0x0128 indica un problema de temporización, se pueden realizar algunos ajustes en el AD9694 como sigue:

- Utilice el bit de selección de transición $SYSREF_{\pm}$ (registro 0x0120, bit 4) para cambiar el nivel $SYSREF_{\pm}$ utilizado para la alineación.
- Utilice el bit de selección de borde CLK_{\pm} (registro 0x0120, bit 3) para cambiar el borde CLK_{\pm} utilizado para capturar $SYSREF_{\pm}$.

Ambas opciones se describen en el capítulo SysRef \pm Control Features. Si ninguna de estas medidas ayuda a conseguir tiempos de ajuste y retención aceptables, puede ser necesario ajustar la fase de $SYSREF_{\pm}$ y/o el reloj del dispositivo (CLK_{\pm}).

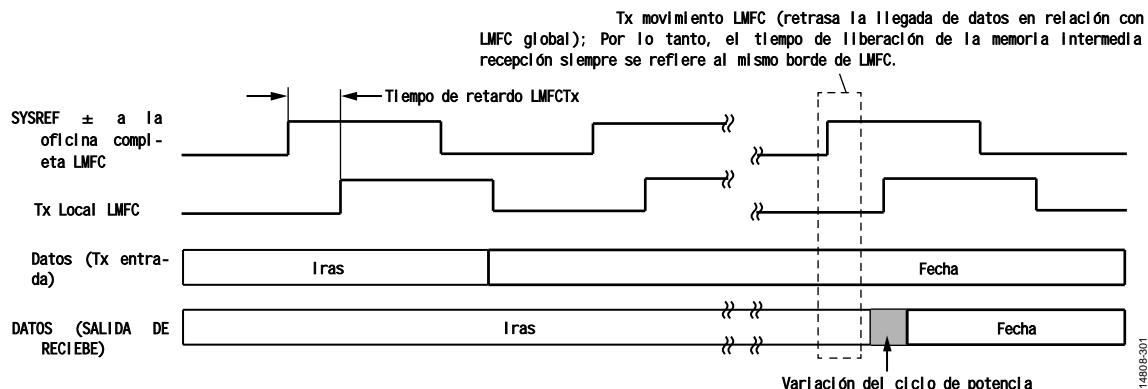


Figura 95. Ajuste JESD204B TxLMFC en AD9694

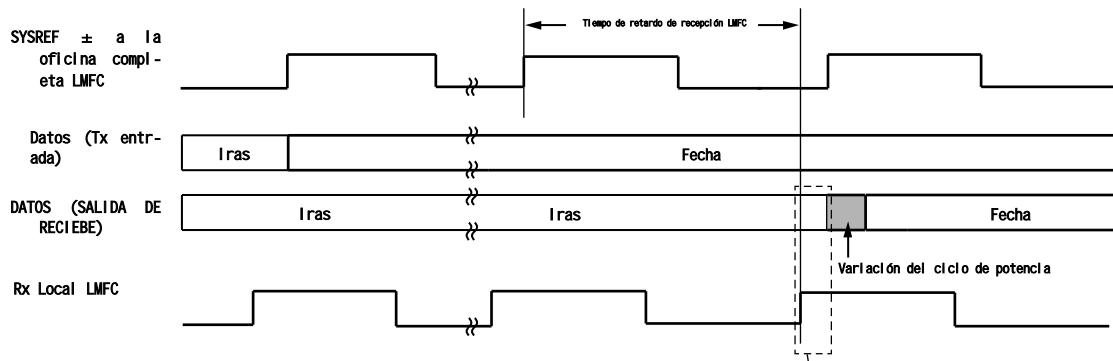


Figura 96. Ajuste JESD204B RXLMFC en dispositivos lógicos

14808-301

14808-302

Sincronización multichip

El diagrama de flujo en la Figura 98 representa el mecanismo interno de la sincronización de múltiples chips en el AD9694. Dependiendo de la determinación del bit de modo de sincronización (bit 0) en el registro 0x1FF, hay dos maneras de realizar la sincronización multichip. Cada método implica una aplicación diferente de la señal $SYSREF\pm$.

Modo normal

El estado predeterminado del bit de modo de sincronización es 0x0, lo que configurará el AD9694 para la sincronización del chip de muestreo. El estándar JESD204B especifica el uso de $SYSREF\pm$ para proporcionar un retraso determinista en un único enlace. El mismo concepto, cuando se aplica a un sistema con una pluralidad de convertidores y dispositivos lógicos, también puede proporcionar la sincronización de múltiples chips. En la figura 98, este modo de sincronización se denomina modo normal. Siguiendo el procedimiento descrito en la Figura 98 asegura que el AD9694 está configurado correctamente. Se recomienda a los usuarios consultar la Guía de propiedad intelectual del usuario del dispositivo lógico para asegurarse de que el receptor JESD204B está configurado correctamente.

Modo de marca de tiempo

Para el modo de operación de ancho de banda completo ALLAD 9694, la entrada $SYSREF\pm$ también se puede utilizar para marcar el tiempo de las muestras. La marca de tiempo es otra forma de lograr la sincronización con múltiples canales y múltiples dispositivos. Esta marca de tiempo es particularmente efectiva cuando se sincronizan múltiples dispositivos con uno o más dispositivos lógicos. El dispositivo lógico simplemente almacena en memoria intermedia el flujo de datos, identifica las muestras marcadas en el tiempo y las alinea. Cuando el bit de modo de sincronización (registro 0x01FF, bit 0) es

Cuando se establece en 0x1, el método de marca de tiempo se utiliza para la sincronización de múltiples canales y/o dispositivos. En este modo, $SYSREF\pm$ restablece el divisor de muestras y el reloj JESD204B. Cuando el modo de sincronización se establece en 0x1, el reloj no se restablece; En su lugar, la muestra coincidente se marca en el tiempo usando el bit de control JESD204B de esta muestra. Para operar en el modo Timestamp, se requieren los siguientes ajustes adicionales:

- ? $SYSREF \pm$ habilitación consecutiva o N veces (registro 0x0120, bits [2:1] = 1 o 2 decimales)
- ? Debe habilitarse al menos un bit de control (registro 0x58F, bit [7:6] = 1, 2 o 3 decimales)
- ? Establezca la función de uno de los bits de control en $SYSREF\pm$ de la siguiente manera:
 - ? Registro 0x0559, si se utiliza el bit de control 0, bit [2:0] = 5
 - ? Registro 0x0559, si se utiliza el bit de control 1, bit [6:4] = 5
 - ? Registro 0x055A, si se utiliza el bit de control 2, bit [2:0] = 5

La Figura 97 muestra cómo las muestras de entrada que coinciden con $SYSREF\pm$ se marcan en el tiempo y finalmente se salen del ADC. En este ejemplo, hay dos bits de control, y el bit de control 0 indica qué muestra coincide con el borde ascendente $SYSREF\pm$. El retraso de la tubería es el mismo para cada canal. Si se desea, se puede usar un registro de retraso $SYSREF\pm$ timestamp (registro 0x0123) para ajustar la temporización de las muestras marcadas en el tiempo.

Cualquier modo de operación AD9694 que utilice decimación no admite marcas de tiempo.

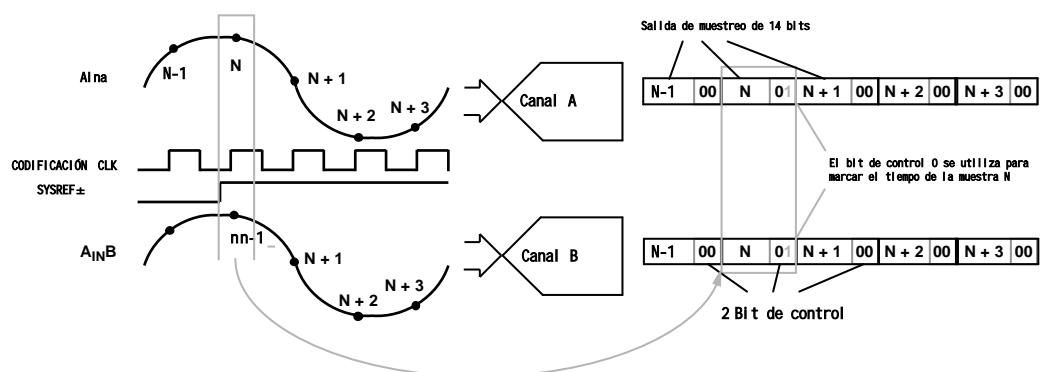


Figura 97. Timestamp – $CS = 2$ (registro 0x058F, bit [7:6] = 2 bits decimales), el bit de control 0 es $SYSREF \pm$ (registro 0x0559, bit [2:0] = 5 bits decimales)

14808-303

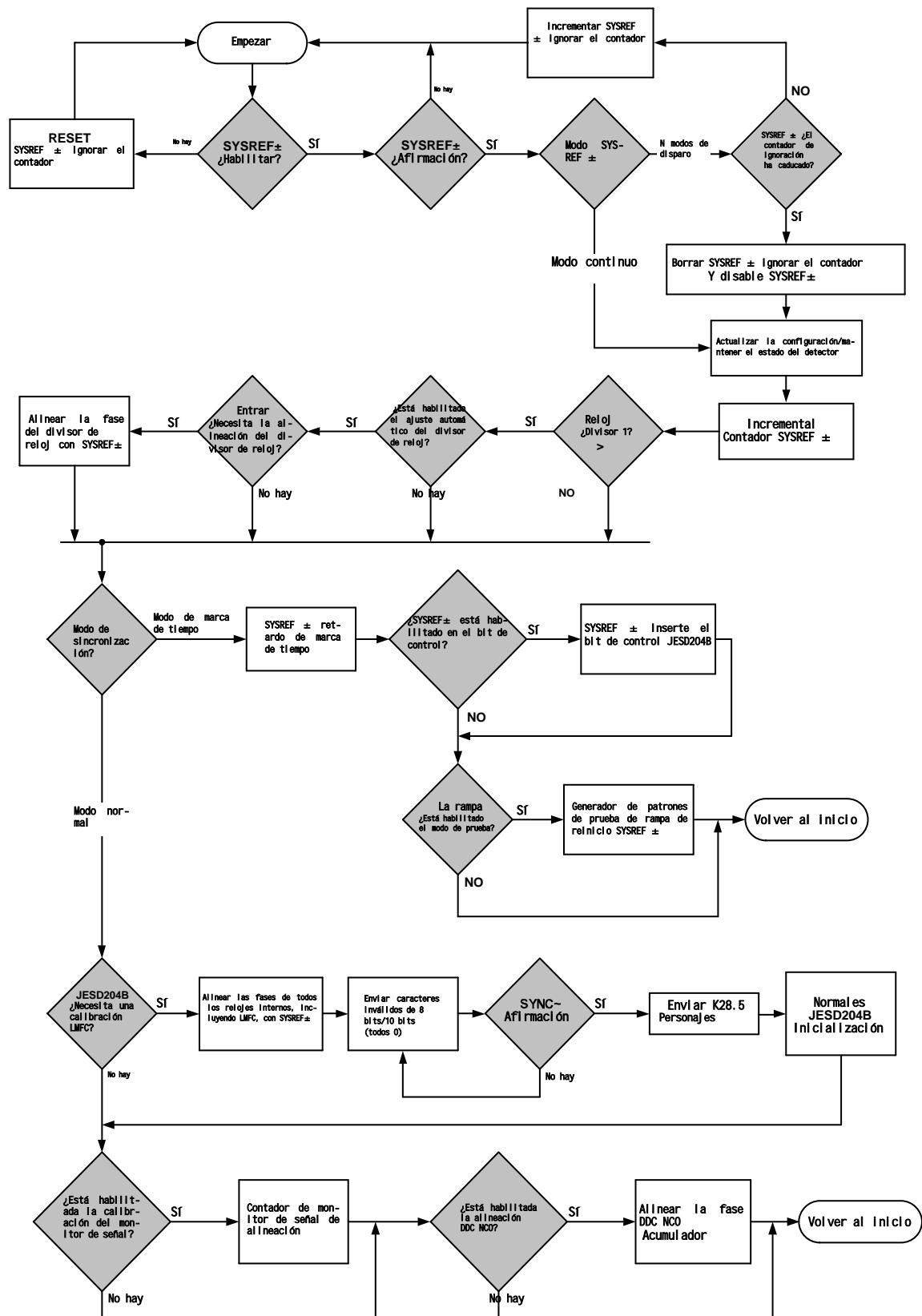


Figura 98. SYSREF± escena de captura y sincronización multi chip

SYSREF \pm entrada

La señal de entrada $SYSREF \pm$ se utiliza como referencia del sistema de alta precisión para retardo determinista y sincronización multichip. El AD9694 acepta señales de entrada individuales o periódicas. El bit de selección de modo $SYSREF \pm$ (registro 0x0120, bit [2:1]) selecciona el tipo de señal de entrada y activa la máquina de estado $SYSREF \pm$ cuando se establece. Si está en un modo de disparo único (o N veces) (registro 0x0120, bit [2:1] = 2 decimales), el bit de selección de modo $SYSREF \pm$ se borra automáticamente después de detectar la transición $SYSREF \pm$ apropiada. El ancho de pulso debe tener un ancho mínimo de dos $CLK \pm$ ciclos. Si el divisor de reloj (registro 0x010B, bit [2:0]) se establece a un valor distinto de 1, este requisito de ancho de impulso mínimo se multiplica por la relación de división (por ejemplo, si se establece a dividir 8, el ancho de impulso mínimo es de 16 $CLK \pm$ ciclos). Cuando se usa una señal $SYSREF \pm$ continua (registro 0x0120, bit [2:1] = 1 decimal), el período de la señal $SYSREF \pm$ debe ser un múltiplo entero de LMFC. El LMFC se puede exportar usando la siguiente ecuación:

$$LMFC = \text{reloj ADC/S} \times K$$

De las cuales:

S es el parámetro JESD204B para el número de muestras por convertidor.

K es un parámetro JESD204B que se utiliza para el número de tramas por multitrama.

Las señales $SYSREF \pm$ continuas no se recomiendan típicamente porque las señales $SYSREF \pm$ periódicas pueden acoplarse con la trayectoria de muestreo, creando por lo tanto espúrias en el espectro.

Cuando se encuentra en modo de sincronización de muestras (modo normal), el divisor de reloj de entrada, el DDC, el bloque de monitor de señal y el enlace JESD204B se sincronizan utilizando la entrada $SYSREF \pm$ (registro 0x01FF, bit 0=0x0). La entrada $SYSREF \pm$ también se puede utilizar para marcar el tiempo de las muestras del ADC o proporcionar un mecanismo para sincronizar múltiples dispositivos AD9694 en un sistema. Para obtener el nivel más alto de precisión de temporización, $SYSREF \pm$ debe cumplir con los requisitos de configuración y retención asociados con la entrada $CLK \pm$. Varias características

Se puede utilizar en AD9694 para asegurar que se cumplen estos requisitos. Estas características se describen en la sección $SysRef \pm$ Características de control.

CARACTERÍSTICAS DE CONTROL $SYSREF \pm$

$SYSREF \pm$ se utiliza junto con el reloj de entrada ($CLK \pm$) como parte de la interfaz de temporización de sincronización de fuente y requiere requisitos de temporización de establecimiento y mantenimiento

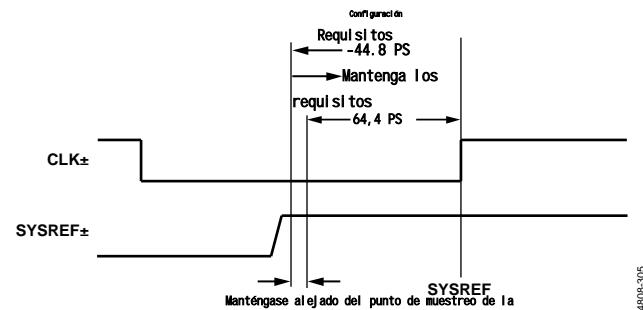


Figura 99. $SYSREF \pm$ Requisitos de tiempo de ajuste y mantenimiento. $SYSREF \pm$ Utiliza la conversión de bajo a alto del reloj de borde ascendente (predeterminado)

14808-305

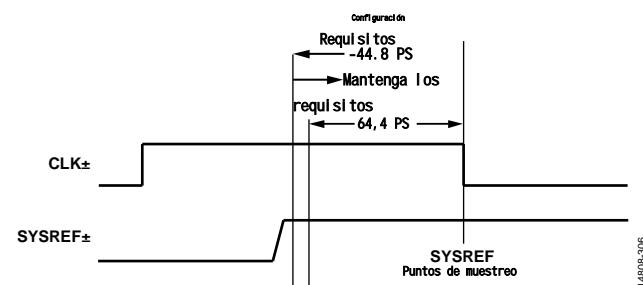


Figura 100. $SYSREF \pm$ Transición baja a alta capturada con reloj de borde descendente (registro 0x0120, bit 4=1'b0, registro 0x0120, bit 3=1'b1)

14808-306

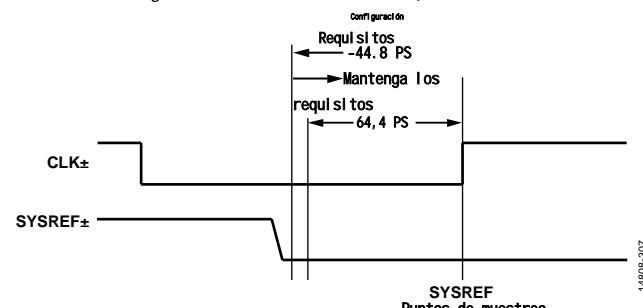


Figura 101. $SYSREF \pm$ Conversión de alto a bajo capturada con el reloj de borde ascendente (Registro 0x0120, bit 4=1'b1, Registro 0x0120, bit 3=1'b0)

14808-307

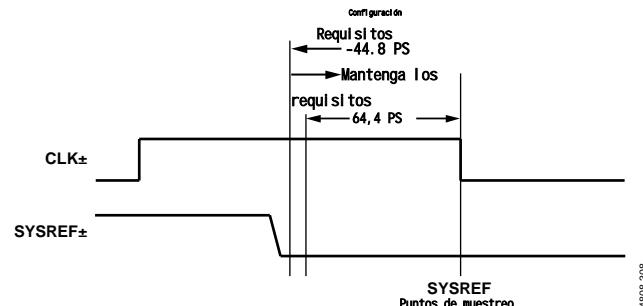


Figura 102. $SYSREF \pm$ Transición de alto a bajo capturada usando el reloj de borde descendente (registro 0x0120, bit 4=1'b1, registro 0x0120, bit 3=1'b1)

14808-308

de -44,8 ps y 64,4 ps con respecto a $CLK\pm$ (véase la Figura 99). El AD9694 tiene tres características que ayudan a los clientes a cumplir con estos requisitos.

En primer lugar, el evento de muestra $SYSREF\pm$ puede definirse como una transición sincrónica de bajo a alto o una transición sincrónica de alto a bajo.

En segundo lugar, el AD9694 permite que la señal $SYSREF\pm$ se muestre utilizando el borde ascendente o el borde descendente del reloj de entrada. La figura 99, la figura 100, la figura 101 y la figura 102 muestran las cuatro combinaciones posibles.

En tercer lugar, el AD9694 es capaz de ignorar un número programable (hasta 16) de eventos $SYSREF \pm$ (la función de ignoración $SYSREF \pm$ se puede habilitar estableciendo el registro de modo $SYSREF \pm$ (registro 0x0120, bit [2:1]) en modo 2'b10, N shot). Esta característica es útil para procesar señales periódicas $SYSREF \pm$ que requieren estabilización en el tiempo después de la puesta en marcha. Ignorar $SYSREF \pm$ hasta que el reloj en el sistema se haya estabilizado evita disparos inexactos de $SYSREF \pm$. La Figura 103 muestra un ejemplo de la característica $SYSREF \pm$ ignore cuando se ignoran los tres eventos $SYSREF \pm$.

SYSREF \pm Configuración/mantenimiento del monitor de ventana

Para asegurar una captura efectiva de señal $SYSREF$, el AD9694 tiene un monitor de ventana $SYSREF \pm$ Set/Hold. Esta característica permite al diseñador del sistema determinar la posición de la señal $SYSREF \pm$ con respecto a la señal $CLK \pm$ mediante una métrica de margen de ajuste/retención en la interfaz de retorno de lectura mapeada en memoria. Las figuras 104 y 105 muestran los valores de estado de ajuste y mantenimiento para las diferentes etapas de $SYSREF \pm$. Se establece el estado en el que el detector devuelve la señal $SYSREF+$ antes del borde $CLK+$ y se mantiene el estado en el que el detector devuelve la señal $SYSREF$ después del borde $CLK+$. El registro 0x0128 almacena el estado de $SYSREF \pm$ y permite al usuario saber si la señal $SYSREF \pm$ ha sido capturada por el ADC. La Tabla 31 muestra el contenido del registro 0x128 y una descripción de cómo interpretarlos.

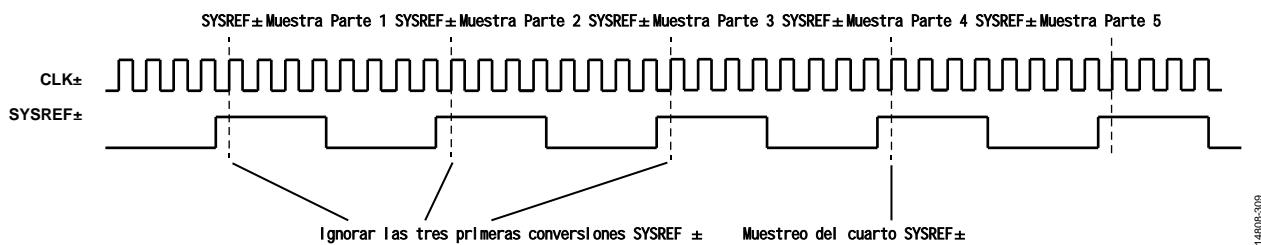


Figura 103. Ejemplo de ignoración de $SYSREF \pm$ N disparos de ignorar selección del contador, registro 0x0121, bits [3:0] = 3 (decimales)

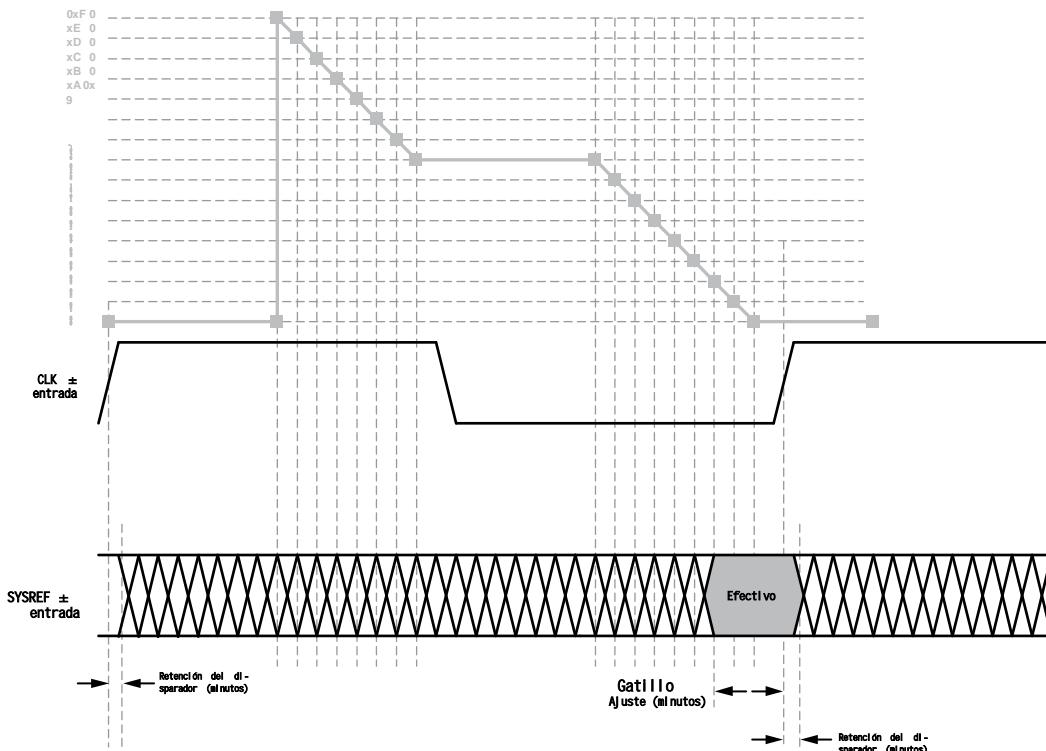


Figura 104. $SYSREF \pm$ Set Detector

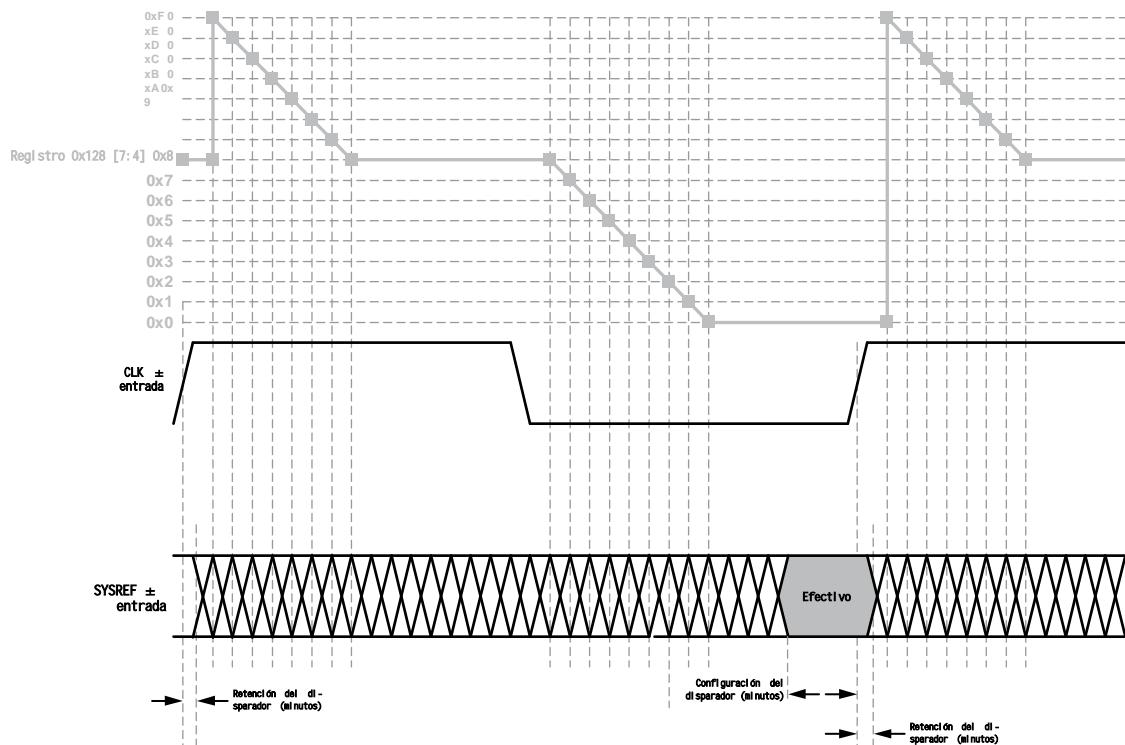


Figura 105. Detector de retención SYSREF ±

14898-312

Cuadro 31. SYSREF ± Monitor de configuración/retención, registro 0x0128

Registro 0x0128, bits [7:4] en estado de mantenimiento	Registro 0x0128, bit [3:0] establece el estado	Descripción
0x0	0x0 a 0x7 0x8	Posibles errores de configuración. Cuanto menor sea este número, menor será el margen de ajuste. Sin errores de ajuste o retención (márgenes óptimos de retención).
0x0 a 0x8 0x8	0x9 a 0xF 0x0	Sin errores de ajuste o retención (márgenes óptimos de ajuste y retención).
0x8	0x0	Sin errores de ajuste o mantenimiento (márgenes óptimos).
0x9 a 0xF 0x0	0x0	Posibles errores de retención. Cuanto mayor sea la cifra, menor será el margen de retención. Posibles errores de configuración o mantenimiento.

Modo de prueba

Modo de prueba ADC

El AD9694 tiene una variedad de opciones de prueba para facilitar la implementación a nivel de sistema. El AD9694 tiene un modo de prueba ADC disponible en el registro 0x0550. Estos patrones de ensayo se describen en la Tabla 32. Cuando el modo de prueba de salida está habilitado, la parte analógica del ADC se desconecta del módulo de extremo posterior digital y el modo de prueba se ejecuta a través del módulo de formateo de salida. Algunos modos de prueba requieren formateo de salida, otros no. El generador de ruido pseudoaleatorio (PN) para la prueba de secuencia PN se puede restablecer estableciendo el bit 4 o el bit 5 del registro 0x0550. Estas pruebas pueden realizarse con o sin señal analógica (ignorando la señal analógica si está presente); Sin embargo, requieren un reloj codificado.

Si el modo de aplicación está configurado para seleccionar el modo de operación DDC, el modo de prueba debe habilitarse para cada DDC habilitado. El modo de prueba puede habilitarse a través de los bits 2 y 0 del registro 0x0327 y del registro 0x0347, dependiendo del DDC seleccionado. Los datos I utilizan el modo de prueba seleccionado para el canal A y los datos Q utilizan el modo de prueba seleccionado para el canal B. Solo para DDC 3, los datos I utilizan el patrón de prueba del canal A, mientras que los datos Q no salen en el patrón de prueba. Para obtener más información, consulte las notas de aplicación del AN-877, Interfaz con ADC de alta velocidad a través de SPI.

Cuadro 32. Modo de prueba ADC

Secuencia de bits del patrón de prueba de salida	Nombre del patrón	Expresión	Valor predeterminado/valor de semilla	Muestra (N, N+1, N+2, ...)
0000	Desactivado (predeterminado)	N/A 00 000 01	No aplicable	No aplicable
0001	Rango medio corto	1111 1111 1111	No aplicable	No aplicable
0010	Positivo Rango completo corto	10 0000 0000 0000	No aplicable	No aplicable
0011	Tablero de ajedrez corto a escala completa negativa Secuencia PN larga Secuencia PN corta de palabra única/palabra cero Combinación Entrada de usuario	10 1010 1010 1010 $x^{23} + x^{18} + 1$ $x^9 + x^5 + 1$ 11 1111 1111 1111 Registro 0x0551 a Registro 0x0558	No aplicable N/A 0x3AFF 0x0092 N/A	0x1555, 0x2AAA, 0x1555, 0x2AAA, 0x1555 0x3FD 7, 0x0002, 0x26E0, 0x0A3D, 0x1CA6 0x125B, 0x3C9 A, 0x2660, 0x0c65, 0x0697 0x0000, 0x3FFF, 0x0000, 0x3FFF, 0x0000 Modo de usuario 1, bit [15:2], Modo de usuario 2, bit [15:2], Modo de usuario 3, bit [15:2], Modo de usuario 4, bit [15:2], Modo de usuario 1, bit [15:2]... para el modo de repetición Modo de usuario 1, bit [15:2], Modo de usuario 2, bit [15:2], Modo de usuario 3, bit [15:2], Modo de usuario 4, bit [15:2], 0x0000... para modo único (x) % 2 ¹⁴ , (x+1) % 2 ¹⁴ , (x+2) % 2 ¹⁴ , (x+3) % 2 ¹⁴
1000	Salida de rampa	(x) % 2 ¹⁴	No aplicable	
1111				

Modo de prueba de bloque JESD204B

Además del modo de prueba de tubería ADC, el AD9694 tiene un modo de prueba flexible en el módulo JESD204B. Estos patrones de prueba se enumeran en el registro 0x0573 y en el registro 0x0574. Estos patrones de prueba se pueden inyectar en diferentes puntos a lo largo de la trayectoria de datos de salida. Estos puntos de inyección de prueba se muestran en la figura 82. La Tabla 33 describe los diversos modos de prueba disponibles en el módulo JESD204B. Para el AD9694, la transición del modo de prueba (registro 0x0573 = 0x00) al modo normal (registro 0x0573 = 0x00) requiere un reinicio suave de SPI. Este reinicio se realiza escribiendo 0x81 en el registro 0x0000 (auto-borrado).

Modo de prueba de muestra de capa de transporte

Las muestras de la capa de transporte se implementan en AD9694 como se define en la sección 5.1.6.3 de la especificación JEDEC JESD204B. Estas pruebas se muestran en el registro 0x0571 bit 5. El patrón de prueba es equivalente a la muestra original del ADC.

Modo de prueba de interfaz

El modo de prueba de interfaz se describe en el registro 0x0573 bit [3:0]. Estos patrones de ensayo también se explican en la Tabla 33. Pruebas de interfaz

Cuadro 33. Modo de prueba de interfaz JESD204B

Secuencia de bits del patrón de prueba de salida	Nombre del patrón	Expresión	Valor predeterminado
0000	Cerrar (predeterminado)	No aplicable	No aplicable
0001	Ajedrez alternante	0x5555, 0xAAAA, 0x5555, ...	No aplicable
0010	Conmutación de palabras 1/0	0x0000, 0xFFFF, 0x0000, ...	No aplicable
0011	Secuencia PN de 31 bits	$x^{31} + x^{28} + 1$	0x0003AFFF
0100	23-bit PN sequence	$x^{23} + x^{18} + 1$	0x003AFF
0101	15 bits PN sequence	$x^{15} + x^{14} + 1$	0x03AF
0110	Secuencia PN de 9 bits	$x^9 + x^5 + 1$	0x092
0111	SEQUENCIA PN DE 7-bit	$x^7 + x^6 + 1$	0x07
1000	Salida de rampa	$(x) \% 2^{16}$	El tamaño de la rampa depende del punto de inyección de
1110	Pruebas de usuario continuas/repetidas	Registro 0x0551 al Registro 0x0558	Modo de usuario 1 a modo de usuario 4 y luego repetir
1111	Prueba de usuario único	Registro 0x0551 al Registro 0x0558	Modo de usuario 1 a modo de usuario 4 y luego cero

Cuadro 34. Entrada de muestra JESD204B para M=2, S=2, N'=16 (registro 0x0573, bit [5:4]=2'b00)

Número de cuadro	Número de convertidor	Muestras Digitales	Ajedrez alternante	Conmutación de palabras 1/0	La rampa	9 bits PN	23 bits PN	Usuario duplicado	Hoja de usuario
0	0	0	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
0	0	1	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
0	1	0	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
0	1	1	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
1	0	0	0xAAAA	0xFFFF	$(x+1) \% 2^{16}$	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
1	0	1	0xAAAA	0xFFFF	$(x+1) \% 2^{16}$	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
1	1	0	0xAAAA	0xFFFF	$(x+1) \% 2^{16}$	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
1	1	1	0xAAAA	0xFFFF	$(x+1) \% 2^{16}$	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]

Se puede inyectar en diferentes puntos a lo largo de los datos. Véase la Figura 82 para más información sobre el punto de inyección de prueba. El registro 0x0573, bit [5:4] muestra la posición de inyección de estas pruebas.

Las tablas 34, 35 y 36 muestran ejemplos de algunos patrones de prueba cuando se inyectan en la entrada de muestra JESD204B, en la entrada de 10 bits de la capa física (PHY) y en la entrada de 8 bits del codificador. En las tablas 34 a 36, UPx representa los bits de control de modo de usuario procedentes del mapa de registro de cliente.

Modo de prueba de capa de enlace de datos

El patrón de prueba de capa de enlace de datos se implementa en AD9694, como se define en la especificación JEDEC JESD204B, Sección 5.3.3.8.2. Estas pruebas se muestran en el registro 0x0574 bit [2:0]. Los patrones de prueba insertados en la capa de enlace de datos son útiles para verificar la funcionalidad de la capa de enlace de datos. Cuando el modo de prueba de capa de enlace de datos está habilitado, SYNCINB \pm x se deshabilita escribiendo 0xC0 en el registro 0x0572.

2	0	0	0x5555	0x0000	$(x + 2) \% 2^{16}$	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
2	0	1	0x5555	0x0000	$(x + 2) \% 2^{16}$	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
2	1	0	0x5555	0x0000	$(x + 2) \% 2^{16}$	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
2	1	1	0x5555	0x0000	$(x + 2) \% 2^{16}$	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
3	0	0	0xAAAA	0xFFFF	$(x + 3) \% 2^{16}$	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
3	0	1	0xAAAA	0xFFFF	$(x + 3) \% 2^{16}$	0x651A	0x3D72	UP4[15:0]	UP4[15:0]

Número de cuadro	Número de convertidor	Muestras digitales	Ajedrez alternante	Comutación de palabras 1/0	La rampa	9 bits PN	23 bits PN	Usuario duplicado	Hoja de usuario
3	1	0	0xAAAA	0xFFFF	(x + 3) % 2 ¹⁶	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
3	1	1	0xAAAA	0xFFFF	(x + 3) % 2 ¹⁶	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
4	0	0	0x5555	0x0000	(x + 4) % 2 ¹⁶	0x5FD1	0x9B26	UP1[15:0]	0x0000
4	0	1	0x5555	0x0000	(x + 4) % 2 ¹⁶	0x5FD1	0x9B26	UP1[15:0]	0x0000
4	1	0	0x5555	0x0000	(x + 4) % 2 ¹⁶	0x5FD1	0x9B26	UP1[15:0]	0x0000
4	1	1	0x5555	0x0000	(x + 4) % 2 ¹⁶	0x5FD1	0x9B26	UP1[15:0]	0x0000

Cuadro 35. Entrada de 10 bits de la capa física (registro 0x0573, bits [5:4]=2' b01)

Número de símbolos de 10 bits	Ajedrez alternante	Comutación de palabras 1/0	La rampa	PN de 9 bits	23 bits PN	Usuario duplicado	Hoja de usuario
0	0x155	0x000	(x) % 2 ¹⁰	0x125	0x3FD	UP1[15:6]	UP1[15:6]
1	0x2AA	0x3FF	(x + 1) % 2 ¹⁰	0x2FC	0x1C0	UP2[15:6]	UP2[15:6]
2	0x155	0x000	(x + 2) % 2 ¹⁰	0x26A	0x00A	UP3[15:6]	UP3[15:6]
3	0x2AA	0x3FF	(x + 3) % 2 ¹⁰	0x198	0x1B8	UP4[15:6]	UP4[15:6]
4	0x155	0x000	(x + 4) % 2 ¹⁰	0x031	0x028	UP1[15:6]	0x000
5	0x2AA	0x3FF	(x + 5) % 2 ¹⁰	0x251	0x3D7	UP2[15:6]	0x000
6	0x155	0x000	(x + 6) % 2 ¹⁰	0x297	0x0A6	UP3[15:6]	0x000
7	0x2AA	0x3FF	(x + 7) % 2 ¹⁰	0x3D1	0x326	UP4[15:6]	0x000
8	0x155	0x000	(x + 8) % 2 ¹⁰	0x18E	0x10F	UP1[15:6]	0x000
9	0x2AA	0x3FF	(x + 9) % 2 ¹⁰	0x2CB	0x3FD	UP2[15:6]	0x000
10	0x155	0x000	(x + 10) % 2 ¹⁰	0x0F1	0x31E	UP3[15:6]	0x000
11	0x2AA	0x3FF	(x + 11) % 2 ¹⁰	0x3DD	0x008	UP4[15:6]	0x000

Cuadro 36. Entrada de aleatorizador de 8 bits (registro 0x0573, bits [5:4]=2' b10)

Octetos de 8 bits	Ajedrez alternante	Comutación de palabras 1/0	La rampa	9 bits PN	23 bits PN	Usuario duplicado	Hoja de usuario
0	0x55	0x00	(x) % 2 ⁸	0x49	0xFF	UP1[15:9]	UP1[15:9]
1	0xAA	0xFF	(x + 1) % 2 ⁸	0x6F	0x5C	UP2[15:9]	UP2[15:9]
2	0x55	0x00	(x + 2) % 2 ⁸	0xC9	0x00	UP3[15:9]	UP3[15:9]
3	0xAA	0xFF	(x + 3) % 2 ⁸	0xA9	0x29	UP4[15:9]	UP4[15:9]
4	0x55	0x00	(x + 4) % 2 ⁸	0x98	0xB8	UP1[15:9]	0x00
5	0xAA	0xFF	(x + 5) % 2 ⁸	0x0C	0x0A	UP2[15:9]	0x00
6	0x55	0x00	(x + 6) % 2 ⁸	0x65	0x3D	UP3[15:9]	0x00
7	0xAA	0xFF	(x + 7) % 2 ⁸	0x1A	0x72	UP4[15:9]	0x00
8	0x55	0x00	(x + 8) % 2 ⁸	0x5F	0x9B	UP1[15:9]	0x00
9	0xAA	0xFF	(x + 9) % 2 ⁸	0xD1	0x26	UP2[15:9]	0x00
10	0x55	0x00	(x + 10) % 2 ⁸	0x63	0x43	UP3[15:9]	0x00
11	0xAA	0xFF	(x + 11) % 2 ⁸	0xAC	0xFF	UP4[15:9]	0x00

Interfaz serie

El AD9694SPI permite a los usuarios configurar el convertidor para una función u operación específica a través del espacio de registro estructurado proporcionado dentro del ADC. SPI ofrece a los usuarios flexibilidad y personalización adicionales, dependiendo de la aplicación. La dirección se accede a través de un puerto serie, en el que se puede escribir o leer. La memoria está organizada en bytes, que se pueden dividir adicionalmente en campos. Estos campos se registran en la sección de mapeo de memoria. Para obtener información operativa detallada, consulte el estándar de interfaz de control serial (versión 1.0).

Configuración con SPI

Tres pines definen el SPI de este ADC: el pin SCLK, el pin SDIO y el pin CSB (ver Tabla 37). El pin SCLK (reloj en serie) se utiliza para sincronizar los datos de lectura y escritura desde el ADC. El pin SDIO (entrada/salida de datos en serie) es un pin de doble propósito que permite enviar y leer datos desde los registros de memoria del ADC interno. El pin CSB (barra de selección de chip) es un control efectivo de nivel bajo que permite o deshabilita los ciclos de lectura y escritura.

Cuadro 37. Pin de interfaz de puerto serie

PIN	Funcionalidad
SCLK	Reloj en serie. La entrada de reloj de desplazamiento serie se utiliza para sincronizar la interfaz serie, la lectura y la escritura.
SDIO	Entrada/salida de datos en serie. Un pin de doble propósito, típicamente utilizado como entrada o salida, dependiendo de las instrucciones enviadas y la posición relativa en el cuadro de temporización.
CSB	Barra de selección de chips. Control efectivo de nivel bajo para controlar los ciclos de lectura y escritura.

El borde descendente del CSB junto con el borde ascendente del SCLK determina el comienzo de la formación de tramas. Ejemplos de temporización en serie y su definición se pueden encontrar en la Figura 4 y en la Tabla 7.

Otros modos que involucran pines CSB también están disponibles. El pin CSB puede permanecer bajo indefinidamente, habilitando el dispositivo permanentemente; Esto se llama flujo. El CSB puede estar altamente estancado entre bytes para permitir una temporización externa adicional. Cuando el CSB es alto, la función SPI está en el modo de alta impedancia. Este modo activa cualquier función auxiliar de pines SPI.

Todos los datos consisten en palabras de 8 bits. El primer bit de cada byte individual de datos en serie indica si es lectura o escritura.

Cuadro 38. Funciones accesibles con SPI

Nombre de la característica	Descripción
Modo	Permite al usuario establecer el modo de apagado o el modo de espera.

orden emitida. Este bit permite que el pin SDIO cambie de dirección desde la entrada a la salida.

Además de la longitud de palabra, la fase de instrucción determina si la trama en serie es una operación de lectura o una operación de escritura, permitiendo así que el puerto en serie se utilice para programar el chip y leer el contenido de la memoria en el chip. Si la instrucción es una operación de retorno de lectura, la realización de la retorno de lectura hace que el pin SDIO cambie de dirección desde la entrada a la salida en el punto apropiado en la trama serie.

Los datos pueden transmitirse en un primer modo de MSB o en un primer modo de LSB. El primer modo de MSB es el modo predeterminado en el encendido y se puede cambiar a través del registro de configuración del puerto SPI. Para obtener más información sobre esta y otras características, consulte el estándar de interfaz de control serial (versión 1.0).

Interfaz de hardware

Los pines descritos en la Tabla 37 incluyen la interfaz física entre el dispositivo programado por el usuario y el puerto serie del AD9694. Cuando se utiliza la interfaz SPI, los pines SCLK y CSB se utilizan como entradas. El pin SDIO es bidireccional y actúa como entrada durante la fase de escritura y como salida durante la fase de retorno de lectura.

La interfaz SPI es lo suficientemente flexible como para ser controlada por un FPGA o un microcontrolador. Un método de configuración SPI se describe en detalle en la nota de aplicación AN-812, Circuito de arranque de interfaz de puerto en serie basado en microcontrolador (SPI). No activar el puerto SPI cuando se requiera el rendimiento dinámico completo del convertidor. Debido a que las señales SCLK, CSB y SDIO son típicamente asíncronas con el reloj ADC, el ruido de estas señales puede degradar el rendimiento del convertidor. Si el bus SPI a bordo se utiliza para otros dispositivos, puede ser necesario proporcionar una memoria intermedia entre este bus y el AD9694 para evitar que estas señales se conviertan en la entrada del convertidor durante los períodos de muestreo críticos.

Funciones accesibles SPI

En el cuadro 38 se ofrece una breve descripción de las características generales a las que se puede acceder a través del SPI. Estas características se describen en detalle en el estándar de interfaz de control serial (versión 1.0). La sección de mapeo de memoria describe las características específicas del dispositivo AD9694.

Reloj	Permite al usuario acceder al divisor de reloj a través de SPI.
DDC	Permite a los usuarios establecer filtros de extracción para diferentes aplicaciones. Permite al usuario establecer el modo de prueba para que los bits de salida tengan datos conocidos. Permite que el usuario establezca la salida.
Entrada/salida de prueba	
Modo de salida	
Configuración de salida del serializador/deserializador (SERDES)	Permite al usuario cambiar los ajustes de SERDES, como oscilación y énfasis.

Mapa de memoria

Leer la tabla de registro de mapeo de memoria

Cada fila en la tabla de registros de mapa de memoria tiene ocho posiciones de bits. El mapa de memoria se divide en cuatro partes: registros SPI de Analog Devices (registro 0x0000 al registro 0x000D y registro 0x18A6 al registro 0x1A4D), registros de función ADC (registro 0x003F al registro 0x027A, registro 0x0701 y registro 0x073B), registros de función DDC (registro 0x0300 al registro 0x0347) y registros de salida digital y modo de prueba (registro 0x0550 al registro 0x1262).

La Tabla 39 (véase la sección de mapeo de memoria) registra los valores hexadecimales por defecto para cada dirección hexadecimal mostrada. La columna con el bit de encabezado 7 (MSB) es el comienzo del valor hexadecimal predeterminado dado. Por ejemplo, el valor predeterminado hexadecimal de la dirección 0x0561 (registro de modo de muestreo de salida) es 0x01. Este valor predeterminado indica que el bit 0 = 1 y el resto de los bits son 0. Esta configuración es el valor de formato de salida predeterminado y es un complemento binario. Para obtener más información sobre esta y otras funciones, véase la Tabla 39.

Lugares no asignados y reservados

Este dispositivo no soporta actualmente todas las direcciones y posiciones de bits que no están incluidas en la tabla 39. Los bits no utilizados en posiciones de dirección válidas se escriben con 0, a menos que el valor predeterminado se establezca de otra manera. La escritura en las ubicaciones de dirección solo se requiere si una parte de estas ubicaciones no está asignada (por ejemplo, la dirección 0x0561). Si toda la ubicación de dirección está abierta (por ejemplo, dirección 0x0013), no escriba en esta ubicación de dirección.

Valor predeterminado

Después de reiniciar el AD9694IS, los registros clave se cargarán con los valores predeterminados. Los valores por defecto de los registros se dan en la tabla de registros de mapeo de memoria (Tabla 39).

Nivel lógico

Los términos a nivel lógico se explican de la siguiente manera:

- ? "Un bit se establece" es sinónimo de "un bit se establece a un 1 lógico" o "escribir un 1 lógico para un bit".
- ? "Borrar un bit" es sinónimo de "un bit se establece a un 0 lógico" o "escribir un 0 lógico para un bit".
- ? X significa que no se importa el bit.

Direccionamiento de pares ADC

El AD9694 funciona funcionalmente como dos pares de canales receptores IF duales. Hay dos ADC y

Registro específico del canal

Algunas funciones de ajuste de canal, como el control de detección rápida (registro 0x0247), se pueden programar con valores diferentes para cada canal. En estos casos, para cada canal, las posiciones de dirección de canal se duplican internamente. Estos registros y bits se especifican como locales en la tabla 39. Estos registros y bits locales se pueden acceder estableciendo los bits apropiados de canal A/canal C o canal B/canal D en el registro 0x0008. El canal específico que se dirige depende de la selección del par escrito en el registro 0x0009. Si ambos bits están establecidos, las escrituras posteriores afectan a los registros de ambos canales. En un ciclo de lectura, solo el canal A/canal C o el canal B/canal D se establecen para leer uno de los dos registros. Si ambos bits se establecen durante el ciclo de lectura SPI, el dispositivo devuelve el valor del canal A. Si se seleccionan dos pares y dos canales a través del registro 0x0009 y el registro 0x0008, el dispositivo devuelve el valor del canal A.

Los nombres de los registros enumerados en la Tabla 39 están prefijados por mapas globales, mapas de canales, mapas JESD204B o mapas de pares. Los registros en el mapa de pares y el mapa JESD204B son adecuados para un par de canales, para A/B o para C/D. Para escribir en los registros en el mapa de pares y en el mapa JESD204B, se debe escribir en el registro de índice de pares (registro 0x0009) para direccionar el par correspondiente. Los registros de configuración SPI A (registro 0x0000), configuración SPI B (registro 0x0001) y índice de par (registro 0x0009) son los únicos registros que residen en el mapa global. Los registros en el mapa de canales son registros locales para cada canal: canal A, canal B, canal C o canal D. Para escribir un registro en el mapa de canales, primero se debe escribir en el registro de índice de pares (registro 0x0009) para direccionar el par deseado (par A/B o par C/D) y luego en el registro de índice de dispositivo (registro 0x0008) para seleccionar el canal deseado (canal A/canal C o canal B/canal D).

Por ejemplo, para escribir el canal A en el modo de prueba (establecido por el registro 0x0550), primero escriba 0x01 en el registro 0x0009 para seleccionar el par A/B, y luego escriba 0x01 en el registro 0x0008 para seleccionar el canal A. A continuación, el registro 0x0550 se escribe con el valor del modo de prueba deseado. Para escribir todos los canales en el modo de prueba (establecido por el registro 0x0550), primero escriba el registro 0x0009 con el valor 0x03 para seleccionar el par A/B y el par C/D, y luego escriba el registro 0x0008 con el valor 0x03 para seleccionar el canal A, el canal B, el canal C y el canal D. A

dos DDC en cada par, un total de cuatro por par de dispositivos AD9694. Para acceder al registro SPI de cada par, el índice del par debe escribirse en el registro 0x0009. El registro de índice de par debe escribirse antes de cualquier otra escritura SPI en el AD9694.

continuación, el registro 0x0550 se escribe con el valor del modo de prueba deseado.

Restablecimiento suave SPI

Después de emitir un reinicio suave programando 0x81 al registro 0x0000, el AD9694 tarda 5 milisegundos en recuperarse. Al programar el AD9694 para la configuración de la aplicación, asegúrese de que se haya programado un retardo suficiente en el firmware después de asertar el reinicio suave y antes de iniciar la configuración del dispositivo.

Tabla de registros mapeados en memoria-Detalles

Este dispositivo no soporta actualmente todas las ubicaciones de dirección que no están incluidas en la tabla 39 y, por lo tanto, no debe escribirse.

Cuadro 39. Detalles del mapa de memoria

0x0000	Mapa global SPI Configuración A	7	Restablecimiento suave (auto-limpieza)	0 1	Cuando se emite un reinicio suave, el usuario debe esperar 5 ms antes de escribir en cualquier otro registro. Esta espera proporciona tiempo suficiente para que el cargador de arranque se complete. No haga nada. Restablecer el SPI y los registros (autoborrado).	0x0	R/W
		6	LSB Primer espejo	1 0	Para todas las operaciones SPI, el LSB se desplaza primero. Para todas las operaciones SPI, el MSB se desplaza primero.	0x0	R/W
		5	Espejo de promoción de dirección	0 1	Las operaciones SPI de múltiples bytes provocan que la dirección se incremente automáticamente. Las operaciones SPI de múltiples bytes provocan que la dirección se incremente automáticamente.	0x0	R/W
		4	Reserva		Reservas.	0x0	R
		3	Reserva		Reservas.	0x0	R
		2	El evación de dirección	0 1	Las operaciones SPI de múltiples bytes provocan que la dirección se incremente automáticamente. Las operaciones SPI de múltiples bytes provocan que la dirección se incremente automáticamente.	0x0	R/W
		1	LSB Preferencia	1 0	Para todas las operaciones SPI, el MSB se desplaza primero. Para todas las operaciones SPI, el MSB se desplaza primero.	0x0	R/W
		0	Restablecimiento suave (auto-limpieza)	0 1	Cuando se emite un reinicio suave, el usuario debe esperar 5 ms antes de escribir en cualquier otro registro. Esta espera proporciona tiempo suficiente para que el cargador de arranque se complete. No haga nada. Restablecer el SPI y los registros (autoborrado).	0x0	R/W
0x0001	Mapa global SPI Configuración B	7	Instrucciones únicas	0 1	El flujo SPI está habilitado. El flujo (lectura/escritura de múltiples bytes) está desactivado. Independientemente del estado de la línea CSB, solo se realiza una operación de lectura o escritura.	0x0	R/W
		[6:2]	Reserva		Reservas.	0x0	R
		1	Restablecimiento suave de la ruta de datos (auto-limpieza)	0 1	Funcionamiento normal. Restablecimiento suave de la ruta de datos (auto-limpieza)	0x0	R/W
		0	Reserva		Reservas.	0x0	R

Configuración del chip de mapeo de canal		[7:2]	Reserva		Reservas.	0x0	R
		[1:0]	Modo de potencia del canal	00	Modo de alimentación del canal. Modo normal (encendido).	0x0	R/W

Dirección

Nombre de posición

Instrucciones de configuración

Restablecer acceso

Dirección	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
				10 11	Modo de espera. Deshabilite el reloj de ruta de datos digital, habilite la interfaz JESD204B y habilite la salida. Modo de apagado. El reloj de la ruta de datos digital está desactivado, la ruta de datos digital permanece reiniciada, la interfaz JESD204B está desactivada y la salida está desactivada.		
0x0003	Tipo de chip de mapeo emparejado	[7:0]	Tipo de chip	0x3	Tipo de chip. ADC de alta velocidad.	0x3	R
0x0004	ID de chip de mapeo de emparejamiento LSB	[7:0]	ID del chip		Chip ID.	0xDB	R
0x0006	Gráfico de emparejamiento Nivel de chip	[7:4] [3:0]	Clasificación de velocidad del chip Reserva	0101	Clasificación de velocidad del chip. 500 Megahertz.	0x0	R
0x0008	Índice de dispositivo de mapeo de emparejamiento	[7:2]	Reserva		Reservas.	0x0	R
		1	Canal B/D	0 1	El núcleo ADC B/D no recibió el siguiente comando SPI. El núcleo ADC B/D recibe el siguiente comando SPI.	0x1	R/W
		0	Aire acondicionado de acceso	0 1	El núcleo ADC A/C no recibió el siguiente comando SPI. El núcleo ADC A/C recibe el siguiente comando SPI.	0x1	R/W
0x0009	Índice de pares de mapeo global	[7:2] 1 0	Reserva Pares C/D Pares A/B	0 1 0 1	Reservas. El par ADC C/D no recibe el siguiente comando de lectura/escritura desde la interfaz SPI. El par ADC C/D no recibe el siguiente comando de lectura/escritura desde la interfaz SPI. El par ADC A/B no recibe el siguiente comando de lectura/escritura desde la interfaz SPI. El par ADC A/B recibe el siguiente comando de lectura/escritura desde la interfaz SPI.	0x0 0x1 0x1	RR/W R/W
0x000A	Tablero de mapeo de emparejamiento	[7:0]	Pads		Registro de chip. Se utiliza para proporcionar una ubicación de memoria consistente para la depuración de software.	0x7	R/W
0x000B	Par mapping SPI revisión	[7:0]	SPI_Edición revisada	00000001	Registro de revisión SPI. (0x01 = Versión 1.0) Versión 1.0.	0x1	R
0x000C	Mapa de emparejamiento ID del proveedor LSB	[7:0]	CHIP_VENDOR_ID[7:0]		ID del proveedor.	0x56	R
0x000D	Mapa de emparejamiento ID del proveedor MSB	[7:0]	CHIP_VENDOR_ID[15:8]		ID del proveedor.	0x4	R
0x003F	Mapa de cana-	7	PDWN/STBY desactivado	0	Se utiliza en combinación con el	0x0	R/W

les Pin de apagado de energía del chip			registro 0x0040. El pin de apagado de energía (PD- WN/STBY) está habilitado. La sel- cción de control global de pines está habilitada (por defecto).		
---	--	--	--	--	--

Dirección	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
				1	El pin de apagado de energía (PDWN/STBY) está desactivado/ignorado. Ignorar las selecciones globales de control de pines.		
		[6:0]	Reserva		Reservas.	0x0	R
0x0040	Chip de mapeo emparejado Pin Control 1	[7:6]	Función PDWN/STBY	00 01 10	Pin de apagado. La afirmación del pin de apagado externo (PDWN/STBY) pone el chip en el modo de apagado completo. Pin de repuesto. La afirmación de un apagado externo (PDWN/STBY) pone el chip en modo de espera. El Pin está desactivado. Se ignoran las afirmaciones de los pines de apagado externos (PDWN/STBY).	0x0	R/W
		[5:3]	Detección rápida B/D (FD_B/FD_D)	000 001 010 111	Detección rápida de salida B/D. Salida JESD204B LMFC. JESD204B Sincronización interna ~ Salida. Desactivado (configurado como una entrada con una resistencia pull-down débil).	0x7	R/W
		[2:0]	Detección rápida A/C (FD_A/FD_C)	000 001 010 111	Detección rápida de la salida del aire acondicionado. Salida JESD204B LMFC. JESD204B Sincronización interna ~ Salida. Desactivado (configurado como una entrada con una resistencia pull-down débil).	0x7	R/W
0x0108	Reloj de mapeo emparejado Control divisor de frecuencia	[7:3]	Reserva		Reservas.	0x0	R
		[2:0]	Divisor de reloj	000 001 011 111	Dividir por 1. Dividido por 2. Dividido por 4. Dividido por 8.	0x1	R/W
		[7:4]	Reserva		Reservas.	0x0	R
0x0109	Mapa de canales Fase del divisor de reloj	[3:0]	Desplazamiento de fase del divisor de reloj	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	0 ciclos de reloj de entrada retrasados. ½ Retardo del ciclo del reloj de entrada (reloj invertido). Retraso de 1 ciclo de reloj de entrada. 1 Retraso de 1/2 ciclo de reloj de entrada. Retraso de 2 ciclos de reloj de entrada. 2 Retraso de 1/2 ciclo de reloj de entrada. Retraso de 3 ciclos de reloj de entrada. 3 Retraso de 1/2 ciclo de reloj de entrada. Retraso de 4 ciclos de reloj de entrada. 4 Retraso de 1/2 ciclo de reloj de entrada. Retraso de 5 ciclos de reloj de entrada. 5 Retraso de 1/2 ciclo de reloj de	0x0	R/W

					entrada. Retraso de 6 ciclos de reloj de entrada. 6 Retraso de 1/2 ciclo de reloj de entrada. 7 ciclos de reloj de entrada ret- rasados. 7 Retraso de 1/2 ciclo de reloj de entrada.		
--	--	--	--	--	--	--	--

Dircción	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
0x010A	Reloj de mapeo emparejado Divisor de frecuencia SYSREF ± control	7	Ajuste automático de fase del divisor de reloj	0	SYSREF \pm (desactivado) no cambia la fase del divisor de reloj. La fase del divisor de reloj se ajusta automáticamente por SYSREF \pm (habilitado).	0x0	R/W
			[6:4]	Reserva	Reservas.	0x0	R
			[3:2]	Ventana de desviación negativa del divisor de reloj	00 01 10 11 Sin desviación negativa: SYSREF \pm debe capturarse con precisión. ½ El reloj del dispositivo tiene un desvío negativo. 1 El reloj del dispositivo es desviado negativamente. 1 ½ El reloj del dispositivo es desviado negativamente.	0x0	R/W
			[1:0]	Ventana de desviación positiva del divisor de reloj	00 01 10 11 Sin desviación positiva: SYSREF \pm debe capturarse con precisión. ½ Reloj del dispositivo con desviación positiva. 1 reloj del dispositivo con desviación positiva. 1 ½ Reloj del dispositivo con desviación positiva.	0x0	R/W
0x0110	Reloj de mapeo emparejado Control de retardo	[7:3]	Reserva		Reservas.	0x0	R
			[2:0]	Selección de modo de retardo de reloj	000 001 010 011 100 101 110 Selección de modo de retardo de reloj. Se utiliza en combinación con el registro 0x0111 y el registro 0x0112. Sin retardo de reloj. Reservas. Retardo fino: solo son válidos los pasos de retardo 0 a los pasos de retardo 16. Retardo fino (fluctuación mínima): solo son válidos los pasos de retardo 0 a los pasos de retardo 16. Retardo fino: Los 192 pasos de retardo son válidos. Reserva (igual que 100). Habilitar el retardo fino (los 192 pasos de retardo son válidos); Habilitar el retardo ultrafino (todos los 128 pasos de retardo son válidos).	0x0	R/W
0x0111	Retraso ultrafino del reloj de mapeo de canal	[7:0]	Ajuste de retardo ultrafino del reloj		Ajuste de retardo de reloj hiperfino: Este es un control sin signo que ajusta el retardo de reloj de muestra hiperfina en pasos de 0,25 ps. 0x00 = 0 pasos de retardo. ... 0x08 = 8 pasos de retardo. ... 0x80 = 128 pasos de retardo.	0x0	R/W
0x0112	Retardo fino del reloj de mapeo de canal	[7:0]	Retardo de ajuste del reloj		Ajuste de retardo fino del reloj: Este es un control sin signo que ajusta la desviación del reloj de muestra fina en pasos de 1.725 ps.	0xC0	R/W

					0x00 = 0 pasos de retardo. ... 0x08 = 8 pasos de retardo. ... 0xC0 = 192 pasos de retardo.		
--	--	--	--	--	--	--	--

Hoja de datos

AD9694

Dirección	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
0x011A	Control de detección de reloj	[7:5]	Reserva		Reservas.	0x0	R/W
		[4:3]	Umbral de detección de reloj	01 11	UMBRAL DE DETECCIÓN DE Valor umbral 1 para una velocidad de muestreo 300 MSPS Valor umbral 2 para una frecuencia de muestreo < 300 MSPS	0x1	R/W
		[2:0]	Reserva		Reserva	0x1	R/W
0x011B	Estado del reloj de mapeo de emparejamiento	[7:1]	Reserva		Reservas.	0x0	R
		0	Detección de reloj de entrada	0 1	El estado de detección de reloj. No se detecta un reloj de entrada. Reloj de entrada detectado/blquedo.	0x0	R
0x011C	Reloj DCS Control 1	[7:3]	Reserva		Reserva	0x1	R/W
		1	Reloj DCS 1 habilitado	0 1	Bypass el DCS 1. DCS 1 está habilitado.	0x0	R/W
		0	Reloj DCS 1 encendido	0 1	DCS 1 apagado DCS 1 encendido. El DCS debe estar encendido antes de ser habilitado.	0x0	R/W
0x011E	Clock DCS Control 2 (este Necesidades de registro Para establecer como Valores con Control DCS 1)	[7:3]	Reserva		Reserva	0x11	R/W
		1	Reloj DCS 2 habilitado	0 1	Bypass DCS 2. DCS 2 está habilitado.	0x0	R/W
		0	Reloj DCS 2 encendido	0 1	El DCS 2 está desconectado. DCS 2 encendido. El DCS debe estar encendido antes de ser habilitado.	0x0	R/W
0x011F	Reloj DCS Control 3	[7:0]	Reloj DCS 3 habilitado	0x84 0x81	Bypass DCS 3. DCS 3 está habilitado.	0x84	R/W
0x0120	Mapa de emparejamiento Control SYSREF %1	7	Reserva		Reservas.	0x0	R
		6	Restablecimiento de bandera SYSREF \pm	0 1	Funcionamiento normal de la bandera. SYSREF \pm Bandera que se mantiene cuando se reinicia (bandera de error de configuración borrada/mantenimiento).	0x0	R/W
		5	Reserva		Reservas.	0x0	R
		4	SYSREF \pm Selección de conversión	0 1	SYSREF \pm es válido cuando se utiliza la conversión de bajo a alto del borde CLK \pm seleccionado. Al cambiar esta configuración, debe establecer la selección de modo SYSREF \pm mode en disabled. SYSREF \pm es válido cuando se utiliza la conversión de alto a bajo del borde CLK \pm seleccionado. Al cambiar esta configuración, debe establecer la selección de modo SYSREF \pm mode en disabled.	0x0	R/W
		3	CLK \pm Selección de borde	0 1	Capturado en el borde ascendente de la entrada CLK \pm . Capturado en el borde descendente de la entrada CLK \pm .	0x0	R/W
		[2:1]	Selección de modo SYSREF \pm	00 01 10	Personas con discapacidad. Continuo. Ni pistola.	0x0	R/W
		0	Reserva		Reservas.	0x0	R

Dircción	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas	
0x0121	Mapa de empalme/rejamiento Control SYSREF 2	[7:4]	Reserva		Reservas.	0x0	R	
					Siguiente SYSREF \pm Solo (no ignorar). Ignorar la primera conversión SYSREF \pm . Ignorar las dos primeras conversiones SYSREF \pm . Ignorar las tres primeras conversiones SYSREF \pm .	0x0	R/W	
		[3:0]	SYSREF \pm N shot Ignorar la selección del contador		0000	Ignorar las primeras cuatro conversiones SYSREF \pm .		
					0001	Ignorar las primeras cinco conversiones SYSREF \pm .		
					0010	Ignorar las primeras seis conversiones SYSREF \pm . Ignorar las primeras siete conversiones SYSREF \pm .		
					0011	Ignorar las primeras ocho conversiones SYSREF \pm .		
					0100	Ignorar las primeras nueve conversiones SYSREF \pm . Ignorar las primeras 10 conversiones SYSREF \pm .		
					0101	Ignorar las primeras 11 conversiones SYSREF \pm .		
					0110	Ignorar las primeras 12 conversiones SYSREF \pm .		
					0111	Ignorar las primeras 13 conversiones SYSREF \pm .		
					1000	Ignorar las primeras 14 conversiones SYSREF \pm .		
					1001	Ignorar las primeras 15 conversiones SYSREF \pm .		
					1010			
					1011			
					1100			
					1101			
					1110			
					1111			
0x0123	Mapa de empalme/rejamiento Control SYSREF 4	7	Reserva		Reservas.	0x0	R	
		[6:0]	SYSREF \pm retardo de marca de tiempo, bit [6:0]		SYSREF \pm retardo de marca de tiempo (en ciclos de reloj de muestreo del convertidor). Retardo de ciclo de reloj de muestreo 0:0). Retraso del ciclo de reloj de muestreo 1:1. ... 127:127 Retraso de ciclo de reloj de muestreo.	0x40	R/W	
0x0128	Mapeo en pares Estado del SYSREF %1	[7:4]	SYSREF \pm estado de mantenimiento, bit [7:4]		SYSREF \pm estado de retención. Para más información, véase el cuadro 31.	0x0	R	
					SYSREF \pm Establece el estado. Para más información, véase el cuadro 31.	0x0	R	
0x0129	Mapeado por pares Estado SYSREF %2	[7:4]	Reserva		Reservas.	0x0	R	
					SYSREF \pm fase del divisor. Representa la fase del divisor de frecuencia en el tiempo de captura SYSREF \pm . 0000 = en fase. 0001 = SYSREF \pm es el retraso del reloj de 1/2 ciclo. 0010 = SYSREF \pm es un retraso de 1 ciclo del reloj esclavo. 0011 = 1 $\frac{1}{2}$ ciclo de reloj de entrada retrasado. 0100 = 2 ciclos de reloj de entrada retardados. 0101 = 2 $\frac{1}{2}$ ciclos de reloj de entrada retrasados. ...	0x0	R	
		[3:0]	Fase del divisor de reloj al capturar SYSREF \pm					

				1111 = 7 $\frac{1}{2}$ retardo de ciclo de reloj de entrada.		
0x012A	Mapeo en pares SYSREF Estado 3	[7:0]	Contador SYSREF, bits [7:0] incrementados cuando se captura SYSREF \pm	SYSREF \pm cuenta. Un contador de ejecución que se incrementa cada vez que se captura un evento SYSREF \pm . Restablecido por el registro 0x0120 bit 6. Enrollado en 255. Estos bits solo se leen cuando el bit del registro 0x0120 [2:1] está establecido en desactivado.	0x0	R

Dirección	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
0x01FF	Sincronización de chips de mapeo emparejado	[7:1]	Reserva		Reservas.	0x0	R
		0	Modo sincronizado	0x0 0x1	Modo de sincronización de muestreo. La señal $SYSREF_{\pm}$ restablece todos los distribuidores de muestras internos. Este modo se utiliza cuando se sincronizan múltiples chips según se especifica en la norma JESD204B. Si se necesita cambiar la fase de cualquiera de los divisores de frecuencia, el enlace JESD204B se apagará. Modo de sincronización parcial/marca de tiempo. La señal $SYSREF_{\pm}$ no restablece el divisor interno de la muestra. En este modo, el enlace JESD204B, el monitor de señal, el reloj de la interfaz paralela no se ven afectados por la señal $SYSREF_{\pm}$. La señal $SYSREF_{\pm}$ simplemente marca el tiempo de una muestra a medida que pasa a través del ADC.	0x0	R/W
0x0200	Modo de chip de mapeo emparejado	[7:6]	Reserva		Reservas.	0x0	R/W
		5	Chip Q Ignorar	0 1	Chip Número real (1) Solo seleccionado. Seleccione los números reales (1) y complejos (0). Solo se seleccionan números reales (1). Ignorar el plural (0).	0x0	R/W
		4	Reserva		Reservas.	0x0	R
		[3:0]	Modo de aplicación de chip	0000 0001 0010	Modo de ancho de banda completo. Un modo DDC (solo DDC 0). Dos modos DDC (solo DDC 0 y 1).	0x0	R/W
0x0201	Relación de extracción de chip de mapeo emparejado	[7:3]	Reserva		Reservas.	0x0	R
		[2:0]	Selección de relación de extracción de chips	000 001 010 011 100	Relación de extracción de chips. Decima 1 (frecuencia de muestreo completa). Reducir la mitad 2. Redondeado. Resta 8. Decisións décimas.	0x0	R/W
0x0228	Mapa de canales Desplazamiento personalizado	[7:0]	Desplazamiento ajustado de +127 a ?128 en LSB		Desplazamiento de ruta de datos digitales. Los dos ajustes de desplazamiento del complemento están alineados con los bits de resolución del convertidor menos significativo.	0x0	R/W
0x0245	Control de detección rápida de mapeo de canales	[7:4]	Reserva		Reservas.	0x0	R
		3	Fuerza FD_A/FD_B/FD_C/FD_D Pin	0 1	El pin de detección rápida está funcionando correctamente. Forza un valor en el pin de detección rápida (ver bit 2).	0x0	R/W
		2	VALOR DE FORZA Pin FD_A/FD_B/FD_C/FD_D (este valor se envía en el pin FD_x si el pin de fuerza es verdadero)		El pin de salida de detección rápida de este canal se establece a este valor cuando se fuerza la salida.	0x0	R/W
		1	Reserva		Reservas.	0x0	R
		0	Habilitar la salida de	0	La detección rápida y fina está	0x0	R/W

			detección rápida	1	desactivada. La detección rápida fina está habilitada.		
0x0247	Mapa de canal Detección rápida de umbral superior LSB	[7:0]	Detección rápida de la parte superior Umbral, bits [7:0]		LSB para detectar rápidamente el umbral superior. 8 LSB para un umbral superior programable de 13 bits para comparar con la amplitud del ADC fino.	0x0	R/W

Dircción	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
0x0248	Mapeo de canales Detección rápida de umbral superior MSB	[7:5]	Reserva		Reservas.	0x0	R
		[4:0]	Umbral superior de detección rápida, bits [12:8]		LSB para detectar rápidamente el umbral superior. 8 LSBS de umbral superior programable de 13 bits en comparación con la amplitud del ADC fino.	0x0	R/W
0x0249	Mapeo de canales Detección rápida LSB de umbral bajo	[7:0]	Detección rápida Menor Umbral, bits [7:0]		Detección rápida de LSB con umbrales bajos. 8 LSBS de umbral inferior programable de 13 bits en comparación con la amplitud del ADC fino.	0x0	R/W
0x024A	Mapeo de canales Detección rápida Umbral inferior MSB	[7:5]	Reserva		Reservas.	0x0	R
		[4:0]	Umbral inferior de detección rápida, bits [12:8]		Detección rápida de LSB con umbrales bajos. 8 LSBS de umbral inferior programable de 13 bits en comparación con la amplitud del ADC fino.	0x0	R/W
0x024B	Mapa de canales Detección rápida Tiempo de permanencia LSB	[7:0]	Tiempo de permanencia de detección rápida, bits [7:0]		LSB para detectar rápidamente el objetivo del contador de tiempo de permanencia. Este es el valor de carga de un contador de 16 bits que determina cuánto tiempo los datos del ADC deben permanecer por debajo del umbral inferior antes de que el pin FD_x se restablezca a 0.	0x0	R/W
0x024C	Mapa de canales Detección rápida de tiempo de permanencia MSB	[7:0]	Tiempo de permanencia de detección rápida, bits [15:8]		LSB para detectar rápidamente el objetivo del contador de tiempo de permanencia. Este es el valor de carga de un contador de 16 bits que determina cuánto tiempo los datos del ADC deben permanecer por debajo del umbral inferior antes de que el pin FD_x se restablezca a 0.	0x0	R/W
0x026F	Control de sincronización del monitor de señal de mapeo emparejado	[7:2]	Reserva		Reservas.	0x0	R
		1	Reserva		Reservas.	0x0	R/W
		0	Monitor de señal Modo sincronizado	0 1	La sincronización está desactivada. Solo el siguiente borde válido del pin SYSREF \pm se utiliza para el bloqueo de monitor de señal de sincronización. Los bordes posteriores del pin SYSREF \pm se ignoran. Cuando se recibe el siguiente SYSREF \pm , este bit se borra. El pin de entrada SYSREF \pm debe estar habilitado para sincronizar el módulo del monitor de señal.	0x0	R/W
0x0270	Mapa de canales Control de monitoreo de señal	[7:2]	Reserva		Reservas.	0x0	R
		1	Detector de pico	0 1	El detector de pico está desactivado. El detector de pico está habilitado.	0x0	R/W
		0	Reserva		Reservas.	0x0	R
0x0271	Mapa de canales Período de monitorización de señal 0	[7:0]	Período de monitorización de señal, bits [7:0]		Este valor de 24 bits establece el número de ciclos de reloj de salida durante los cuales el monitor de señal realiza su operación. El bit 0 se ignora.	0x80	R/W
0x0272	Mapa de canales Ciclo de monitorización de	[7:0]	Período de monitorización de señal, bits [15:8]		Este valor de 24 bits establece el número de ciclos de reloj de salida durante los cuales el monitor de señal realiza su operación. El	0x0	R/W

	señal 1			bit 0 se ignora.		
0x0273	Mapa de canales Ciclo de monitoreo de señal 2	[7:0]	Periodo de monitorización de señal, bits [23:16]	Este valor de 24 bits establece el número de ciclos de reloj de salida durante los cuales el monitor de señal realiza su operación. El bit 0 se ignora.	0x0	R/W

Hoja de datos

AD9694

Dirección	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
0x0274	Mapa de canales Monitor de señal Controles de estado	[7:5]	Reserva		Reservas.	0x0	R
		4	Actualización de resultados	1	Actualización de estado basada en el bit [2:0] (auto-limpieza).	0x0	R/W
		3	Reserva		Reservas.	0x0	R
		[2:0]	Selección de resultados	001	Un detector de pico se coloca sobre la señal de retorno de lectura de estado.	0x1	R/W
0x0275	Mapa de canales Estado del monitor de señal 0	[7:0]	Resultado del monitor de señal, bit [7:0]		Resultados del estado del monitor de señal. Este valor de 20 bits contiene el resultado del estado calculado por el bloque de monitor de señal. El contenido depende de la configuración de bits del registro 0x0274 bits [2:0].	0x0	R
0x0276	Mapa de canales Estado del monitor de señal 1	[7:0]	Resultado del monitor de señal, bits [15:8]		Resultados del estado del monitor de señal. Este valor de 20 bits contiene el resultado del estado calculado por el bloque de monitor de señal. El contenido depende de la configuración de bits del registro 0x0274 bits [2:0].	0x0	R
0x0277	Mapa de canales Estado del monitor de señal 2	[7:4]	Reserva		Reservas.	0x0	R
		[3:0]	Resultado del monitor de señal, bit [19:16]		Resultados del estado del monitor de señal. Este valor de 20 bits contiene el resultado del estado calculado por el bloque de monitor de señal. El contenido depende de la configuración de bits del registro 0x0274 bits [2:0].	0x0	R
0x0278	Mapa de canales Contador de cuadro de estado del monitor de señal	[7:0]	Resultado del recuento de ciclos, bits [7:0]		Bits de estado del contador de trama del monitor de señal. El contador de trama se incrementa cada vez que expira el contador de ciclo.	0x0	R
0x0279	Mapa de canales Control del encuadrador en serie del monitor de señal	[7:2]	Reserva		Reservas.	0x0	R
		1	Reserva		Reservas.	0x0	R/W
		0	Habilitar el movimiento del monitor de señal a través de JESD204B	0 1	Personas con discapacidad. Habilitado.	0x0	R/W
0x027A	Movimiento a través de entrada JESD204B Selecciónar (Local)	[7:6]	Reserva		Reservas.	0x0	R
		1	Deporte sobre JESD204B Selección de entrada	0 1	Selección de entrada del encuadrador en serie del monitor de señal. Cuando cada bit individual es uno, las estadísticas de señal correspondientes se transmiten dentro de la trama. Personas con discapacidad. Los datos del detector de pico se insertan en el cuadro en serie.	0x1	R/W
		0	Reserva			0x0	R
		7	Reserva		Reservas.	0x0	R/W
0x0300	Control de sincronización DDC de mapeo de emparejamiento	6	Reserva		Reservas.	0x0	R/W
		5	Reserva		Reservas.	0x0	R
		4	DDC NCO Restablecimiento suave	0 1	Este bit puede usarse para sincronizar todos los NCO dentro de un bloque DDC. Funcionamiento normal.	0x0	R/W

				El DDC permanece reiniciado.		
	[3:2]	Reserva		Reservas.	0x0	R
1		DDC Siguiente sincronización	0	El pin SYSREF \pm debe ser un múltiplo entero de la frecuencia NCO para que esta función funcione correctamente en modo continuo. Modo continuo.	0x0	R/W

Dirección	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
				1	Solo el siguiente borde activo del pin $SYSREF\pm$ se utiliza para sincronizar el NCO en el bloque DDC. Los bordes posteriores del pin $SYSREF\pm$ se ignoran. Cuando se encuentra el siguiente borde $SYSREF\pm$, se borra el bit de habilitación de sincronización DDC.		
		0	Modo de sincronización DDC	0 1	El pin de entrada $SYSREF\pm$ debe estar habilitado para que el DDC se sincronice. La sincronización está desactivada. Si sincronización siguiente de DDC ==1, solo el siguiente borde válido del pin $SYSREF\pm$ se usa para sincronizar el NCO en el bloque DDC. Los bordes posteriores del pin $SYSREF\pm$ se ignoran. Cuando se recibe el siguiente borde $SYSREF\pm$, este bit se borra.	0x0	R/W
		7	Selección de mezclador DDC 0	0 1	Mezclador real (las entradas I y Q deben ser del mismo canal real). Mezclador complejo (I y Q deben provenir de canales de recepción ADC en cuadratura real e imaginaria independientes-demoduladores analógicos).	0x0	R/W
		6	Selección de ganancia DDC 0	0 1	La ganancia puede usarse para compensar la pérdida de 6 dB asociada con la mezcla descendente de la señal de entrada a la banda base y el filtrado de sus componentes negativos. 0 dB de ganancia. 6 dB de ganancia (multiplicado por 2).	0x0	R/W
	Mapa de emparejamiento DDC 0 Control	[5:4]	Modo DDC 0 IF	00 01 10 11	Modo IF variable. Modo de frecuencia intermedia 0 Hz. Modo de frecuencia intermedia $fs/4$ Hz. Modo de prueba.	0x0	R/W
0x0310		3	DDC 0 Complejo a Real Enable	0 1	Las salidas complejas (I y Q) contienen datos válidos. Solo la salida real (I). Complejo para habilitar la verdad. Convertido a real con mezclas $fs/4$ adicionales.	0x0	R/W
		2	Reserva		Reservas.	0x0	R
		[1:0]	Selección de tasa de decimación DDC 0	11 00 01 10	Selección de filtro de decimación. Selección de filtro HB1: Decimate 1 (salida real (complejo a real habilitado)) o Decimate 2 (salida complejo (complejo a real deshabilitado)). Selección de filtro HB2+HB1: Decimate 2 (salida real (complejo a real habilitado)) o Decimate 4 (salida complejo (complejo a real deshabilitado)). HB3 + HB2 + HB1 Selección de filtros: Decimate 4 (salida real (complejo a real habilitado)) o Decimate 8	0x0	R/W

				(Salida de números complejos (complejos a números reales desactivados)). HB4+HB3+HB2+HB1 Selección de filtro: decimación 8 (salida real (complejo a real habilitado)) o decimación 16 (salida complejo (complejo a real deshabilitado)).		
--	--	--	--	---	--	--

Dirrección	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
0x0311	Mapa de emparejamiento DDC 0 Selección de entrada	[7:3]	Reserva		Reservas.	0x0	R
			Selección de entrada DDC 0 0	0 1	Canal A/Canal C. Canal B/Canal D.	0x0	R/W
		1	Reserva		Reservas.	0x0	R
		0	Selección de entrada DDC 0 1	0 1	Canal a. Canal b.	0x0	R/W
0x0314	Mapa de emparejamiento DDC 0 incremento de fase 0	[7:0]	DDC 0 Valor de frecuencia NCO, complemento binario, bits [7:0]		Un valor de incremento de fase NCO; Valores de incremento de fase de los dos complementos NCO. Mezcla compleja = (incremento de fase DDC \times fS)/248.	0x0	R/W
0x0315	Mapa de emparejamiento DDC 0 incremento de fase 1	[7:0]	DDC 0 Valor de frecuencia NCO, complemento binario, bits [15:8]		Un valor de incremento de fase NCO; Valores de incremento de fase de los dos complementos NCO. Mezcla compleja = (incremento de fase DDC \times fS)/248.	0x0	R/W
0x0316	Mapa de emparejamiento DDC 0 incremento de fase 2	[7:0]	DDC 0 Valor de frecuencia NCO, complemento binario, bits [23:16]		Un valor de incremento de fase NCO; Valores de incremento de fase de los dos complementos NCO. Mezcla compleja = (incremento de fase DDC \times fS)/248.	0x0	R/W
0x0317	Mapa de emparejamiento DDC 0 incremento de fase 3	[7:0]	DDC 0 Valor de frecuencia NCO, complemento binario, bits [31:24]		Un valor de incremento de fase NCO; Valores de incremento de fase de los dos complementos NCO. Mezcla compleja = (incremento de fase DDC \times fS)/248.	0x0	R/W
0x0318	Mapa de emparejamiento DDC 0 incremento de fase 4	[7:0]	DDC 0 Valor de frecuencia NCO, complemento binario, bits [39:32]		Un valor de incremento de fase NCO; Valores de incremento de fase de los dos complementos NCO. Mezcla compleja = (incremento de fase DDC \times fS)/248.	0x0	R/W
0x031A	Mapa de emparejamiento DDC 0 incremento de fase 5	[7:0]	DDC 0 Valor de frecuencia NCO, complemento binario, bits [47:40]		Un valor de incremento de fase NCO; Valores de incremento de fase de los dos complementos NCO. Mezcla compleja = (incremento de fase DDC \times fS)/248.	0x0	R/W
0x031D	Mapa de emparejamiento DDC 0 Desplazamiento de fase 0	[7:0]	DDC 0 Valor de fase NCO, complemento binario, bits [7:0]		Valores de desplazamiento de fase de los dos complementos NCO.	0x0	R/W
0x031E	Mapa de pares DDC 0 Desplazamiento de fase 1	[7:0]	DDC 0 Valor de fase NCO, complemento binario, bits [15:8]		Valores de desplazamiento de fase de los dos complementos NCO.	0x0	R/W
0x031F	Mapa de pares DDC 0 Desplazamiento de fase 2	[7:0]	DDC 0 Valor de fase NCO, complemento binario, bits [23:16]		Valores de desplazamiento de fase de los dos complementos NCO.	0x0	R/W
0x0320	Mapa de pares DDC 0 Desplazamiento de fase 3	[7:0]	DDC 0 Valor de fase NCO, complemento binario, bits [31:24]		Valores de desplazamiento de fase de los dos complementos NCO.	0x0	R/W
0x0321	Mapa de pares DDC 0 Desplazamiento de fase 4	[7:0]	DDC 0 Valor de fase NCO, complemento binario, bits [39:32]		Valores de desplazamiento de fase de los dos complementos NCO.	0x0	R/W
0x0322	Mapa de emparejamiento DDC 0 Desplazamiento de fase 5	[7:0]	DDC 0 Valor de fase NCO, complemento binario, bits [47:40]		Valores de desplazamiento de fase de los dos complementos NCO.	0x0	R/W
	Mapa de emparejamiento		Reserva		Reservas.		R

0x0327	0	Prueba habilitada	[7:3]				0x0	
				2	Modo de prueba de salida DDC 0 Q habilitado	0 1	Las muestras 0 utilizan siempre los bloques de modo de prueba B/D. El modo de prueba está desactivado. El modo de prueba está habilitado.	0x0 R/W
				1	Reserva		Reservas.	0x0 R

Dirección	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
		0	Modo de prueba de salida DDC 0 I habilitado	0 1	Si la muestra siempre utiliza el bloque A/C del modo de prueba. El modo de prueba está desactivado. El modo de prueba está habilitado.	0x0	R/W
0x0330	Mapa de emparejamiento DDC 1 Control	7	Selección de mezclador DDC 1	0 1	Mezclador real (las entradas I y Q deben ser del mismo canal real). Mezclador complejo (I y Q deben provenir de canales de recepción ADC en cuadratura real e imaginaria independientes-demoduladores analógicos).	0x0	R/W
		6	Selección de ganancia DDC 1	0 1	La ganancia puede usarse para compensar la pérdida de 6 dB asociada con la mezcla descendente de la señal de entrada a la banda base y el filtrado de sus componentes negativos. 0 dB de ganancia. 6 dB de ganancia (multiplicado por 2).	0x0	R/W
		[5:4]	Modo DDC 1 IF	00 01 10 11	Modo IF variable. Modo de frecuencia intermedia 0 Hz. Modo de frecuencia intermedia $f_{S/4}$ Hz. Modo de prueba.	0x0	R/W
		3	DDC 1 Complex Variable Real Enable	0 1	Las salidas complejas (I y Q) contienen datos válidos. Solo la salida real (I). Complejo para habilitar la verdad. Convertido a real con mezclas $f_{S/4}$ adicionales.	0x0	R/W
		2	Reserva		Reservas.	0x0	R
		[1:0]	Selección de la tasa de decimación DDC 1	11 00 01 10	Selección de filtro de decimación. Selección de filtro HB1: Decimate 1 (salida real (complejo a real habilitado)) o Decimate 2 (salida complejo (complejo a real deshabilitado)). Selección de filtro HB2+HB1: Decimate 2 (salida real (complejo a real habilitado)) o Decimate 4 (salida complejo (complejo a real deshabilitado)). HB3 + HB2 + HB1 Selección de filtros: Decimate 4 (salida real (complejo a real habilitado)) o Decimate 8 (Salida de números complejos (complejos a números reales desactivados)). HB4+HB3+HB2+HB1 Selección de filtro: decimación 8 (salida real (complejo a real habilitado)) o decimación 16 (salida complejo (complejo a real deshabilitado)).	0x0	R/W
0x0331	Mapa de emparejamiento DDC 1 Selección de entrada	[7:3]	Reserva		Reservas.	0x0	R
		2	Selección de entrada DDC 1 Q	0 1	Canal A/Canal C. Canal B/Canal D.	0x1	R/W
		1	Reserva		Reservas.	0x0	R
		0	Selección de entrada DDC 1 I	0	Canal A. Canal B.	0x1	R/W

Dirección	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
0x0334	Mapa de emparejamiento DDC 1 incremento de fase 0	[7:0]	DDC 1 Valor de frecuencia NCO, complemento binario, bits [7:0]		Valores de incremento de fase NCO. Valores de incremento de fase de los dos complementos NCO. Mezcla compleja = (incremento de fase DDC \times fs)/248.	0x0	R/W
0x0335	Mapa de emparejamiento DDC 1 incremento de fase 1	[7:0]	DDC 1 Valor de frecuencia NCO, complemento binario, bits [15:8]		Valores de incremento de fase NCO. Valores de incremento de fase de los dos complementos NCO. Mezcla compleja = (incremento de fase DDC \times fs)/248.	0x0	R/W
0x0336	Mapa de emparejamiento DDC 1 incremento de fase 2	[7:0]	DDC 1 Valor de frecuencia NCO, complemento binario, bits [23:16]		Valores de incremento de fase NCO. Valores de incremento de fase de los dos complementos NCO. Mezcla compleja = (incremento de fase DDC \times fs)/248.	0x0	R/W
0x0337	Mapa de emparejamiento DDC 1 incremento de fase 3	[7:0]	DDC 1 Valor de frecuencia NCO, complemento binario, bits [31:24]		Valores de incremento de fase NCO. Valores de incremento de fase de los dos complementos NCO. Mezcla compleja = (incremento de fase DDC \times fs)/248.	0x0	R/W
0x0338	Mapa de emparejamiento DDC 1 incremento de fase 4	[7:0]	DDC 1 Valor de frecuencia NCO, complemento binario, bits [39:32]		Valores de incremento de fase NCO. Valores de incremento de fase de los dos complementos NCO. Mezcla compleja = (incremento de fase DDC \times fs)/248.	0x0	R/W
0x033A	Mapa de emparejamiento DDC 1 incremento de fase 5	[7:0]	DDC 1 Valor de frecuencia NCO, complemento binario, bits [47:40]		Valores de incremento de fase NCO. Valores de incremento de fase de los dos complementos NCO. Mezcla compleja = (incremento de fase DDC \times fs)/248.	0x0	R/W
0x033D	Mapa de emparejamiento DDC 1 Desplazamiento de fase 0	[7:0]	DDC 1 Valor de fase NCO, complemento binario, bits [7:0]		Valores de desplazamiento de fase de los dos complementos NCO.	0x0	R/W
0x033E	Mapa de emparejamiento DDC 1 Desplazamiento de fase 1	[7:0]	DDC 1 Valor de fase NCO, complemento binario, bits [15:8]		Valores de desplazamiento de fase de los dos complementos NCO.	0x0	R/W
0x033F	Mapa de emparejamiento DDC 1 Desplazamiento de fase 2	[7:0]	DDC 1 Valor de fase NCO, complemento binario, bits [23:16]		Valores de desplazamiento de fase de los dos complementos NCO.	0x0	R/W
0x0340	Mapa de emparejamiento DDC 1 Desplazamiento de fase 3	[7:0]	DDC 1 Valor de fase NCO, complemento binario, bits [31:24]		Valores de desplazamiento de fase de los dos complementos NCO.	0x0	R/W
0x0341	Mapa de emparejamiento DDC 1 Desplazamiento de fase 4	[7:0]	DDC 1 Valor de fase NCO, complemento binario, bits [39:32]		Valores de desplazamiento de fase de los dos complementos NCO.	0x0	R/W
0x0342	Mapa de emparejamiento DDC 1 Desplazamiento de fase 5	[7:0]	DDC 1 Valor de fase NCO, complemento binario, bits [47:40]		Valores de desplazamiento de fase de los dos complementos NCO.	0x0	R/W
0x0347	Emparejamiento mapeo DDC 1 prueba habilitada	[7:3]	Reserva		Reservas.	0x0	R
		2	Modo de prueba de salida DDC 1 Q habilitado	0 1	Las muestras Q utilizan siempre el bloque Modo de prueba B/Modo de prueba D. El modo de prueba está desactivado.	0x0	R/W

				El modo de prueba está habilitado.		
		1	Reserva	Reservas.	0x0	R
		0	Modo de prueba de salida DDC 1 habilitado	0 1	La muestra siempre utiliza el bloque Modo de prueba A/Modo de prueba C. El modo de prueba está desactivado. El modo de prueba está habilitado.	0x0 R/W
0x0550	Control de modo de prueba de mapeo de canales	7	Selección de modo de usuario	0 1	Se repiten en sucesión. Modo único.	0x0 R/W
		6	Reserva	Reservas.	0x0	R

Dirección	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
		5	Restablecer el generador de longitud	0 1	La PN larga está habilitada. El PN largo permanece reiniciado.	0x0	R/W
		4	Restablecer la generación corta de PN	0 1	El PN corto está habilitado. Mantenga un PN corto durante el reinicio.	0x0	R/W
		[3:0]	Selección de modo de prueba	0000 0001 0010 0011 0100 0101 0110 0111 1000 1111	Operación anormal. Peso medio corto. Escala completa positiva. Escala completa negativa. Tablero de ajedrez alternativo. SEQUENCIA PN-Larga. SEQUENCIA PN-CORTA. Comutación de palabras 1/0. Modo de prueba de modo de usuario (para selección de modo de prueba y registro de modo de usuario 1 a modo de usuario 4) Salida de rampa.	0x0	R/W
0x0551	Usuarios de mapeo de emparejamiento Modo 1 LSB	[7:0]	Modo de usuario 1, bit [7:0]		El usuario prueba el byte menos significativo del modo 1.	0x0	R/W
0x0552	Usuarios de mapeo de emparejamiento Modo 1 MSB	[7:0]	Modo de usuario 1, bits [15:8]		El usuario prueba el byte más significativo del modo 1.	0x0	R/W
0x0553	Usuarios de mapeo de emparejamiento Modo 2 LSB	[7:0]	Modo de usuario 2, bits [7:0]		El usuario prueba el byte menos significativo del modo 2.	0x0	R/W
0x0554	Usuarios de mapeo de emparejamiento Modo 2 MSB	[7:0]	Modo de usuario 2, bits [15:8]		El usuario prueba el byte más significativo del modo 2.	0x0	R/W
0x0555	Usuarios de mapeo de emparejamiento Modo 3 LSB	[7:0]	Modo de usuario 3, bits [7:0]		El usuario prueba el byte menos significativo del modo 3.	0x0	R/W
0x0556	Usuarios de mapeo de emparejamiento Modo 3 MSB	[7:0]	Modo de usuario 3, bits [15:8]		El usuario prueba el byte más significativo del modo 3.	0x0	R/W
0x0557	Usuarios de mapeo de emparejamiento Modo 4 LSB	[7:0]	Modo de usuario 4, bits [7:0]		Modo de prueba de usuario 4 bytes menos significativos.	0x0	R/W
0x0558	Usuarios de mapeo de emparejamiento Modo 4 MSB	[7:0]	Modo de usuario 4, bits [15:8]		El usuario prueba el modo 4 byte más significativo.	0x0	R/W
0x0559	Modo de control de salida de mapeo de emparejamiento 0	7	Reserva		Reservas.	0x0	R
		[6:4]	Selección del bit de control del convertidor 1	000 001 010 011 100 101 110	Línea baja (1'b0). Bits fuera del rango. Bit de monitor de señal (SMON). Bit de detección rápida (FD). Reservas. SYSREF±. Reservas. Reservas.	0x0	R/W

			111			
	3	Reserva		Reservas.	0x0	R
	[2:0]	Selección del bit de control del convertidor 0	000 001 010 011	Línea baja (1'b0). Bits fuera del rango. Bit de monitor de señal (SMON). Bit de detección rápida (FD).	0x0	R/W

Hoja de datos

AD9694

Dirección	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
				101 100 110 111	SYSREF±. Reservas. Reservas. Reservas.		
0x055A	Modo de control de salida de mapeo emparejado 1	[7:3]	Reserva		Reservas.	0x0	R
		[2:0]	Selección del bit 2 de control del convertidor	000 001 010 011 100 101 110 111	Línea baja (1'b0). Bits fuera del rango. Bit de monitor de señal (SMON). Bit de detección rápida (FD). Reservas. SYSREF±. Reservas. Reservas.	0x1	R/W
0x0561	Modo de muestreo de salida de mapeo emparejado	[7:3]	Reserva		Reservas.	0x0	R
		2	Inversión de muestras	0 1	Los datos de muestra de ADC no se invierten. Los datos de muestra de ADC se invierten.	0x0	R/W
		[1:0]	Selección de formato de datos	00 01	Offset binario. Dos complementos (predeterminado).	0x1	R/W
0x0564	Salida de mapeo emparejado Selección de canales	[7:2]	Reserva		Reservas.	0x0	R
		1	Reserva		Reservas.	0x0	R/W
		0	Control de intercambio de canal del convertidor	0 1	Orden a través de canales normales. El intercambio de canales está habilitado.	0x0	R/W
0x056E	JESD204B mapa PLL control	[7:4]	Control de velocidad de carril JESD204B	0000 0001 0011 0101	Velocidad de canal = 6,75 Gbps a 13,5 Gbps. Velocidad de canal = 3,375 Gbps a 6,75 Gbps. Velocidad de canal = 13,5 Gbps a 15 Gbps. Velocidad de canal = 1,6875 Gbps a 3,375 Gbps.	0x0	R/W
		[3:0]	Reserva		Reservas.	0x0	R
0x056F	JESD204B Mapa el estado PLL	7	Estado de bloqueo PLL	0 1	No está cerrado. Está cerrado.	0x0	R
		[6:4]	Reserva		Reservas.	0x0	R
		3	Reserva		Reservas.	0x0	R
		[2:0]	Reserva		Reservas.	0x0	R
0x0570	Mapa JESD204B Configuración rápida JTX	[7:6]	Configuración rápida L	0 1	Número de carril (L) = 20x0570 [7:6]. L = 1. L = 2.	0x1	R/W
		[5:3]	Configuración rápida M	0 1 10	Número de convertidores (M) = 20x0570 [5:3]. M = 1. M = 2. M = 4.	0x1	R/W
		[2:0]	Configuración rápida F	0 1 10 11	Octetos/número de cuadros (F) = 20x0570 [2:0]. F = 1. F = 2. F = 4. F = 8.	0x1	R/W

Dirección	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
0x0571	Mapa JESD204B Control de enlace JTX 1	7	Modo de espera	0 1	El modo de espera obliga a cero todas las muestras del convertidor. El modo de espera obliga a la sincronización del grupo de códigos (caracteres /K28.5/).	0x0	R/W
			Bit de cola (t) PN	0 1	Desactivado. Habilitar.	0x0	R/W
			Prueba de capa de transporte larga	0 1	Desactivar la muestra de prueba JESD204B. Muestras de prueba JESD 204B habilitadas: secuencia larga de muestras de prueba de capa de transporte enviadas en todos los canales de enlace (como se especifica en la sección 5.1.6.3 de JESD204B).	0x0	R/W
			Sincronización de carril	0 1	Desactivar el uso de FASI /K28.7/. Habilitar FASI con /K28.3/ y /K28.7/.	0x1	R/W
		[3:2]	Patrón de secuencia ILAS	00 01 11	La secuencia de alineación de carril inicial está desactivada (JESD204B 5.3.3.5). Se activó la secuencia de alineación de carril inicial (JESD204B 5.3.3.5). La secuencia t de alineación de canal inicial está siempre en modo de prueba-modo de prueba de capa de enlace de datos de JESD204B, en el que se envían secuencias de alineación de canal repetidas en todos los canales (como se especifica en la sección 5.3.3.8.2 de JESD204B).	0x1	R/W
			La FASI	0 1	Se ha habilitado la inserción de caracteres alineados en el cuadro (JESD204B 5.3.3.4). Desactivar la inserción de caracteres alineados con cuadros-solo para la depuración (JESD204B 5.3.3.4).	0x0	R/W
		0	Control de enlaces	0 1	El enlace de transmisión serie JESD204B está habilitado. Transmisión de /K28. El carácter 5/para la sincronización del grupo de códigos está controlado por el pin SYNCINB \pm x. El enlace de transmisión en serie JESD204B se desalimenta (mantenga el reinicio y la puerta de reloj).	0x0	R/W
0x0572	Mapa JESD204B Control de enlace JTX 2	[7:6]	Control de pines SYNCINB \pm x	00 10 11	Modo normal. Ignorar SYNCINB \pm x (CGS obligatorio). Ignorar SYNCINB \pm x (ILAS/datos de usuario obligatorios).	0x0	R/W
			SYNCINB \pm x pin inversión	0 1	El pin SYNCINB \pm x no está invertido. Inversión del pin SYNCINB \pm x.	0x0	R/W

	4	SYNCINB _± x PIN TIPO	0 1	Sincronización de pares diferenciales LVDS ~ entrada. Entrada síncrona de un solo extremo CMOS.	0x0	R/W
	3	Reserva		Reservas.	0x0	R

Dirección	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
		2	Bypass de 8 bits/10 bits	0 1	Habilitar 8 bits/10 bits. Bypass de 8 bits/10 bits (los dos bits más significativos son 0).	0x0	R/W
		1	Inversión de 8 bits/10 bits	0 1	Normal. Invertir el símbolo abcdefghij.	0x0	R/W
		0	Reserva		Reservas.	0x0	R/W
0x0573	Mapa JESD204B Control de enlace JTX 3	[7:6]	Modo de suma de verificación	00 01 10 11	La suma de comprobación es la suma de todos los registros de 8 bits en la tabla de configuración de enlace. La suma de comprobación es la suma de todos los campos de configuración de enlace individuales (alineación LSB). La suma de verificación está desactivada (establecida a cero). Únicamente para fines de prueba. No utilizado.	0x0	R/W
		[5:4]	Punto de inyección de prueba	0 1 10	N entradas de muestra. Datos de 10 bits de salida de 8 bits/10 bits (para pruebas de PHY). Datos de 8 bits en la entrada del aleatorizador.	0x0	R/W
		[3:0]	Modo de prueba JESD204B	0 1 10 11 100 101 110 111 1000 1110 1111	Funcionamiento normal (modo de prueba desactivado). Tablero de ajedrez alternativo. Comutación de palabras 1/0. Secuencia PN de 31 posiciones: $x^{31+x28+1}$. Secuencia PN de 23 posiciones: $x^{23+x18+1}$. Secuencia PN de 15 posiciones: $x^{15+x14+1}$. Secuencia PN de 9 bits: x^9+x5+1 . Secuencia PN de 7 bits: x^7+x6+1 . Salida de rampa. Pruebas de usuario continuas/repetidas. Prueba de usuario único.	0x0	R/W
0x0574	Mapa JESD204B Control de enlace JTX 4	[7:4]	Retraso ILAS	0 1 10 11 100 101 110 111	Después de que $SYNCINB \pm x$ ha sido desafirmado, el ILAS se transmite en la primera LMFC. Despues de que $SYNCINB \pm x$ se desafirma, se transmite el ILAS en la segunda LMFC. Despues de que $SYNCINB \pm x$ se desafirma, se transmite el ILAS en la tercera LMFC. Despues de que $SYNCINB \pm x$ se desafirma, el ILAS se transmite en la cuarta LMFC. Despues de que $SYNCINB \pm x$ se desafirma, el ILAS se transmite en la quinta LMFC. Despues de que $SYNCINB \pm x$ ha sido desafirmado, el ILAS se transmite en la sexta LMFC. Despues de que $SYNCINB \pm x$ ha sido desafi -	0x0	R/W

				1000	rmado, el ILAS se transmite en la séptima LMFC. Después de que SYNCINB \pm x ha sido desafirmado, el ILAS se transmite en la octava LMFC. Después de que SYNCINB \pm x se desafirma, el ILAS se transmite en la novena LMFC. El ILAS se envía en la décima LMFC después de que se desafirme SYNCINB \pm x.	
				1001		

Dirección	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
				1010 1011 1100 1101 1110 1111	Después de que se desafirme SYNCINB \pm x, se transmite el ILAS en la 11 ^a LMFC. Después de que SYNCINB \pm x se desafirma, el ILAS se envía en la 12 ^a LMFC. Después de que SYNCINB \pm x se desafirma, el ILAS se envía en la 13 ^a LMFC. Después de que SYNCINB \pm x se desafirma, el ILAS se envía en la 14 ^a LMFC. Después de que SYNCINB \pm x se desafirma, el ILAS se envía en la 15 ^a LMFC. Después de que SYNCINB \pm x ha sido desafirmado, el ILAS se envía en la 16 ^a LMFC.		
		3	Reserva		Reservas.	0x0	R
		[2:0]	Modo de prueba de capa de enlace	000 001 010 011 100 101 110 111	Funcionamiento normal (el modo de prueba de capa de enlace está deshabilitado). /D21.5/ Una secuencia consecutiva de caracteres. Reservas. Reservas. Secuencia de prueba RPAT modificada. Secuencia de prueba JSPAT. Secuencia de prueba JTSPAT. Reservas.	0x0	R/W
0x0578	Diagrama JESD204B JTX LMFC Desplazamiento	[7:5]	Reserva		Reservas.	0x0	R
		[4:0]	Valor de desplazamiento de fase LMFC		Valores de desplazamiento de fase del reloj local de múltiples tramas (LMFC). El valor de reinicio del contador de fase LMFC cuando se afirma SYSREF \pm . Para aplicaciones de retraso determinístico.	0x0	R/W
0x0580	Mapa JESD204B Configuración JTX DID	[7:0]	JESD204BTx Valor DID		JESD204x Número de identificación de dispositivo en serie (DID).	0x0	R/W
0x0581	JESD204B Mapa Configuración de ofertas JTX	[7:4]	Reserva		Reservas.	0x0	R
		[3:0]	JESD204BTx Valor de la oferta		Número de identificación de la biblioteca de secuencias JESD204x (BID) (extensión de DID).	0x0	R/W
0x0583	JESD204B mapa JTX LID 0 Configuración	[7:5]	Reserva		Reservas.	0x0	R
		[4:0]	Lane 0 LID Valor		Número de identificación de carril (LID) de secuencia JESD204x para carril 0.	0x0	R/W
0x0585	JESD204B mapa JTX cubierta 1 configuración	[7:5]	Reserva		Reservas.	0x0	R
		[4:0]	Lane 1 LID Valor		Número de identificación de carril (LID) de secuencia JESD204x para carril 1.	0x2	R/W
0x058B	JESD204B mapa JTX SCR L Configuración	7	JESD204B codificación (SCR)	0 1	El aleatorizador JESD204x está desactivado (SCR=0). El aleatorizador JESD204x está habilitado (SCR=1).	0x1	R/W
		[6:5]	Reserva		Reservas.	0x0	R
		[4:0]	JESD204B Carril (L)	0x0 0x1	Un canal por enlace (L = 1). Dos canales por enlace (L=2).	0x1	R
0x058C	Mapa JESD204B Configuración JTX F	[7:0]	Número de octetos por fotograma (F)		Número de octetos por trama, F = registro 0x058C, bit [7:0]+1.	0x1	R

Dirrección	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
0x058D	Mapa JESD204B Configuración JTX K	[7:5]	Reserva		Reservas.	0x0	R
			[4:0]	Número de fotogramas por multifotograma (K)	<p>00011 JESD204x Número de tramas por multifotograma (K = registro 0x058D, bit [4:0]+1). Sólo se pueden usar valores en los que $F \times K$ es divisible por 4. K = 4.</p> <p>00111 K = 8.</p> <p>01100 K = 12.</p> <p>01111 K = 16.</p> <p>10011 K = 20.</p> <p>10111 K = 24.</p> <p>11011 K = 28.</p> <p>11111 K = 32.</p>	0x1F	R/W
0x058E	Mapa JESD204B Configuración JTX M	[7:0]	Número de convertidores por enlace	00000000 00000001 00000011	<p>Enlace conectado a uno de los convertidores virtuales (M = 1).</p> <p>Un enlace conectado a dos convertidores virtuales (M = 2).</p> <p>El enlace está conectado a cuatro convertidores virtuales (M = 4).</p>	0x1	R
0x058F	JESD204B Mapping JTX CS N Configuración	[7:6]	Número de bits de control por muestra (CS)	00 01 10 11	<p>No hay bit de control (CS=0). Un bit de control (CS=1), solo el bit de control 2.</p> <p>Dos bits de control (CS=2), solo el bit de control 2 y el bit de control 1.</p> <p>Tres bits de control (CS = 3), todos los bits de control (bit de control 2, bit de control 1 y bit de control 0).</p>	0x0	R/W
			5	Reserva	Reservas.	0x0	R
0x0590	Mapa JESD204B Versión de subclase JTX Configuración NP	[7:5]	Soporte de subclase	000 001	Subclase 0. Subclase 1.	0x1	R/W
			[4:0]	ADC Número de bits por muestra (N')	00111 01111 N' = 8. N' = 16.	0xF	R/W
0x0591	Mapa JESD204B Configuración JTX S	[7:5]	Reserva		Reservas.	0x1	R
			[4:0]	Número de muestras por período de trama del convertidor	Número de muestras por período de trama del convertidor (S = registro 0x0591, bit [4:0]+1).	0x0	R

Dircción	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
0x0592	JESD204B Mapa JTX HD CF Configuración	7	Valor HD	0 1	Desactivar el formato de alta densidad. Habilitar el formato de alta densidad.	0x0	R
			[6:5]	Reserva	Reservas.	0x0	R
			[4:0]	Palabra de control (CF) por ciclo de reloj de trama por enlace	Número de palabras de control por ciclo de reloj de trama por enlace (CF = registro 0x0592, bit [4:0]).	0x0	R
0x05A0	Diagrama JESD 204B Configuración de suma de comprobación JTX 0	[7:0]	Suma de comprobación 0 Valor de la suma de comprobación de SERDOUTX 0 ±		Valor de suma de comprobación en serie para el canal 0. Calculado automáticamente para cada carril. Suma (todos los parámetros de configuración de enlace para el canal 0) %256.	0xC3	R
0x05A1	Diagrama JESD 204B Configuración de suma de comprobación JTX 1	[7:0]	Suma de comprobación 1 Valor de la suma de comprobación de SERDOUTX 1 ±		Valor de suma de comprobación en serie para el canal 1. Calculado automáticamente para cada carril. Suma (todos los parámetros de configuración de enlace para el canal 1) %256.	0xC4	R
0x05B0	Serdoutx 0± / SERDOUTX 1± CANAL PARA ELECTRICIDAD	7	Reserva		Reservas.	0x1	R/W
		6	Reserva		Reservas.	0x1	R/W
		5	Reserva		Reservas.	0x1	R/W
		4	Reserva		Reservas.	0x1	R/W
		3	Reserva		Reservas.	0x1	R/W
		2	SERDOUTX 1 ± CANAL 1 DESENCIADO		Desconexión forzada del canal físico 1.	0x0	R/W
		1	Reserva		Reservas.	0x1	R/W
		0	SERDOUTX 0± CANAL 0 PUEDE ENERGIZACIÓN		Canal físico 0 apagado forzado.	0x0	R/W
0x05B2	Mapa JESD204B Asignación de canal JTX 1	7	Reserva		Reservas.	0x0	R
		[6:4]	Reserva		Reservas.	0x0	R/W
		3	Reserva		Reservas.	0x0	R
		[2:0]	SERDOUTX 0 ± Asignación de carril	0 1 10 11	Canal lógico 0 (predeterminado). Canal lógico 1. Canal lógico 2. Canal lógico 3.	0x0	R/W
0x05B3	JESD204B Mapa JTX Carril Asignación 2	7	Reserva		Reservas.	0x0	R
		[6:4]	Reserva		Reservas.	0x1	R/W
		3	Reserva		Reservas.	0x0	R
		[2:0]	SERDOUTX 1 ± Asignación de carril	0 1 10 11	Canal lógico 0. Canal lógico 1 (predeterminado). Canal lógico 2. Canal lógico 3.	0x1	R/W
0x05C0	Mapa JESD204B Ajuste del controlador del programa en serie JESD 204B	[7:3]	Reserva		Reservas.	0x0	R
		[2:0]	Voltaje de oscilación Serdoutx 0±	0 1	1.0 × DRVDD1 (diferencial). 0.850 × DRVDD1 (diferencial).	0x1	R/W
0x05C1	Mapa JESD204B Ajuste del controlador del programa	[7:3]	Reserva		Reservas.	0x0	R

en serie JESD 204B	[2:0]	Voltaje de oscilación Serdoutx 1±	0 1	1.0 × DRVDD1 (diferencial). 0.850 × DRVDD1 (diferencial).	0x1	R/W
-----------------------	-------	--------------------------------------	--------	--	-----	-----

Dirección	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
0x05C4	Registro de selección de preéñfasis del serializador JESD204B para el canal lógico 0	7	Habilitar después de hacer clic	0 1	Desactivado. Habilitar.	0x0	R/W
		[6:4]	Establecer el nivel de la pestaña de publicación	0 1 10 11 100	0 dB (se recomienda cuando la oscilación de voltaje se establece en 0, cuando la pérdida de inserción = 0 dB a 4 dB). 3 dB (se recomienda cuando la oscilación de voltaje se establece en 0, cuando la pérdida de inserción = 4 dB a 9 dB). 6 dB (se recomienda cuando la oscilación de voltaje se establece en 0, cuando la pérdida de inserción = 9 dB a 14 dB). 9 dB (se recomienda cuando la pérdida de inserción es > 14 dB cuando la oscilación de voltaje se establece en 0). 12 decibelios.	0x0	R/W
		[3:0]	Reserva		Reservas.	0x0	R
0x05C6	Registro de selección de preéñfasis del serializador JESD204B para el canal lógico 1	7	Polaridad después de la toma	0 1	Desactivado. Habilitar.	0x0	R/W
		[6:4]	Establecer el nivel de la pestaña de publicación	0 1 10 11 100	0 dB (se recomienda cuando la oscilación de voltaje se establece en 0, cuando la pérdida de inserción = 0 dB a 4 dB). 3 dB (se recomienda cuando la oscilación de voltaje se establece en 0, cuando la pérdida de inserción = 4 dB a 9 dB). 6 dB (se recomienda cuando la oscilación de voltaje se establece en 0, cuando la pérdida de inserción = 9 dB a 14 dB). 9 dB (se recomienda cuando la pérdida de inserción es > 14 dB cuando la oscilación de voltaje se establece en 0). 12 decibelios.	0x0	R/W
		[3:0]	Reserva		Reservas.	0x0	R
0x0922	Gran control de jitter	[7:0]	Gran control de jitter	1110000 1110001	Habilitar. Desactivado.	0x70	R/W
0x1222	Calibración PLL	[7:0]	Calibración PLL	0x00 0x04	Calibración de PLL. Funcionamiento normal. Calibración PLL	0x0	R/W
0x1228	JESD204B Inicio Restablecimiento del circuito ascendente	[7:0]	JESD204B inicia el reinicio del circuito	0x0F 0x4F	JESD204B inicia el reinicio del circuito. Funcionamiento normal. Iniciar el reinicio del circuito.	0xF	R/W
0x1262	Control de pérdida de bloqueo de bucle de fase bloqueada		Control de bloqueo de pérdida de bucle de bloqueo de fase	0x00 0x08	El bucle de bloqueo de fase pierde el control de bloqueo. Funcionamiento normal. Obviamente perdido el bloqueo.	0x0	R/W
0x0701	CC Offset Control de calibración	[7:0]	Control de calibración de polarización DC	0x06 0x86	Desactivar la calibración de desplazamiento de CC. Habilitar la calibración de desplazamiento de CC.	0x06	R/W
0x073B	Control de calibración de desplazamiento	7	Calibración de desplazamiento DC habilitada 2	0 1	Habilitar (cuando el registro 0x0701, bit 7 = 1, debe establecerse a 0). Desactivado (debe establecerse a 1).	0x1	R/W

	DC 2 (local)				erse en 1 cuando el registro 0x0701, bit 7 = 0).		
		[6:0]	Reserva	111111	Reservas.	0x3F	R
0x18A6	Mapa de control VREF	[7:5]	Reserva		Reservas.	0x0	R
		4	Reserva		Reservas.	0x0	R/W
		[3:1]	Reserva		Reservas.	0x0	R
		0	Control VREF	0 1	Referencias internas. Referencias externas.	0x0	R/W

Dirección	Name	Bits	Nombre de bits	Configuración	Descripción	RESET	Visitas
0x18E0	Control de búfer VCM externo 1	[7:0]	Control de búfer VCM externo 1		Para obtener más información, consulte la sección Introducción de modo común.	0x0	R/W
0x18E1	Control de búfer VCM externo 2	[7:0]	Control de búfer VCM externo 2		Para obtener más información, consulte la sección Introducción de modo común.	0x0	R/W
0x18E2	Control de búfer VCM externo 3	[7:0]	Control de búfer VCM externo 3		Para obtener más información, consulte la sección Introducción de modo común.	0x0	R/W
0x18E3	Externo VCM Control de buffer	7	Reserva		Reservas.	0x0	R/W
		6	Búfer VCM externo	1 0	Habilitar. Desactivado.	0x0	R/W
		[5:0]	Configuración de corriente del búfer VCM externo		Para obtener más información, consulte la sección Introducción de modo común.	0x0	R/W
0x18E6	Temperatura Salida del diodo	[7:1]	Reserva		Reservas.	0x0	R/W
		0	Derivación del diodo de temperatura	1 0	Habilitar. Desactivado.	0x0	R/W
0x1908	Mapa de canales Control de entrada analógica	[7:6]	Reserva		Reservas.	0x0	R
		[5:4]	Reserva		Reservas.	0x0	R/W
		3	Reserva		Reservas.	0x0	R
		2	Control de acoplamiento CC de entrada analógica	0 1	Control de acoplamiento de CC de entrada analógica. Acoplamiento de CA. Acoplamiento DC.	0x0	R/W
		1	Reserva		Reservas.	0x0	R
		0	Reserva		Reservas.	0x0	R/W
0x1910	Mapa de canales Rango de entrada a escala completa	[7:4]	Reserva		Reservas.	0x0	R
		[3:0]	Control de escala completa de entrada	0000 1010 1011 1100 1101 1110 1111	2.16 V p-p. 1.44 V p-p. 1.56 V p-p. 1.68 V p-p. 1.80 V p-p. 1.92 V p-p. 2.04 V p-p. Reservas.	0xD	R/W
0x1A4C	Control de memoria intermedia de mapeo de canales 1	[7:6]	Reserva		Reservas.	0x0	R
		[5:0]	Control de tampón 1	00110 01000 01010 01100 01110 10000 10010 10100 10110	120 µA. 160 µA. 200 µA. 240 µA. 280 µA. 320 µA. 360 µA. 400 µA. 440 µA.	0xC	R/W
		[7:6]	Reserva		Reservas.	0x0	R
		[5:0]	Control de tampón 2	00110 01000 01010 01100 01110 10000 10010 10100 10110	120 µA. 160 µA. 200 µA. 240 µA. 280 µA. 320 µA. 360 µA. 400 µA. 440 µA.	0xC	R/W
		[7:6]	Reserva		Reservas.	0x0	R
		[5:0]	Control de tampón 3	00110 01000 01010 01100 01110 10000 10010 10100 10110	120 µA. 160 µA. 200 µA. 240 µA. 280 µA. 320 µA. 360 µA. 400 µA. 440 µA.	0xC	R/W
		[7:6]	Reserva		Reservas.	0x0	R
		[5:0]	Control de tampón 4	00110 01000 01010 01100 01110 10000 10010 10100 10110	120 µA. 160 µA. 200 µA. 240 µA. 280 µA. 320 µA. 360 µA. 400 µA. 440 µA.	0xC	R/W
		[7:6]	Reserva		Reservas.	0x0	R
		[5:0]	Control de tampón 5	00110 01000 01010 01100 01110 10000 10010 10100 10110	120 µA. 160 µA. 200 µA. 240 µA. 280 µA. 320 µA. 360 µA. 400 µA. 440 µA.	0xC	R/W

Información de la solicitud

RECOMENDACIONES DE FUENCIA

El AD9694 debe ser alimentado por las siguientes siete fuentes de alimentación: AVDD1=AVDD1_SR=0,975 V, AVDD2=1,8 V, AVDD3=2,5 V, DVDD=0,975 V, DRVDD1=0,975 V, DRVDD2=1,8 V y SPIVDD=1,8 V. Para aplicaciones que requieren una eficiencia óptima de alta potencia y un rendimiento de bajo ruido, se recomienda utilizar el regulador de conmutación ADP5054 Quad para convertir un carril de entrada de 6,0 V o 12 V en un carril intermedio (1,3 V, 2,4 V, Y 3,0 V). Estos rafíles intermedios se ajustan posteriormente a través de reguladores de bajo nivel de ruido y bajo nivel de presión (LDO), tales como ADP1762, ADP7159, ADP151 y ADP7118. La Figura 106 muestra el esquema de alimentación recomendado para el AD9694.

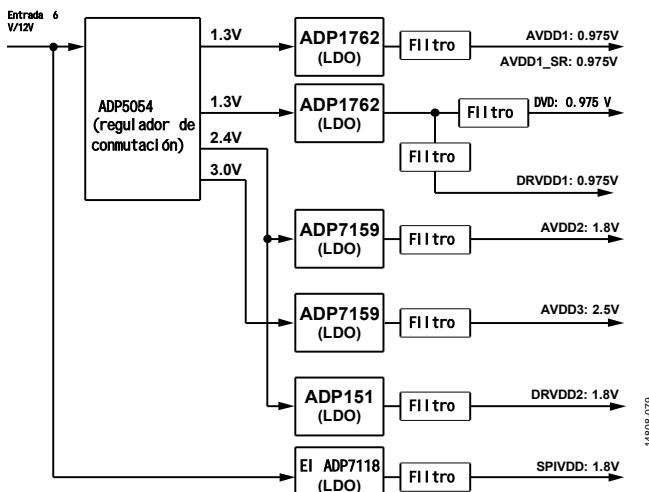


Figura 106. Solución de fuente de alimentación de alta eficiencia y bajo ruido para AD9694

No es necesario dividir todos estos dominios de potencia en todos los casos. La solución recomendada que se muestra en la Figura 106 proporciona al AD9694 el sistema de suministro de energía menos ruidoso y más eficiente. Si solo está disponible una fuente de alimentación de 0,975 V, primero conectela al AVDD1, luego tométela y aislándola con una perla de ferrita o un choque de filtro, y luego establezca el condensador de desacoplamiento para AVDD1_SR, DVDD y DRVDD1 secuencialmente. Los usuarios pueden emplear varios condensadores de desacoplamiento diferentes para cubrir frecuencias altas y bajas. Estos condensadores deben colocarse cerca del punto de entrada de la etapa de PCB y del dispositivo con una longitud mínima de trazas.

Recomendaciones para disipadores de calor de almohadillas expuestas

Las almohadillas expuestas en la parte inferior del ADC deben conectarse al AGND para lograr el mejor rendimiento eléctrico y térmico del AD9694. Conecte el plano de cobre continuo desnudo en la PCB a la almohadilla desnuda AD9694, pin 0. El plano de cobre debe tener varios orificios pasantes para lograr la trayectoria térmica de resistencia más baja posible para que la disipación de calor fluya a través de la parte inferior de la PCB. Estos agujeros deben rellenarse con soldadura o obstruirse. El número de vías y el relleno determina el resultado ya medido en la placa de circuito, tal como se muestra en la Tabla 9. Un ejemplo de disposición de PCB se muestra en la Figura 107. Para obtener información detallada sobre el diseño de PCB para el paquete y el paquete a escala de chip, consulte la Nota de aplicación AN-772, Guía de diseño y fabricación para el paquete a escala de chip con marco de cable (LFCSP).

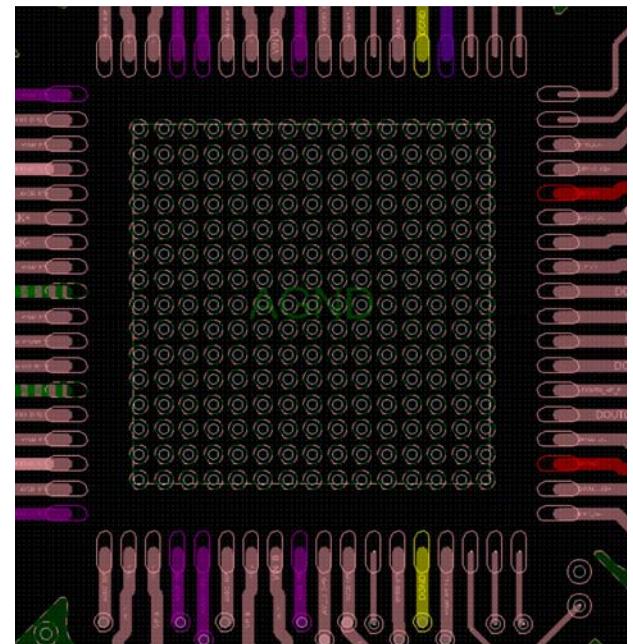


Figura 107. Diseño de PCB recomendado para las almohadillas expuestas para el AD9694

AVDD1_SR (pin 64) y AGND_SR (pin 63 y pin 67)

AVDD1_SR (pin 64) y AGND_SR (pin 63 y pin 67) pueden proporcionar un nodo de alimentación separado para el circuito SYSREF \pm del AD9694. Si se ejecuta en la subclase 1, el AD9694 puede soportar señales periódicas de paso único o de intersticio. Para minimizar el acoplamiento de esta fuente de alimentación con el nodo de alimentación AVDD1, se requiere una derivación adecuada de la fuente de alimentación.

Dimensiones exteriores

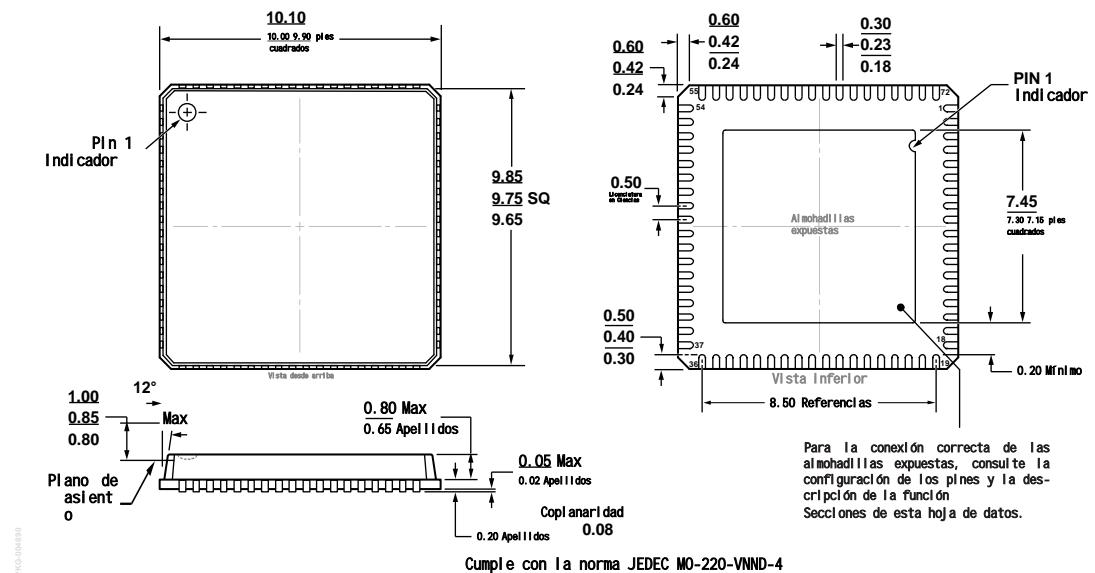


Figura 108. 72-Lead Lead Frame Chip Scale Package [LFCSP] 10 mm x 10 mm Cuerpo y 0,85 mm Altura del paquete (CP-72-10) Dimensiones en milímetros

30-06-2015-A

Guía de pedido

Modelo 1	Rango de temperatura de unión	INSTRUCCIONES DE	Opciones de paquetes
AD9694BCPZ-500	?40° C a +105° C	Paquete a escala de chip con marco de lead de 72 pines [LFCSP]	CP-72-10
AD9694BCPZRL7-500	?40° C a +105° C	Paquete a escala de chip con marco de lead de 72 pines [LFCSP]	CP-72-10
AD9694-500EBZ		Comité de Evaluación	

¹Z = piezas que cumplen con RoHS.