

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

要約；要約；要約

通信、グラフィック、イメージングアプリケーション
向けの高性能信号処理装置

スーパーハードアーキテクチャ

デュアルデータフェッチ、命令フェッチ、非侵入I/Oのため
の4つの独立したバス

32ビットIEEE浮動小数点計算ユニット-乗算器、ALU、お
よびシフタ

デュアルポートされたオンチップスラムと統合されたI/O周
辺機器-完全なチップ上のシステム

統合されたマルチ処理機能

240リード熱強化MQFP、PQ4パッケージ、225ボールプラスチ
ックボールグリッドアレイ (PBGA)、240リード密閉CQFP
パッケージ

RoHS準拠パッケージ

主な機能-プロセッサコア

40 MIPS、25 ns命令率、シングルサイクル命令実行

120 MFLOPSピーク、80 MFLOPS持続パフォーマンスデュアルデ
ータアドレスジェネレータ、モジュロおよびビットリバース
アドレス指定)

ゼロオーバーヘッドループによる効率的なプログラムシ
ーケンシング：シングルサイクルループセットアップ

IEEE JTAG標準1149.1テストアクセスポートとオンチッ
プエミュレーション

32ビット単一精度および40ビット拡張精度IEEE浮動小数
点データフォーマットまたは32ビット固定小数点デー
タフォーマット

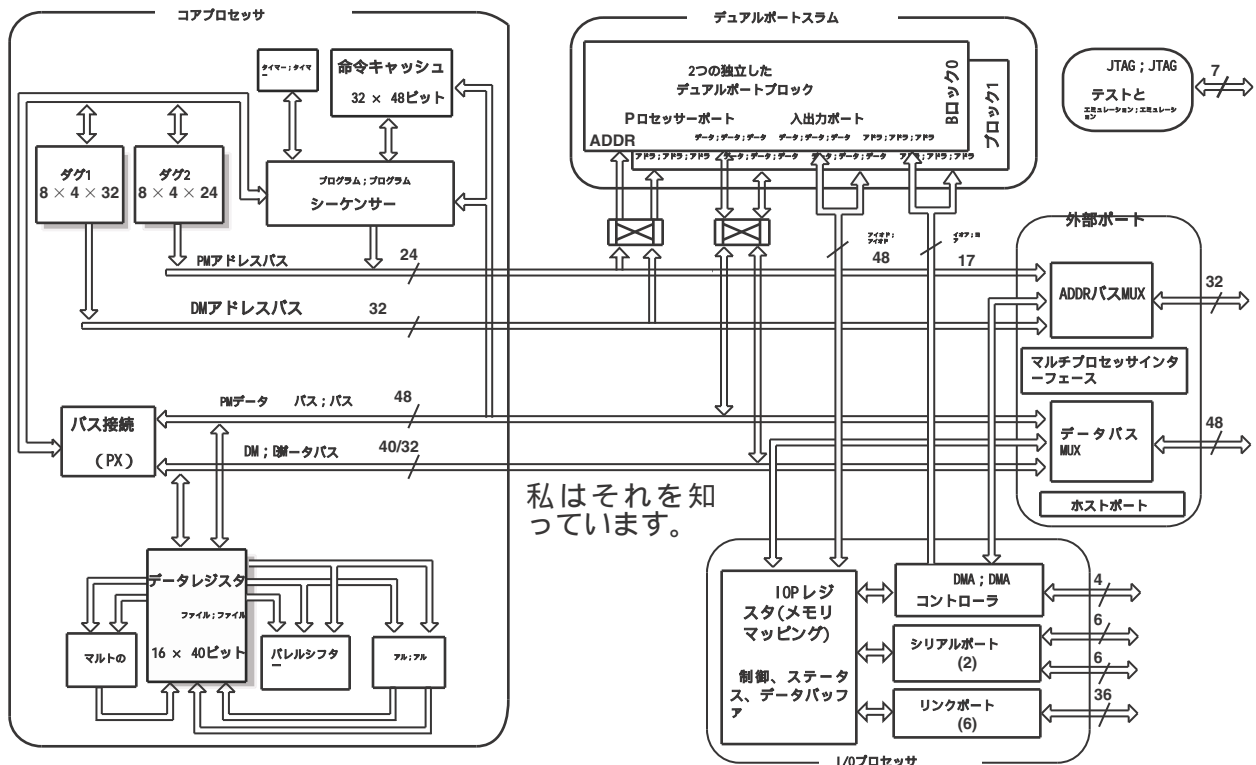


図1. 機能ブロック図

SHARCおよびSHARCロゴは、アナログデバイス、株式会社の登録商標です。

回覧H

文書フィードバック

アナログデバイスによって提供される情報は正確で信頼性があると考えられています。た
だし、アナログデバイスは、その使用、またはその使用に起因する第三者の特許またはそ
の他の権利の侵害について一切の責任を負いません。仕様は予告なく変更される場合があ
ります。アナログデバイスの特許または特許権に基づいて、暗黙的またはその他の方法で
ライセンスは付与されません。商標および登録商標は、それぞれの所有者の財産です。

ワンテックノロジーウェイ、P.O. ボックス9106、ノーウッド、MA 02062-9106 U.S.A. 電
話：781. 329. 4700©2013アナログデバイス株式会社すべての権利は所有されます。

技術的サポート

www.analog.com

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

並列計算

デュアルメモリの読み取り/書き込みおよび命令フェッチと並行したシングルサイクル乗算およびALU操作
加速されたFFTパタフライ計算のための加算と減算を掛ける

最大4MビットのオンチップSRAM

コアプロセッサとDMAによる独立したアクセスのためのデュアルポート

オフチップメモリインタフェース

アドレス指定可能な4ギガワード
プログラム可能な待機状態生成、ページモードドラムサポート

DMAコントローラ

10 ADSP-2106x内部メモリと外部メモリ、外部周辺機器、ホストプロセッサ、シリアルポート、またはリンクポート間の転送用のDMAチャンネル
フルスピードプロセッサの実行と並行して、最大40 MHzのバックグラウンドDMA転送

16ビットおよび32ビットマイクロプロセッサへのホストプロセッサインタフェース

ホストはADSP-2106x内部メモリとIOPレジスタを直接読み取り/書き込むことができます

多重処理

スケーラブルなDSPマルチプロセッサアーキテクチャのための接着レス接続

最大6つのADSP-2106xsプラスホストの並列バス接続用の分散オンチップバス調停

ポイントツーポイント接続とアレイマルチ処理用の6つのリンクポート

240 パラレルバス経由のMBps転送レート

240 リンクポートを介したMBps転送レート

シリアルポート

コンバンディングハードウェアを備えた2つの40 Mbps同期シリアルポート

独立した送受信機能

表1. ADSP-2106x SHARCプロセッサファミリーの機能

特徴	広告-21060	広告-21062	広告-21060L	広告-21062L	広告-21060C	ADSP-21060LC
スラム; スラム; スラム	4Mビット	2Mビット	4Mビット	2Mビット	4Mビット	4Mビット
動作電圧	5 V.	5 V.	3.3 V.	3.3 V.	5 V.	3.3 V.
命令レート	33 MHzの 40 MHzの	33 MHzの 40 MHzの	33 MHzの 40 MHzの	33 MHzの 40 MHzの	33 MHzの 40 MHzの	33 MHzの 40 MHzの
パッケージ	MQFP_PQ4PBGA	MQFP_PQ4PBGA	MQFP_PQ4PBGA	MQFP_PQ4PBGA	CQFP	CQFP

内容 ; 内容

まとめ	1	電気特性(3.3v)	18
一般的な説明	4	内部消費電力(3.3v)	19
SHARCファミリーコアアーキテクチャ	4	外部消費電力(3.3v)	20
メモリとI/Oインターフェースの機能	5	絶対最大評価	20
開発ツール	8	ESDの注意	21
追加情報	9	パッケージマーキング情報	21
関連信号鎖	9	タイミング仕様	21
ピン機能の説明	10	試験条件	48
EZ-ICEプロブ用ターゲットボードコネクタ	13	環境条件	51
ADSP-21060/ADSP-21062仕様	15	225ボールPBGAボール構成	52
運転条件(5v)	15	240リードMQFP_PQ4/CQFPピン構成	54
電気特性(5v)	15	輪郭寸法	56
内部消費電力(5v)	16	表面実装設計	61
外部消費電力(5v)	17	注文ガイド	62
ADSP-21060L/ADSP-21062L仕様	18		
運転条件(3.3v)	18		

改訂履歴

3/13-rev.g to rev h更新された開発ツール	8
PTOTAL=PEXTから消費電力方程式を修正しました (IDDIN2 × 5.0v)からPTOTAL=PEXT(IDDIN2 × 3.3v)	
外部消費電力(3.3v)	20

一般的な説明

ADSP-2106x SHARC® – Super Harvard Architecture Computer – は、高いレベルのDSPパフォーマンスを提供する32ビット信号処理マイクロコンピュータです。ADSP-2106xはADSP-21000 DSPコアに基づいて完全なチップ上のシステムを形成し、デュアルポートされたオンチップSRAMと専用のI/Oバスでサポートされた統合されたI/O周辺機器を追加します。

高速で低電力のCMOSプロセスで作製されたADSP-2106xは、命令サイクル時間が25nsで、40 MIPSで動作します。プロセッサは、オンチップ命令キャッシュにより、1サイクルですべての命令を実行できます。表2は、ADSP-2106xのパフォーマンスベンチマークを示しています。

ADSP-2106x SHARCは、高性能浮動小数点DSPコアと、最大4MビットSRAMメモリ(表1を参照)、ホストプロセッサインターフェースを含む統合されたオンチップシステム機能を組み合わせた信号コンピュータの統合の新しい標準を表します。、DMAコントローラ、シリアルポートとリンクポート、および接着剤のないDSPマルチプロセッシングのためのパラレルバス接続。

表2. ベンチマーク (40 MHz)

ベンチマークアルゴリズム	スピード	サイクル
1024点複合FFT(基数4、反転付き)	0.46 μ s	18,221
モミフィルター(タップごと)	25 ns	1
IIRフィルター(バイクワッドごと)	100 ns	4
分割(y/x)	150 ns	6
逆平方根	225 ns	9
DMA転送速度	240 エムバイト/秒	

ADSP-2106xは、高性能の32ビットDSPコアと統合されたオンチップシステム機能を組み合わせて、SHARCの業界トップのDSP統合基準を継続しています。ページ1のブロック図は、次のアーキテクチャ特徴を示しています。

- ? 共有データレジスタファイルを持つ計算ユニット (ALU、乗算器、シフタ)
- ? データアドレスジェネレータ(DAG1、DAG2)
- ? 命令キャッシュ付きプログラムシーケンサ
- ? コア・プロセッサのサイクルごとにメモリとコア間で4つの32ビットデータ転送をサポートするPMおよびDMバス
- ? 間隔タイマー
- ? オンチップSRAM
- ? オフチップメモリおよび周辺機器とのインターフェース用外部ポート
- ? ホストポートおよびマルチプロセッサインターフェース
- ? DMAコントローラ

- ? シリアルポートとリンクポート
- ? JTAGテストアクセスポート

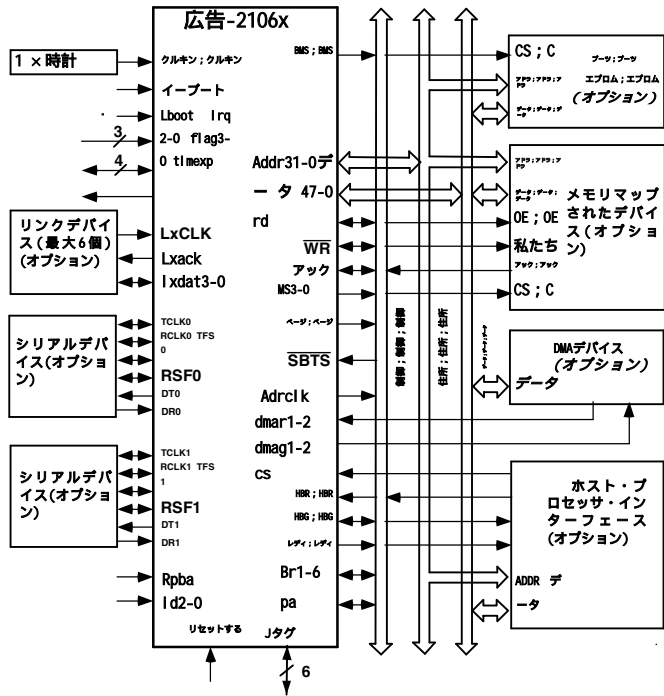


図2. ADSP-2106xシステムサンプル構成

SHARCファミリーコアアーキテクチャ

ADSP-2106xには、ADSP-21000ファミリーコアの以下のアーキテクチャ機能が含まれています。

独立した並列計算ユニット

演算論理ユニット (ALU)、乗算器、およびシフタは、すべて単一サイクル命令を実行します。3つのユニットは並列に配置されており、計算スループットを最大化します。単一の多関数命令は並列アルー演算と乗算演算を実行する。これらの計算ユニットは、IEEE 32ビット単一精度浮動小数点、拡張精度40ビット浮動小数点、および32ビット固定点データ形式をサポートしています。

データレジスタファイル

前記演算部と前記データバスとの間でデータを転送し、中間結果を記憶するために汎用のデータレジスタファイルを用いる この10ポート、32レジスタ(16プライマリ、16セカンダリ)レジスタファイルは、ADSP-21000 Harvardアーキテクチャと組み合わせることで、計算ユニットと内部メモリ間の制約のないデータフローを可能にします。

命令と2つのオペランドの単一サイクルフェッチ

ADSP-2106xは、データメモリ(DM)バスがデータを転送し、プログラムメモリ(PM)バスが命令とデータの両方を転送する強化されたHarvardアーキテクチャを備えています(ページ1の図1を参照)。独立したプログラムとデータメモリバスとオンチップ命令キャッシュを使用すると、プロセッサは2つのオペランドと1つの命令(キャッシュから)を同時に取得でき、すべて1サイクルで取得できます。

命令キャッシュ

前記ADSP-2106xは、命令と2つのデータ値を取り込むための3バス動作を可能にするオンチップ命令キャッシュを備える、キャッシュは選択的です-フェッチがPMバスデータアクセスと競合する命令のみがキャッシュされます。これにより、デジタルフィルタの乗算蓄積やFFTバタフライ処理などのコア・ループ動作をフルスピードで実行できます。

ハードウェア円形バッファ付きデータアドレスジェネレータ

ADSP-2106xの2つのデータアドレスジェネレータ(DAGs)は、ハードウェアに円形のデータバッファを実装します。円形バッファは、デジタル信号処理に必要な遅延線やその他のデータ構造の効率的なプログラミングを可能にし、デジタルフィルタやフーリエ変換で一般的に使用されます。ADSP-2106xの2つのDAGには、最大32個の円形バッファ(16個のプライマリレジスタセット、16個のセカンダリレジスタセット)を作成できる十分なレジスタが含まれています。DAGはアドレスポインタのラップアラウンドを自動的に処理し、オーバーヘッドを削減し、パフォーマンスを向上させ、実装を簡素化します。円形バッファは、任意のメモリ場所で開始および終了することができます。

柔軟な指示セット

48ビットの命令ワードは、簡潔なプログラミングのために、さまざまな並列演算を収容します。例えば、ADSP-2106xは、乗算、加算、減算、分岐を、すべて1つの命令で条件付きに実行することができます。

メモリとI/Oインターフェースの機能

ADSP-2106xプロセッサは、SHARCファミリーコアに次のアーキテクチャ機能を追加します。

デュアルポート型オンチップメモリ

ADSP-21062/ADSP-21062Lは2メガビットのオンチップSRAMを含み、ADSP-21060/ADSP-21060Lは4MビットのオンチップSRAMを含んでいます。前記内部メモリは、前記ADSP-21062/ADSP-21062Lのそれぞれ1Mビットの2つの等サイズブロックと、前記ADSP-21060/ADSP-21060Lのそれぞれ2Mビットの2つの等サイズブロックとで構成される、それぞれは、コードとデータストレージのさまざまな組み合わせ用に構成できます。各メモリブロックは、コアプロセッサとI/OプロセッサまたはDMAコントローラによる単一サイクルの独立したアクセスのためにデュアルポートされています。デュアルポートされたメモリと個別のオンチップバスにより、コアからの2つのデータ転送とI/Oからの1つのデータ転送が可能になり、すべて1サイクルで行われます。ADSP-21062/ADSP-21062Lでは、メモリは、32ビットデータの最大64kワード、16ビットデータの128kワード、48ビット命令(または40ビットデータ)の40kワード、または最大2メガビットまでの異なるワードサイズの組み合わせとして構成できます。すべてのメモリは、16ビット、32ビット、または48ビットのワードとしてア

ADSP-21060/ADSP-21060Lでは、メモリを最大128kワードの32ビットデータ、256kwordsの16ビットデータ、80kワードの48ビット命令(または40ビットデータ)、または4メガビットまでの異なるワードサイズの組み合わせとして構成できます。すべてのメモリは、16ビット、32ビット、または48ビットのワードとしてアクセスできます。16ビット浮動小数点記憶フォーマットをサポートし、チップ上に記憶できるデータ量を効果的に2倍にする。32ビット浮動小数点フォーマットと16ビット浮動小数点フォーマットの変換は1つの命令で行われる。

各メモリブロックはコードとデータの組み合わせを格納することができますが、一方のブロックは転送にDMバスを使用してデータを格納し、もう一方のブロックは転送にPMバスを使用して命令とデータを格納する場合、アクセスが最も効率的です。このようにDMバスとPMバスを使用すると、各メモリブロックに1つ専用で、2つのデータ転送でシングルサイクル実行が保証されます。この場合、命令はキャッシュで利用可能でなければなりません。また、ADSP-2106xの外部ポートを介して、データオペランドのいずれかがオフチップと転送されたり、オフチップから転送されたりすると、シングルサイクル実行が維持されます。

オンチップメモリおよび周辺機器インターフェース

ADSP-2106xの外部ポートは、オフチップメモリおよび周辺機器へのプロセッサのインターフェースを提供します。4ギガワードのオフチップアドレス空間は、ADSP-2106xの統合されたアドレス空間に含まれます。PMアドレス、PMデータ、DMアドレス、DMデータ、I/Oアドレス、およびI/Oデータのための個別のオンチップバスは、外部ポートで多重され、単一の32ビットアドレスバスと単一の48ビット(または32ビット)データバスを備えた外部システムバスを作成します。

上位アドレス線のオンチップ復号により、外部メモリデバイスのアドレス指定が容易になり、メモリバンクセレクト信号が生成される。ページモードドラムのsimプライファイドアドレス指定用にも個別の制御線が生成されます。ADSP-2106xは、プログラム可能なメモリ待機状態と外部メモリ確認制御を提供し、可変アクセス、ホールド、および無効時間要件を備えたドラムおよび周辺機器とのインターフェースを可能にします。

ホストプロセッサインターフェース

ADSP-2106xのホストインターフェースにより、追加のハードウェアをほとんど必要とせずに、16ビットと32ビットの両方の標準マイクロプロセッサバスに簡単に接続できます。プロセッサのフルクロックレートまでの速度での非同期転送がサポートされています。ホストインターフェースはADSP-2106xの外部ポートを介してアクセスされ、統合されたアドレス空間にメモリマッピングされます。DMAの4つのチャネルは、ホストインターフェースに利用可能です。コードとデータ転送は、低ソフトウェアオーバーヘッドで達成されます。

前記ホストプロセッサは、前記ホストバス要求(HBR)、ホストバスグラント(HBG)、およびready(REDY)信号を持つADSP-2106xの外部バスを要求する。ホストはADSP-2106xの内部メモリを直接読み書きでき、DMAチャネルセットアップとメールボックスレジスタにアクセスできます。ベクトル割込みサポートは、ホストコマンドの効率的な実行のために提供されます。

クセスできます。

rev. h 2013年3月64日の5ページ

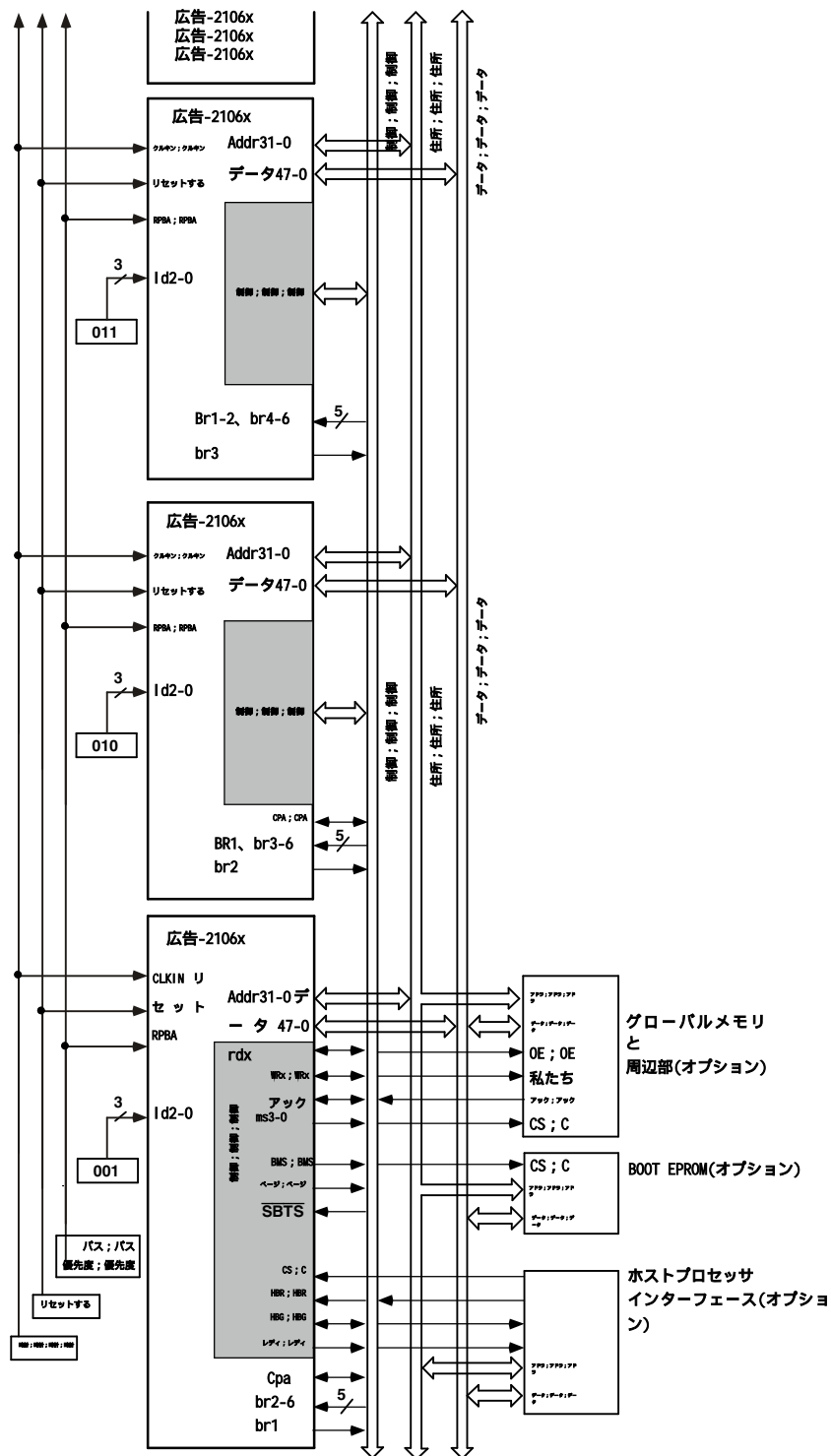


図3. 共有メモリ多重処理システム

DMAコントローラ

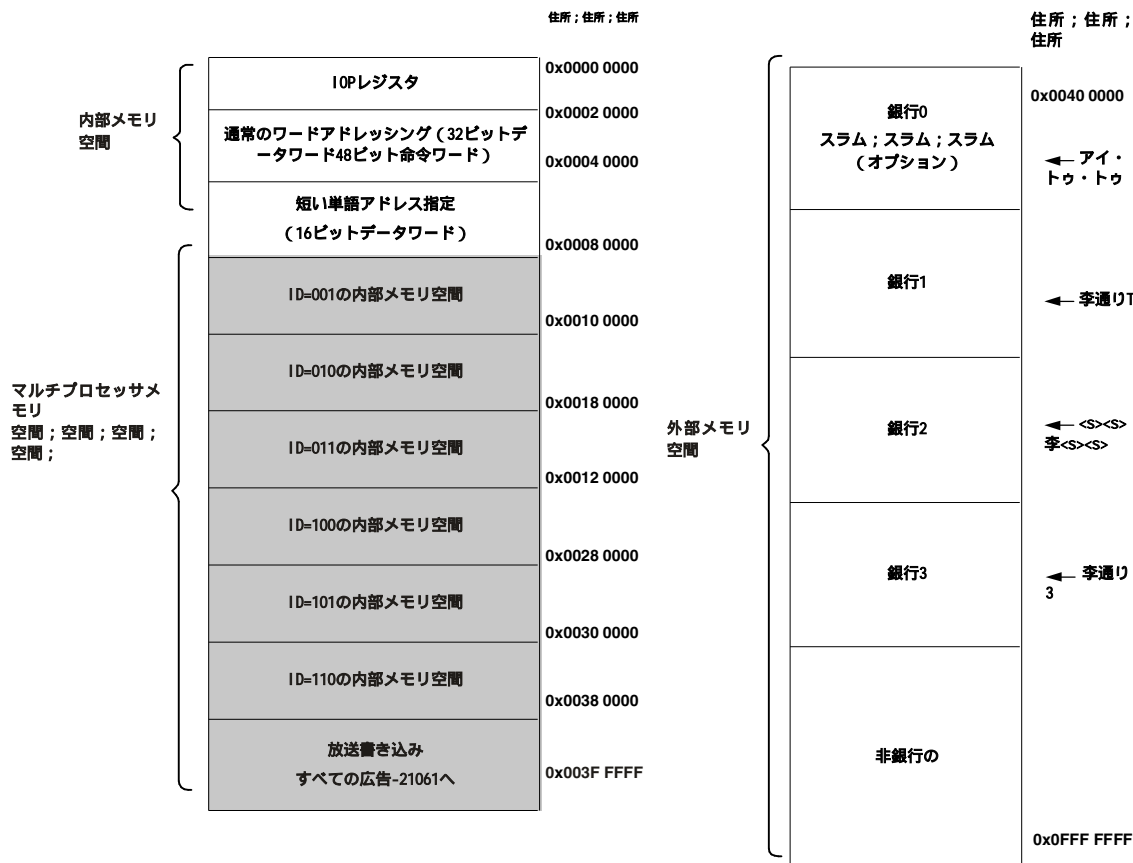
ADSP-2106xのオンチップDMAコントローラは、プロセッサの介入なしにゼロオーバーヘッドデータ転送を可能にします。前記DMAコントローラは、前記プロセッサコアに対して独立して不可視に動作し、前記コアがプログラム命令を同時に実行している間にDMA動作を行うことができます。

ADSP-2106xの内部メモリと外部メモリ、外部周辺機器、またはホストプロセッサの間でDMA転送が発生する可能性があります。adsp-2106xの内部メモリとシリアルポートまたはリンクポートとの間でDMA転送も発生する可能性があります。外部メモリと外部周辺機器間のDMA転送も別のオプションです。外部バスパッキン16-、32ビット、または48ビットワードは、DMA転送中に実行されます。ADSP-2106x-リンクポートを介して2つ、シリアルポートを介して4つ、プロセッサの外部ポートを介して4つのDMAチャンネル(ホストプロセッサ、他のADSP-2106xs、メモリ、またはI/O転送のいずれかの場合)で利用可能です。4つの追加リンクポートDMAチャンネルがシリアルポート1および外部ポートと共有される。プログラムはDMA転送を使用してADSP-2106xにダウンロードできます。非同期オフチップ周辺機器は、

control two DMA channels using DMA request/grant lines (DMAR1-2, DMAG1-2). Other DMA features include inter-自動リンクされたDMA転送のためのDMA転送およびDMAチェーンの完了時に突然生成されます。

多重処理

ADSP-2106xは、マルチプロセッサDSPシステムに合わせた強力な機能を提供します。統合されたアドレス空間(図4を参照)は、各ADSP-2106xの内部メモリの直接プロセッサ間アクセスを可能にします。分散バス調停ロジックは、最大6つのADSP-2106xsとホストプロセッサを含むシステムの簡単で接着剤のない接続のためのオンチップが含まれています。マスタープロセッサの切り替えには、オーバーヘッドが1サイクルしか発生しません。バス仲裁は、固定優先度または回転優先度のいずれかとして選択できます。バスロックにより、セマフォアの読み取り-修正-書き込みシーケンスが不可分になります。プロセッサ間コマンドに対してベクトル割り込みが設けられているプロセッサ間データ転送の最大マムスルーブットはリンクポートまたは外部ポートを介して240Mバイト/秒。ブロードキャスト書き込みは、すべてのADSP-2106xsへのデータの同時送信を可能にし、反射セマフォアを実装するために使用できます。



注: バンクサイズは、SYSCONレジスタのMSIZEビットによって選択されます。

図4. メモリマップ

リンクポート

ADSP-2106xは、追加のI/O機能を提供する6つの4ビットリンクポートを備えています。リンクポートは、サイクルごとに2回クロックでき、それぞれがサイクルごとに8ビットのデータを転送することができます。Linkport I/Oは、マルチ処理システムにおけるポイントツーポイントのプロセッサ間通信に特に有用です。

リンクポートは独立して同時に動作し、最大データスループットは240Mバイト/秒です。リンクポートデータは32ビットまたは48ビットワードにパックされ、コアプロセッサで直接読み取るか、オンチップメモリにDMA転送することができます。各リンクポートには、独自のダブルバッファリングされた入出力レジスタがあります。クロック/確認ハンドシェイクコントロールリンクポート転送。転送は、送信または受信のいずれかとしてプログラム可能です。

プログラム起動

ADSP-2106xの内部メモリは、8ビットEPROM、ホストプロセッサ、またはリンクポートのいずれかを介してシステムパワーアップ時に起動できます。起動ソースの選択は、BMS(起動メモリ選択)、EBOOT(EPROM起動)、およびLBOOT(リンク/ホスト起動)ピンによって制御されます。32ビットおよび16ビットのホスト・プロセッサを起動することができます。前記プロセッサは、前記外部メモリから命令実行をソースとするノーブートモードをポートにもサポートする

開発ツール

アナログデバイスは、クロススコア®組み込みスタジオおよび/またはVisual DSP++®を含む統合開発環境、評価製品、エミュレータ、およびさまざまなソフトウェアアドインを含む、ソフトウェアおよびハードウェア開発ツールの完全なラインでプロセッサをサポートします。

統合開発環境(IDEs)

C/C++ソフトウェアの書き込みと編集、コード生成、デバッグサポートのために、アナログデバイスは2つのIDEを提供します。

最新のIDEであるCrossCore Embedded Studioは、Eclipse™フレームワークに基づいています。ほとんどのアナログデバイスがファミリを処理することをサポートしているため、マルチコアデバイスを含む将来のプロセッサにとって選択されています。CrossCore Embedded Studioは、利用可能なソフトウェアアドインをシームレスに統合して、リアルタイムオペレーティングシステム、ファイルシステム、TCP/IPスタック、USBスタック、アルゴリズムソフトウェアモジュール、評価ハードウェアボードサポートパッケージをサポートします。詳細については、www.analog.com/ccesをご覧ください。

他のアナログデバイスIDEであるVisual DSPは、CrossCore Embedded Studioのリリース前に導入されたプロセスまたはファミリをサポートしています。このIDEは、アナログデバイスVDKリアルタイムオペレーティングシステムとオープンソースTCP/IPスタックを含む。詳細については、www.analog.com/visualdspをご覧ください。Visual DSPは将来のアナログデバイスプロセッサをサポートしないことに注意してください。

EZ-KIT Lite評価ボード

プロセッサ評価のために、アナログデバイスは、EZ-KIT Lite®評価ボードを幅広く提供します。プロセッサやキ一周辺機器を含め、オンチップにも対応しています。

エミュレーション機能およびその他の評価および開発機能。また、オーディオおよびビデオ処理を含む追加の特殊な機能を提供するドーターカードであるさまざまなEZ-Extenders®も利用できます。詳細については、www.analog.comをご覧ください。「ezkit」または「ezextender」で検索してください。

EZ-KIT Lite評価キット

アナログデバイスプロセッサを使用した開発の詳細については、費用対効果の高い方法で、アナログデバイスはさまざまなオフゼットライト評価キットを提供しています。各評価キットは、EZ-KIT Lite評価ボードと、利用可能なアイドの評価バージョンのダウンロード方向と、USBケーブルと、電源とを含む。EZ-KIT Liteボード上のUSBコントローラは、ユーザーのPCのUSBポートに接続され、選択されたIDE評価スイートは、オンボードプロセッサの回路内をエミュレートすることができます。これにより、お客様はEZ-KIT Liteシステムのプログラムをダウンロード、実行、およびデバッグできます。また、オンボードフラッシュデバイスの回路内プログラミングをサポートして、ユーザー固有のブートコードを保存し、スタンドアロン操作を可能にします。クロススコア組み込みスタジオまたはVisual DSP++のフルバージョンをインストール(別売り)すると、エンジニアはサポートされているEZキットまたはサポートされているアナログデバイスプロセッサを利用した任意のカスタムシステム用のソフトウェアを開発できます。

クロススコア組み込みスタジオ用のソフトウェアアドイン

アナログデバイスは、クロススコア組み込みスタジオをシームレスに格子を組み込み、機能を拡張し、開発時間を短縮するソフトウェアアドインを提供します。アドインには、評価ハードウェア用のボードサポートパッケージ、さまざまなミドルウェアパッケージ、アルゴリズムモジュールが含まれます。これらのアドインに存在するドキュメント、ヘルプ、構成ダイアログ、およびコーディング例は、アドインがインストールされると、クロススコア埋め込みスタジオIDEを介して表示できます。

評価ハードウェア用のボードサポートパッケージ

EZ-KIT Lite評価ボードとEZエクステンダー娘カードのソフトウェアサポートは、ボードサポートパッケージ(BSPs)と呼ばれるソフトウェアアドインによって提供されます。BSPsには、必要なドライバ、関連するリリースノート、および指定された評価ハードウェアの例コードを選択しています。特定のBSPのダウンロードリンクは、関連するEZ-KITまたはEZ Extender製品のwebページにあります。リンクは、商品webページの商品ダウンロード領域にあります。

ミドルウェアパッケージ

アナログデバイスは、リアルタイムオペレーティングシステム、ファイルシステム、USBスタック、TCP/IPスタックなどのミドルウェアアドインを個別に提供します。詳細については、次のwebページを参照してください。

- www.analog.com/ucos3
- www.analog.com/ucfs
- www.analog.com/ucusb
- www.analog.com/lwip

アルゴリズムモジュール

開発をスピードアップするために、アナログデバイスは一般的なオーディオおよびビデオ処理アルゴリズムを実行するアドインを提供します。これらは、クロスコーア埋め込みスタジオとVisual DSPの両方で使用できます。詳細については、www.analog.comをご覧ください。「Blackfinソフトウェアモジュール」または「SHARCソフトウェアモジュール」を検索してください。

エミュレータ対応のDSPボードの設計(ターゲット)

組み込みシステムのテストとデバッグのために、アナログデバイスは一連のエミュレータを提供します。各JTAG DSPで、アナログデバイスはIEEE 1149.1 JTAGテストアクセスポート(タップ)を追加します。回路内エミュレーションは、このJTAGインターフェイスを使用することで容易になります。エミュレータは、プロセッサのタップを介してプロセッサの内部機能にアクセスし、開発者はコードのロード、ブレークポイントの設定、変数、メモリ、およびレジスタの表示を可能にします。データとコマンドを送信するには、プロセッサを停止する必要がありますが、エミュレータによって操作が完了すると、DSPシステムはシステムタイミングに影響を与えずにフルスピードで動作するように設定されます。エミュレータは、ターゲットボードに、DSPのJTAGポートのエミュレータへの接続をサポートするヘッダを含める必要があります。機械的レイアウト、シングルプロセッサ接続、信号バッファリング、信号生成、エミュレータボッドロジックなどのターゲットボード設計の問題の詳細については、アナログデバイスWebサイト(www.analog.com)のEE-68: アナログデバイスJTAGエミュレーション技術参照を参照してください。-「EE-68」でサイト検索を使用してください。このドキュメントは、エミュレータサポートの改善に追いつくために定期的に更新されます。

追加情報

このデータシートでは、ADSP-2106xのアーキテクチャと機能の概要を説明します。ADSP-21000ファミリのコアアーキテクチャと命令セットの詳細については、ADSP-2106x SHARCユーザーマニュアル、リビジョン2.1を参照してください。

関連信号鎖

信号チェーンは、入力(リアルタイム現象または保存データからサンプリングしたデータ)をタンデムで受信し、チェーンの一部の出力が次の部分に入力を供給する一連の信号調整電子コンポーネントです。信号チェーンは、データを収集して処理したり、リアルタイム現象の分析に基づいてシステム制御を適用したりするために、信号処理アプリケーションでよく使用されます。この用語と関連トピックの詳細については、アナログデバイスWebサイトのEE用語用語集の「信号チェーン」エントリを参照してください。アナログデバイスは、うまく連携するように設計された信号処理コンポーネントを提供することで、信号処理システムの開発を容易にします。特定のアプリケーションと関連コンポーネント間の関係を表示するためのツールは、www.analog.com Webサイトで入手できます。

LabTMサイト(<http://www.analog.com/signalchains>)の回路内のアプリケーション信号チェーンページには次のことがあります。

- ? さまざまな回路タイプとアプリケーションの信号チェーンのグラフィカル回路ブロック図表示
- ? 各チェーンのコンポーネントのリンクを選択ガイドとアプリケーション情報にドリルダウンします
- ? ベストプラクティス設計技術を適用した参照設計

ピン機能の説明

ADSP-2106xピンの定義を以下に示します。同期（複数可）として識別された入力は、CLKIN（またはTMS、TDIのTCKに関して）に関するタイミング要件を満たす必要があります。非同期（a）として識別された入力は、CLKIN（またはTRSTのTCK）に非同期にアサートすることができます。

未使用の入力は、addr31-0、data47-0、flag3-0、および内部プルアップ抵抗またはプルダウン抵抗（CPA、ACK、DTx、DRx、TCLKx、RCLKx、lxd3-0、LxCLK、LxACK、TMS、およびTDI）を備えた入力を除いて、VDDまたはGNDに結合または引っ張る必要があります。これらのピンは浮いたままにすることができます。これらのピンは、入力が内部に浮かぶのを防ぐ論理レベルのホールド回路を備えています。

表3. ピンの説明

ピン	タイプ	関数
Addr31-0	I/O/T	外部バスアドレス。ADSP-2106xは、これらのピンの外部メモリと周辺機器のアドレスを出力します。マルチプロセッサシステムにおいて、前記バスマスタは、他のADSP-2106xsの内部メモリまたはIOPレジスタの読み出し/書き込み用アドレスを出力する、ADSP-2106xは、ホストプロセッサまたはマルチプロセッサバスマスタが内部メモリまたはIOPレジスタを読み書きしているときにアドレスを入力します。
データ47-0	I/O/T	外部バスデータ。ADSP-2106xは、これらのピンのデータと命令を入力および出力します。32ビットの単精度浮動小数点データと32ビットの固定小数点データは、バスのビット47?16を介して転送される。40ビット拡張精度浮動小数点データは、バスのビット47?8を介して転送される。16ビットのショートワードデータは、バスのビット31?16を介して転送される。ブロードモードでは、ビット23?16を介して8ビットデータが転送されます。未使用のデータピンのプルアップ抵抗は必要ありません。
MS3-0	O/T	メモリ選択行。これらの行は、外部メモリの対応するバンクに対してチップが選択すると（低い）アサートされます。メモリバンクのサイズは、ADSP-2106xのシステムコントロールレジスタ（SYSCON）で定義する必要があります。前記ms3-0線は、他のアドレス線と同時に変化する複数メモリアドレス線である、外部メモリアクセスが発生していない場合、ms3-0ラインは非アクティブです。ただし、条件付きメモリアクセス命令が実行されると、条件が真であるかどうかにかかわらず、それらはアクティブです。MS0をページ信号と一緒に使用して、DRAMメモリのバンク（バンク0）を実装することができます。マルチプロセッサシステム3?0ラインはバスマスタによって出力されます。
RD [−] ; RD	I/O/T	メモリ読み取りストロブ。このピンは、headsp-2106xが外部メモリデバイスまたは他のADSP-2106xsの内部メモリから読み込まれたときに（低い）アサートされます。外部デバイス（他のADSP-2106xsを含む）は、ADSP-2106xの内部メモリから読み取るためにRDをアサートする必要があります。マルチプロセッサシステムでは、RDはバスマスタによって出力され、他のすべてのADSP-2106xsによって入力される。
WR	I/O/T	メモリ書き込みストロブ。このピンは、ADSP-2106xが外部メモリデバイスまたは他のADSP-2106xsの内部メモリに書き込むときにアサートされます（低い）。外部デバイスはadsp-2106xの内部メモリに書き込むにはWRをアサートする必要があります。マルチプロセッサシステムでは、WRはバスマスタによって出力され、他のすべてのADSP-2106xsによって入力されます。
ページ; ページ	O/T	DRAMページの境界。ADSP-2106xは、外部ドラムページの境界が越えられたことをシグナルするためにこのピンを主張します。DRAMページサイズはADSP-2106xのメモリコントロールレジスタ（待機）で定義する必要があります。DRAMは外部メモリバンク0にのみ実装できます。ページ信号は、銀行0アクセスの場合のみ有効にできます。マルチ処理システムでは、バスマスタによってページが出力されます。
ADRCLKSW	O/T I/O/T	クロック出力参照。マルチプロセッサシステムにおいて、ADRCLKは、バスマスタによって出力される同期書き込み選択。この信号は、headsp-2106xを同期メモリデバイス（他のADSP-2106xsを含む）にインタフェースするために使用されます。ADSP-2106xは、WRが後でアサートされない場合（条件付き書き込み命令など）中止することができる、差し迫った書き込みサイクルの早期指示を提供するためにSW（low）をアサートします。マルチプロセッサシステムにおいて、SWは、バスマスタによって出力され、他のすべてのadsp-2106xstによって入力され、マルチプロセッサメモリアクセスが読み出しまたは書き込みであるかどうかを判断する。SWはアドレス出力と同時にアサートされます。同期書き込みを使用するホストプロセッサは、ADSP-2106xに書き込むときにこのピンをアサートする必要があります。

a=非同期、G=グラウンド、I=入力、O=出力、P=電源、S=同期、(a/D)=アクティブドライブ、(O/D)=オープンドレイン、T=3状態(SBTSがアサートされた場合、またはADSP-2106xがバススレーブの場合)

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

表3. ピンの説明(続き)

ピン	タイプ	関数
アック ; アック	I/O/S	記憶が認めます。外部デバイスはACK(LOW)を解除して、外部メモリアクセスに待機状態を追加できます。ACKは、外部メモリアクセスの完了を阻止するために、I/Oデバイス、メモリコントローラ、またはその他の周辺機器によって使用されます。ADSP-2106xは、内部メモリの同期アクセスに待機状態を追加するための出力としてACKをデアサートします。マルチプロセッシングシステムにおいて、スレーブADSP-2106xは、バスマスタのACK入力をデアサートして、その内部メモリのアクセスに待機状態を追加する。バスマスタには、アクピンにキーパーラッチが付いており、入力を最後に駆動したレベルに維持します。
SBTS	I/S	バス3州を停止します。外部デバイスは、次のサイクルのために、外部バスアドレス、データ、選択、およびストローブを高インピーダンス状態に配置するためにSBTS (LOW) をアサートすることができます。ADSP-2106xがSBTSがアサートされている間に外部メモリにアクセスしようとする、プロセッサは停止し、SBTSがデアサートされるまでメモリアクセスは完了しません。SBTSは、ホストプロセッサ/ADSP-2106xデッドロックからのリカバリにのみ使用するか、DRAMコントローラで使用する必要があります。
Irq2-0フラグ3-0	I/A I/O/A	要求行を割り込みます。エッジトリガーまたはレベル敏感のいずれかであってもよいです。フラグピン。それぞれは、入力または出力のいずれかの制御ビットを介して構成される、入力として、条件としてテストすることができます。出力として、外部周辺機器に信号を送るために使用できます。
タイムエクスブ HBR ; HBR	0 I/A	タイマーの有効期限が切れました。タイマーが有効になっており、TCOUNTがゼロに減少したときに4サイクルアサートされます。ホストバスリクエスト。ADSP-2106xの外部バスの制御を要求するには、このピンはホストプロセッサによってアサートされなければなりません。マルチプロセッシングシステムでHBRがアサートされると、バスマスタであるADSP-2106xはバスを放棄してHBGをアサートします。バスを放棄するには、ADSP-2106xは、アドレス、データ、セレクト、ストロボラインを高インピーダンス状態に置きます。HBRは、マルチプロセッシングシステムにおけるすべてのADSP-2106xバス要求br6-1よりも優先されています。
HBG ; HBG	I/O	ホストバス助成金。前記ホストプロセッサが前記外部バスを制御してもよいことを示すバス要求を認識するHBGは、HBRがリリースされるまでheadsp-2106xによって主張されました(低く保持されました)。Inaマルチプロセッシングシステム、HBGはADSP-2106xバスマスタによって出力され、他のすべてによって監視されます。
CSレディ	I/A 0 (0/D)	チップを選択します。ホストプロセッサがADSP-2106xを選択するように主張しました。ホストバスが承認します。TheADSP-2106xは、ホストによる内部メモリまたはIOPレジスタの非同期アクセスに待機状態を追加するために、REDY(LOW)を解除します。このピンはデフォルトでオープンドレイン出力(0/D)です。SYSCONレジスタのADREDYビットにアクティブドライブ(a/D)にプログラムできます。REDYはCSとHBRの入力がアサートされた場合にのみ出力されます。
Dma2-1	I/A	DMAリクエスト1 (DMAチャンネル7) およびDMAリクエスト2 (DMAチャンネル8)。
Dma2-1 br6-1	O/T I/O/S	DMAグラント1 (DMAチャンネル7) およびDMAグラント2 (DMAチャンネル8)。
Td2-0	0 (0/D)	マルチ処理バスリクエスト。バスマスタシップ用のマルチプロセッシングADSP-2106xstoアービトラートで使用されます。ADSP-2106xは、独自のBRxライン(ID2-0入力の値に対応する)のみを駆動し、他のすべてを監視します。6つ未満のADSP-2106xsのマルチプロセッサシステムでは、未使用のBRxピンを高く引っ張る必要があります。プロセッサ独自のBRxラインは出力であるため、高くも低くも引っ張ってはなりません。
RPBA ; RPBA	I/S	マルチプロセッシングID。ADSP-2106xで使用されるマルチ処理バスリクエスト(br1-br6)を決定します。シングルプロセッサシステムにおけるID=001はBR1、ID=010はBR2等ID=000に相当する。これらの回線は、ハードワイヤーまたはリセット時にのみ変更する必要があるシステム構成の選択です。
CPA ; CPA	I/O (0/D)	回転優先バス調停を選択します。RPBAが高い場合、マルチプロセッサバス調停のための回転優先度が選択されます。RPBAが低い場合は、固定優先度が選択されます。この信号は、すべてのADSP-2106xで同じ値に設定する必要があるシステム構成の選択です。システム動作中にRPBAの値が変更された場合は、ADSP-2106xごとに同じCLKINサイクルで変更する必要があります。
DTx ; DTx DRx TCLKx RCLKx	OII/O I/O	コア優先アクセス。そのCPAピンを主張すると、anADSP-2106xバススレーブのコアプロセッサがバックグラウンドDMA転送を中断し、外部バスにアクセスすることができます。CPAIは、システム内のすべてのADSP-2106xsに接続されているオープンドレイン出力です。前記CPAピンは、内部に5kのプルアップ抵抗を有する、システムでコアアクセス優先度が不要な場合は、CPAピンを接続しないままにする必要があります。
		データ送信 (シリアルポート0、1)。各DTピンは、50k の内部プルアップ抵抗を有しています。
		データ受信 (シリアルポート0、1)。各DRピンは50k の内部プルアップ抵抗を有しています。
		送信クロック (シリアルポート0、1)。各TCLKピンは50k の内部プルアップ抵抗を有しています。

		<p>す。</p> <p>受信クロック (シリアルポート0、1)。各RCLKピンは、50k の内部プルアップ抵抗を有しています。</p>
<p>a=非同期、G=グランド、I=入力、O=出力、P=電源、S=同期、(a/D)=アクティブドライブ、(O/D)=オープンドレイン、T=3 状態 (SBTSがアサートされた場合、またはADSP-2106xがバススレーブの場合)</p>		

rev. h 2013年3月64日の11ページ

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

表3. ピンの説明(続き)

ピン	タイプ	関数																												
TFSx ; TFSx RFSx Lxdat3-0 LxCLK ルクサク イーブート イルブート BMS ; BMS	I/O I/O I/O I/O I/O I. I. I/OT	<p>送信フレーム同期(シリアルポート0、1)。 フレーム同期を受信します(シリアルポート0、1)。 リンクポートデータ(リンクポート0-5)。各LxDATピンには、LCOMレジスタのLPDRDビットによって有効または無効にされる50 kΩの内部プルダウン抵抗があります。 リンクポートクロック(リンクポート0-5)。各LxCLKピンには、LCOMレジスタのLPDRDビットによって有効または無効にされる50 kΩの内部プルダウン抵抗があります。 リンクポートを確認します(リンクポート0-5)。各LxACKピンには、LCOMレジスタのLPDRDビットによって有効または無効にされる50 kΩの内部プルダウン抵抗があります。 EPROMブートを選択します。EBOOTが高い場合、headsp-2106xは8ビットEPROMから起動するように構成されます。EBOOTが低い場合、LB00T入力とBMS入力により起動モードが決定されます。以下のBMSピンの説明の表を参照してください。この信号は、ハードワイヤーにする必要があるシステム構成選択です。 リンク起動。LB00Tが高い場合、ADSP-2106xはリンクポートの起動用に構成されます。LB00Tが低い場合、ADSP-2106xはホストプロセッサが起動するか、起動しないように構成されます。以下のBMSピンの説明の表を参照してください。この信号は、ハードワイヤーにする必要があるシステム構成選択です。 起動メモリを選択します。出力:boot EPROMデバイスのチップセレクトとして使用されます(EB-00T=1、LB00T=0の場合)。マルチプロセッサシステムでは、前記バスマスタによってBMSが出力されるInput:低い場合は、起動が発生しないことを示し、ADSP-2106xが外部メモリから命令の実行を開始します。以下の表を参照してください。この入力は、ハードワイヤーにする必要があるシステム構成の選択です。*3-epromブートモード(BMSが出力の場合)でのみステート可能です。</p> <table><tr><th>イーブート</th><th>イルブート</th><th>BMS出力</th><th>起動モード</th></tr><tr><td>1</td><td>0</td><td>1(入力)</td><td>EPROM(BMSをEPROMチップに接続して選択します。)</td></tr><tr><td>0</td><td>0</td><td>1(入力)</td><td>ホストプロセッサ</td></tr><tr><td>0</td><td>1</td><td>0(入力)</td><td>リンクポート</td></tr><tr><td>0</td><td>0</td><td>0(入力)</td><td>起動はありません。プロセッサは、外部メモリから実行される。予約された</td></tr><tr><td>0</td><td>1</td><td>x(入力)</td><td>予約された</td></tr><tr><td>1</td><td>1</td><td></td><td></td></tr></table>	イーブート	イルブート	BMS出力	起動モード	1	0	1(入力)	EPROM(BMSをEPROMチップに接続して選択します。)	0	0	1(入力)	ホストプロセッサ	0	1	0(入力)	リンクポート	0	0	0(入力)	起動はありません。プロセッサは、外部メモリから実行される。予約された	0	1	x(入力)	予約された	1	1		
イーブート	イルブート	BMS出力	起動モード																											
1	0	1(入力)	EPROM(BMSをEPROMチップに接続して選択します。)																											
0	0	1(入力)	ホストプロセッサ																											
0	1	0(入力)	リンクポート																											
0	0	0(入力)	起動はありません。プロセッサは、外部メモリから実行される。予約された																											
0	1	x(入力)	予約された																											
1	1																													
クルキン ; クルキン リセットする	I. I/A	<p>時計が入ります。ADSP-2106xへの外部クロック入力。命令サイクルレートはCLKINに等しい。CLKINは、指定された最小周波数以下で停止、変更、または操作してはなりません。 プロセッサのリセット。前記ADSP-2106xを既知の状態にリセットし、前記ハードウェアリセットベクトルアドレスで指定されたプログラムメモリ位置でプログラム実行を開始する、この入力は、電源アップ時に(低)アサートする必要があります。</p>																												
TCKTMSDI	II/S I/S	<p>テストクロック(JTAG)。JTAG境界スキャン用の非同期クロックを提供します。 テストモードSelect(JTAG)。テスト状態マシンを制御するために使用されます。TMSは20kΩ内部プルアップ抵抗を備えています。テストデータ入力(JTAG)。境界スキャンロジックのシリアルデータを提供します。TDIは20kΩ内部プルアップ抵抗を有する。</p>																												
TDO ; TDO テストデータ出力 テストリセット	0. I/A	<p>テストデータ出力(JTAG)。前記境界走査パスのシリアル走査出力と、 テストリセット(JTAG)。テスト状態マシンをリセットします。ADSP-2106xを適切に動作させるには、電源投入後にTRSTをアサート(パルス低く)するか、低く保持する必要があります。TRSTは20kΩの内部プルアップ抵抗を有している。</p>																												
ICSA ; ICSA ; ICSA VDD ; VDD GNDNC	0. 0. P ; P G ; G	<p>エミュレーションステータス。ADSP-2106x EZ-ICEターゲットボードコネクタにのみ接続する必要があります。 予約され、接続されていないままにしてください。 電源 ; 5 Vデバイスの場合は5.0 V dc、3.3 Vデバイスの場合は3.3 V dcです。(30ピン)。 電源リターン。(30ピン)。 接続しないでください。開いて接続されていないままにする必要がある予約済みのピン。</p>																												

a=非同期、G=グラウンド、I=入力、O=出力、P=電源、S=同期、(a/D)=アクティブドライブ、(O/D)=オープンドレイン、T=3状態(SBTSがアサートされた場合、またはADSP-2106xがバススレーブの場合)

EZ-ICEプローブ用ターゲットボードコネクタ

adsp-2106x ez-ice[®]エミュレータは、ADSP-2106xのIEEE 1149.1 JTAGテストアクセスポートを使用して、エミュレーション中にターゲットボードプロセッサを監視および制御します。EZ-ICEプローブには、ADSP-2106xのCLKIN、TMS、TCK、TRST、TDI、TDO、EMU、およびGND信号が14ピンコネクタ(2行7ピンストリップヘッダー)を介してターゲットシステム上でアクセスできるようにする必要があります。図5に示すような。EZ-ICEプローブは、チップオンボードエミュレーションのためにこのコネクタに直接接続されます。ADSP-2106x EZ-ICEを使用する場合は、このコネクタをターゲットボード設計に追加する必要があります。保証された動作のために、EZ-ICEコネクタとEZ-ICE JTAGピンを共有する最も遠いデバイスとの間のトレース長は最大15インチに制限する必要があります。この長さ制限には、1つ以上のADSP-2106xデバイス、またはチェーン上のADSP-2106xデバイスと他のJTAGデバイスの組み合わせにルーティングされるEZ-ICE JTAG信号が含まれなければなりません。

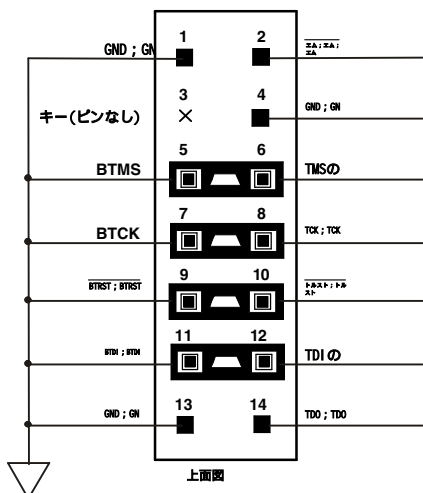


図5. ターゲットボードコネクタforADSP-2106x EZ-ICEエミュレータ

(ジャンパーは所定の位置にあります)

14ピン2行のピンストリップヘッダは、ピン3位置にキー付けされています。ピン3はヘッダから取り外されなければなりません。ピンは0.025インチ正方形で、長さは少なくとも0.20インチでなければなりません。ピン間隔は0.1 × 0.1インチでなければなりません。ピンストリップヘッダーは、3M、McKenzie、Samtecなどのベンダーから入手できます。前記BTMS、BTCK、BTRST、およびBTDI信号は、前記テストアクセスポートを基板レベルのテストにも使用することができるように提供される。コネクタがエミュレーションに使用されていない場合は、図5に示すようにBxxxピンにジャンパーを配置します。ボードテストにテストアクセスポートを使用しない場合は、BTRSTをGNDに結び付け、BTCKをVDDに結び付けるかプルアップします。adsp-2106xを適切に動作させるには、電源アップ後(コネクタのBTRSTを介して)TRSTピンをアサート(パルス低く)するか、低く保持する必要があります。Bxxxピン(ピン5、7、9、11)はいずれもEZ-ICEプローブに接続されていません。

JTAG信号は、表4に示すように、EZ-ICEプローブ上で終了する。

表4. コア命令率/CLKIN比選択

信号	終了; 終了
TMSの TCK; TCK	10 MHzで駆動される22 抵抗(16 mAドライバ)を駆動し、22 抵抗(16 mAドライバ)を駆動します。
TRST ¹	22 抵抗(16 mAドライバ)で駆動される22 抵抗(16 mAドライバ)で駆動されるオンチップ20 k 抵抗でプルアップされたアクティブロードライバ
TDIの TDO; TDO	1つのTTL負荷、分割終了(160/220)
スクリーン: ウル エム: エム:	1つのTTL負荷、分割終端(160/220)アクティブ低4.7k プルアップ抵抗、1つのTTL負荷(DSPからのオープンドレイン出力)

¹ソフトウェア起動時にEZ-ICEプローブがエミュレータによってオンになるまで、TRSTsを低く駆動します。ソフトウェアの起動後、高く駆動されます。

図6は、複数のADSP-2106xプロセッサを含むシステムのJTAGスキャンバス接続を示しています。

CLKINをEZ-ICEヘッダーのピン4に接続することはオプションです。エミュレータは、複数のADSP-2106xsを同期的に開始、停止、単一ステップで実行するように指示された場合にのみCLKINを使用します。複数のプロセッサでこれらの操作を同期して実行する必要がない場合は、EZ-ICEヘッダーのピン4をグラウンドに結び付けるだけです。同期マルチプロセッサ操作が必要で、CLKINが接続されている場合、複数のADSP-2106xプロセッサとEZ-ICEヘッダ上のCLKINピンとの間のクロックスキューは最小限でなければなりません。スキューが大きすぎると、同期動作がプロセッサ間で1つ以上のサイクルオフになる可能性があります。同期マルチプロセッサ操作の場合、TCK、TMS、CLKIN、およびEMUはスキューの観点から重要な信号として扱われ、ボード上でできるだけ短くレイアウトする必要があります。TCK、TMS、およびCLKINがシステム内で多数のADSP-2106xs(8つ以上)を駆動している場合は、複数のドライバを使用してそれらを「クロックツリー」として扱い、スキューを最小限に抑えます。(図7およびADSP-2106xユーザーマニュアル、リビジョン2.1の「高周波設計の考慮事項」セクションの「JTAGクロックツリー」および「クロック分布」を参照してください。)

同期マルチプロセッサ操作が必要ない場合(つまりCLKINが接続されていない場合)は、TCKとTMSで適切な並列終了を使用するだけです。TDI、TDO、EMU、TRSTは、スキューの観点から重要な信号ではない。

SHARC EZ-ICEの完全な情報については、ADSP-21000ファミリJTAG EZ-ICEユーザーガイドと参照を参照してください。

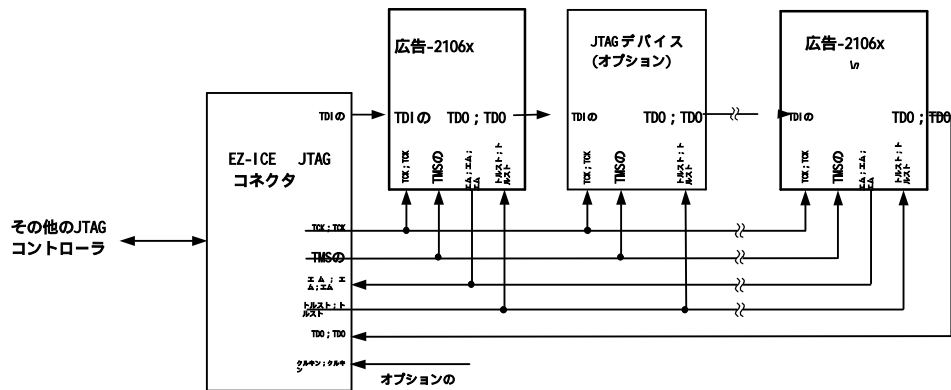


図6. 複数のADSP-2106xシステムのJTAGスキャンバス接続

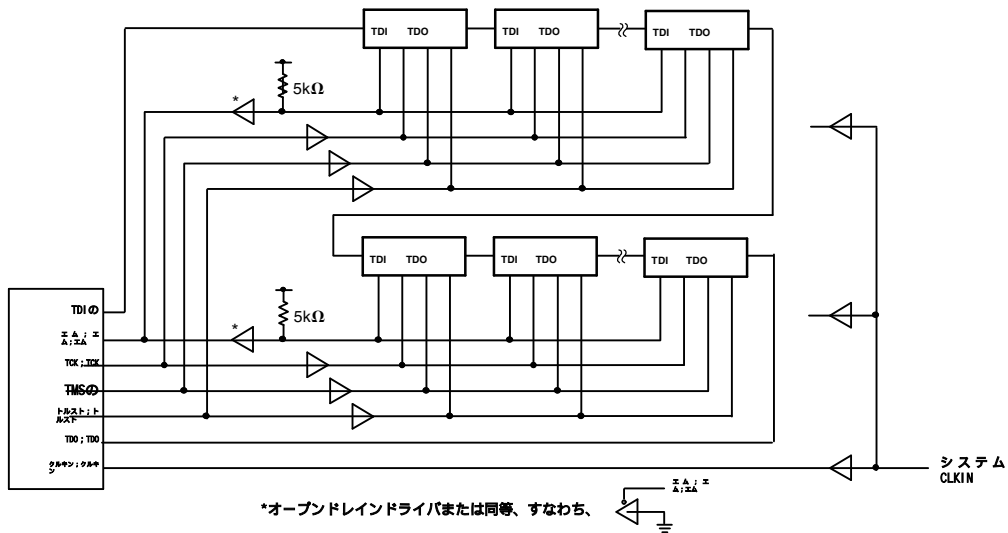


図7. 複数のADSP-2106xシステム用のJTAGクロックツリー

ADSP-21060/ADSP-21062仕様

コンポーネントの仕様は予告なしに変更される場合がありますのでご注意ください。

運転条件 (5v)

パラメータ : パラメータ	説明	1つの成績		Cグレード		Kグレード		ユニット
		分 : 分 : 分	最大 : 最大	分 : 分 : 分	最大 : 最大	分 : 分 : 分	最大 : 最大	
VDD : VDD	電源電圧	4.75	5.25	4.75	5.25	4.75	5.25	V.
ケース動作温度		-40	+85	-40	+100	-40	+85	°C
V _{IH} ¹	高レベル入力電圧@VDD=Max	2.0	VDD 0.5	2.0	VDD 0.5	2.0	VDD 0.5	V.
ビー22	高レベル入力電圧@VDD=Max	2.2	VDD 0.5	2.2	VDD 0.5	2.2	VDD 0.5	V.
悪1、2	低レベル入力電圧@VDD=Min	-0.5	+0.8	-0.5	+0.8	-0.5	+0.8	V.

1 入力ピンと双方向ピンに適用されます : data47-0、addr31-0、RD、WR、SW、ACK、SBTS、irq2-0、flag3-0、HGB、CS、DMAR1、DMAR2、br6-1、id2-0、RPBA、CPA、TFSO、TFS1、RFSO、RFS1、lxd3-0、LxCLK、LxACK、EBOOT、LBOOT、BMS、TMS、TDI、TCK、HBR、DRO、DR1、TCLK0、TCLK1、RCLK1、RCLK1。

2 入力ピン : CLKIN、RESET、TRSTに適用されます。

電気特性(5v)

パラメータ : パラメータ	説明	試験条件	分 : 分 : 分	最大 : 最大	ユニット
V _{OH} ^{1, 2}	高レベル出力電圧	@VDD=Min, IOH=-2.0 mA	4.1		V.
V _{OL} ^{1, 2}	低レベル出力電圧	@VDD=Min, IOL=4.0mA		0.4	V.
I _{IH} ^{3, 4}	高レベル入力電流	@VDD=最大、VIN=VDD最大		10	μ a
I _{IL} ³	低レベル入力電流	@VDD=最大、VIN=0 V		10	μ a
I _{IIP} ⁴	低レベル入力電流	@VDD=最大、VIN=0 V		150	μ a
I _{IOZH} ^{5, 6, 7, 8}	三状態漏れ電流	@VDD=最大、VIN=VDD最大		10	μ a
アイオズル	三状態漏れ電流	@VDD=最大、VIN=0 V		10	μ a
5, 9	三状態漏れ電流	@VDD=最大、VIN=VDD最大		350	μ a
アイオジ	三状態漏れ電流	@VDD=最大、VIN=0 V		1.5	ママ : 母
ヨビー9	三状態漏れ電流	@VDD=最大、VIN=1.5v		350	μ a
ヨウズル	三状態漏れ電流	@VDD=最大、VIN=0 V		4.2	ママ : 母
ク1	三状態漏れ電流	@VDD=最大、VIN=0 V		150	μ a
ヨウズラ10	三状態漏れ電流	フィン=1mhz、TCASE=25° C、VIN=2.5v		4.7	μF : μF
ヨズラ8	三状態漏れ電流				
アイオズ	三状態漏れ電流				
ルズ6	三状態漏れ電流				
CIN11、12	入力容量				

1 出力および双方向ピンに適用されます : data47-0、ADDR31-0、ms3-0、RD、WR、PAGE、ADRCLK、SW、ACK、flag3-0、TIMEXP、HGB、REDY、DMAG1、DMAG2、br6-1、CPA、DT0、DT1、TCLK0、TCLK1、RCLK1、RCLK1、TFSO、TFS1、RFSO、RFS1、lxd3-0、LxCLK、LxACK、BMS、TDO、EMU、ICSA。

2 一般的な駆動電流能力については、図31、出力駆動電流5 Vを参照してください。

3 入力ピンに適用されます : ACK、SBTS、irq2-0、HBR、CS、DMAR1、DMAR2、id2-0、RPBA、EBOOT、LBOOT、CLKIN、RESET、TCK。

4 内部プルアップ付きの入力ピン : DRO、DR1、TRST、TMS、TDIに適用されます。

5 data47-0、addr31-0、ms3-0、RD、WR、PAGE、ADRCLK、SW、ACK、flag3-0、HGB、REDY、DMAG1、DMAG2、BMS、br6-1、TFSx、RFSx、TDO、EMUの3つのステート可能なピンに適用されます。(マルチプロセッサシステムでは、id2-0=001と別のADSP-2106xがバスマスタシップを要求していない場合、リセット中に、ACKは内部的に2k で引き上げられることに注意してください。)

6 内部プルアップを備えた3つのステート可能なピンに適用されます : DT0、DT1、TCLK0、TCLK1、RCLK0、RCLK1。

7 CPAピンに適用されます。

8 引張ったときにACKピンに適用されます。(マルチプロセッサシステムでは、id2-0=001と別のADSP-2106xLがバスマスタシップを要求していない場合、リセット中に、ACKが内部的に2k で引き上げられることに注意してください。)

9 内部プルダウンを備えた3つのステート可能なピンに適用されます : lxd3-0、LxCLK、LxACK。

10は、キーバースラッチが有効になった場合に、ACKピンに適用される。

11は、すべての信号ピンに適用される。

12保証されていますが、テストされていません。

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

内部消費電力 (5v)

これらの仕様は、VDDの内部電源部分にのみ適用されます。消費電力を測定するために使用されるコードの詳細については、テクニカルノート「シャーク消費電力測定」を参照してください。
仕様は動作シナリオに基づいています。

手術	ピーク活動(IDDINPEAK)	高い活動性(IDDINHIGH)	アクティビティが低い(IDDINLOW)
命令タイプ	多機能の	多機能の	単一関数
命令取り込み	キャッシュ	内部記憶装置	内部記憶装置
コアメモリアクセス	2 サイクルごと (DMとPM)	1 サイクルあたり (DM)	なし
内部記憶DMA	1 サイクルごとに	1 2サイクルごとに	1 2サイクルごとに

特定のアプリケーションの消費電力を推定するには、次の方程式を使用します。%は、その状態でプログラムが費やす時間です。

$$\% \text{ ピーク } IDDINPEAK + \% \text{ 高 } IDDINHIGH + \% \text{ 低 } IDDINLOW + \% \text{ アイドル } IDDI DLE = \text{消費電力}$$

パラメータ ; パラメータ	試験条件	最大 ; 最大	ユニット
IDDINPEAK供給電流(内部)1	tCK=30ns、V DD=Max tCK=25 ns、V DD=Max	745 850	ママ ; 母 ママ ; 母
IDDINHIGH供給電流(内部)2	tCK=30ns、V DD=Max tCK=25 ns、V DD=Max	575 670	ママ ; 母 ママ ; 母
IDDINLOW供給電流(内部)2	tCK=30ns、V DD=Max tCK=25ns、V DD=Max	340 390	ママ ; 母 ママ ; 母
アイドル供給電流(アイドル)3	VDD = Max	200	ママ ; 母

¹ IDDINPEAKを測定するために使用されるテストプログラムは、最悪の場合のプロセッサ動作を表し、通常のアプリケーション条件下では持続可能ではありません。一般的なアプリケーションを使用して行われた実際の内部電力測定値は指定されていません。

² IDINHIGHは、高アクティビティコードの範囲に基づく複合平均です。IDDINLOWは、範囲of lowアクティビティコードに基づく複合平均です。

³ Idleは、Idle命令の実行中のADSP-2106x状態を表します。

外部消費電力 (5v)

総消費電力は、内部回路によるものと外部出力ドライバの切り替えによるものの2つの構成要素である。内部電力消費は、計測実行シーケンスと関係するデータオペランドに依存している。内部消費電力は次のように算出されます。

$$P_{INT} = I_{DDIN} \times V_{DD}$$

総消費電力の外部成分は、出力ピンの切り替えによって生じます。その大きさは次のものによって異なります。

- ? 各サイクル中に切り替える出力ピンの数 (O)
- ? 切り替えることができる最大周波数 (f)
- ? それらの負荷容量 (C)
- ? 彼らの電圧スイング (VDD)

そして次のように計算されます。

$$P_{EXT} = O \times C \times V_{DD}^2 \times f$$

負荷容量には、プロセッサのパッケージ容量 (CIN) が含まれる必要があります。前記スイッチング周波数は、前記負荷を高く駆動した後、低く戻すことを含む、アドレスピンとデータピンは

最大1/(2tCK)の速度で高値と低値を駆動します。前記書き込みストロブは、周期毎に1/tCKの周波数で切り替えることができる、選択ピンは1/(2tCK)でスイッチしますが、選択は各サイクルをオンにすることができます。例：次の仮定でPEXTを推定します。

- ? 1つの外部データメモリアム (32ビット) を備えたシステム
- ? 128K × 8ラムチップが4つ使用され、それぞれの負荷があります。
- 10 pF
- ? 外部データメモリの書き込みは、1/(4tCK)のレートで別のサイクルごとに発生し、ピンの50%が切り替わります。

? 命令サイクルレートは40 MHz (tCK=25 ns) であり、PEXT方程式は、駆動できるピンのクラスごとに計算されます。

典型的な内部消費電力を追加することで、これらの条件のために典型的な消費電力を計算することができますようになりました。

$$P_{TOTAL} = P_{EXT} (I_{DDIN2} \times 5.0v)$$

最悪のケースのベストを引き起こす条件は、最悪のケースのバインドを引き起こす条件とは異なることに注意してください。出力ピンの100%がすべてのピンからすべてのゼロに切り替わっている間、最大バインドは発生することはできません。また、アプリケーションでは、出力の100%または50%が同時に切り替わることは一般的ではないことに注意してください。

表5. 外部電力計算 (5vデバイス)

ピン型	ピンの数	%切り替え	× C	× f	× vdd2	= P _{EXT}
アドレス	15	50	× 44.7pf	× 10mhz	× 25v	=0.084w
MSO	1	0	× 44.7pf	× 10mhz	× 25v	=0.000w
WR	1	–	× 44.7pf	× 20mhz	× 25v	=0.022w
データ	32	50	× 14.7pf	× 10mhz	× 25v	=0.059w
アドクルク	1	–	× 4.7pf	× 20mhz	× 25v	=0.002w

pext=0.167w

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

ADSP-21060L/ADSP-21062L仕様

コンポーネントの仕様は予告なく変更される場合がありますのでご注意ください。

運転条件 (3.3v)

パラメータ ; パラメータ	説明	1つの成績		Cグレード		Kグレード		ユニット
		分 ; 分 ; 分	最大 ; 最大	分 ; 分 ; 分	最大 ; 最大	分 ; 分 ; 分	最大 ; 最大	
VDD ; VDD	電源電圧	3.15	3.45	3.15	3.45	3.15	3.45	V.
ケース動作温度		-40	+85	-40	+100	-40	+85	°C
V _{IH} ¹	高レベル入力電圧@VDD=Max	2.0	VDD 0.5	2.0	VDD 0.5	2.0	VDD 0.5	V.
ビー ²²	高レベル入力電圧@VDD=Max	2.2	VDD 0.5	2.2	VDD 0.5	2.2	VDD 0.5	V.
悪1、2	低レベル入力電圧@VDD=Min	-0.5	+0.8	-0.5	+0.8	-0.5	+0.8	V.

1 入力ピンと双方向ピンに適用されます : data47-0、addr31-0、RD、WR、SW、ACK、SBTS、Irq2-0、flag3-0、HGB、CS、DMAR1、DMAR2、br6-1、id2-0、RP-BA、CPA、TFS0、TFS1、RFS0、RFS1、Ixdat3-0、LxCLK、LxACK、EBOOT、LBOOT、BMS、TMS、TDI、TCK、HBR、DRO、DR1、TCLK0、TCLK1、RCLK1、RCLK1。

2 入力ピン : CLKIN、RESET、TRSTに適用されます。

電気特性(3.3v)

パラメータ ; パラメータ	説明	試験条件	分 ; 分 ; 分	最大 ; 最大	ユニット
V _{OH} ^{1,2}	高レベル出力電圧	@VDD=Min, IOH=-2.0 mA	2.4		V.
V _{OL} ^{1,2}	低レベル出力電圧	@VDD=Min, IOL=4.0ma		0.4	V.
I _{IH} ^{3,4}	高レベル入力電流	@VDD=最大, VIN=VDD最大		10	μ a
I _{IL} ³	低レベル入力電流	@VDD=最大, VIN=0 V		10	μ a
I _{ILP} ⁴	低レベル入力電流	@VDD=最大, VIN=0 V		150	μ a
I _{OZH} ^{5,6,7,8}	三状態漏れ電流	@VDD=最大, VIN=VDD最大		10	μ a
アイオズル	三状態漏れ電流	@VDD=最大, VIN=0 V		10	μ a
5,9	三状態漏れ電流	@VDD=最大, VIN=VDD最大		350	μ a
アイオズ	三状態漏れ電流	@VDD=最大, VIN=0 V		1.5	ママ ; 母
ヨウズル	三状態漏れ電流	@VDD=最大, VIN=1.5v		350	μ a
7,10	三状態漏れ電流	@VDD=最大, VIN=0 V		4.2	ママ ; 母
ヨズラ10	三状態漏れ電流	@VDD=最大, VIN=0 V		150	μ a
ヨズラ8	三状態漏れ電流	@VDD=最大, VIN=0 V		4.7	pf ; pf
アイオズ	入力容量	フィン=1mhz、TCASE=25° C、VIN=2.5v			
ルズ6					
CIN11、12					

1 出力および双方向ピンに適用されます : data47-0、addr31-0、ms3-0、RD、WR、PAGE、ADRCCLK、SW、ACK、flag3-0、TIMEXP、HGB、REDY、DMAG1、DMAG2、br6-1、CPA、DT0、DT1、TCLK0、TCLK1、RCLK1、RCLK1、TFS0、TFS1、RFS0、RFS1、Ixdat3-0、LxCLK、LxACK、BMS、TDO、EMU、ICSA。

2 一般的な駆動電流能力については、図35、出力駆動電流3.3vを参照してください。

3 入力ピンに適用されます : ACK、SBTS、irq2-0、HBR、CS、DMAR1、DMAR2、id2-0、RPBA、EBOOT、LBOOT、CLKIN、RESET、TCK。

4 内部プルアップ付きの入力ピン : DRO、DR1、TRST、TMS、TDIに適用されます。

5 data47-0、addr31-0、ms3-0、RD、WR、PAGE、ADRCCLK、SW、ACK、flag3-0、HGB、REDY、DMAG1、DMAG2、BMS、br6-1、TFSx、RFSx、TDO、EMUの3つのステート可能なピンに適用されます。(マルチプロセッサシステムでは、id2-0=001と別のADSP-2106xがバスマスタシップを要求していない場合、リセット中に、ACKは内部的に2k で引き上げられることに注意してください。)

6 内部プルアップ付きの3つのステータブルピンに適用されます : DT0、DT1、TCLK0、TCLK1、RCLK0、RCLK1。

7 CPAピンに適用されます。

8 引張ったときにACKピンに適用されます。(マルチプロセッサシステムでは、id2-0=001と別のADSP-2106xLがバスマスタシップを要求していない場合、リセット中に、ACKが内部的に2k で引き上げられることに注意してください)。

9 内部プルダウンを備えた3つのステート可能なピンに適用されます : Ixdat3-0、LxCLK、LxACK。

10は、キーパーラッチが有効になった場合に、ACKピンに適用される。

11は、すべての信号ピンに適用される。

12保証されていますが、テストされていません。

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

内部消費電力 (3.3v)

これらの仕様は、VDDの内部電源部分にのみ適用されます。消費電力を測定するために使用されるコードの詳細については、テクニカルノート「シャーク消費電力測定」を参照してください。
仕様は動作シナリオに基づいています。

手術	ピーク活動(IDDINPEAK)	高い活動性(IDDINHIG H)	アクティビティが低い(IDDINLOW)
命令タイプ	多機能の	多機能の	単一関数
命令取り込み	キャッシュ	内部記憶装置	内部記憶装置
コアメモリアクセス	2 サイクルごと (DMとPM)	1 サイクルあたり (DM)	なし
内部記憶DMA	1 サイクルごとに	1 2サイクルごとに	1 2サイクルごとに

特定のアプリケーションの消費電力を推定するには、次の方程式を使用します。％は、その状態でプログラムが費やす時間です。

$$\% \text{ピーク} \text{IDDINPEAK} + \% \text{高} \text{IDDINHIG H} + \% \text{低} \text{IDDINLOW} + \% \text{アイドル} \text{IDDIDLE} = \text{消費電力}$$

パラメータ ; パラメータ	試験条件	最大 ; 最大	ユニット
IDDINPEAK供給電流 (内部) 1	tCK=30ns、V DD=Max tCK=25ns、V DD=Max	540 600	ママ ; 母
IDDINHIG H供給電流 (内部) 2	tCK=30ns、V DD=Max tCK=25 ns、V DD=Max	425 475	ママ ; 母
IDDINLOW供給電流 (内部) 2	tCK=30ns、V DD=Max tCK=25 ns、V DD=Max	250 275	ママ ; 母
アイドル供給電流 (アイドル) 3	VDD = Max	180	ママ ; 母

¹ IDDINPEAKを測定するために使用されるテストプログラムは、最悪の場合のプロセッサ動作を表し、通常のアプリケーション条件下では持続可能ではありません。一般的なアプリケーションを使用して行われた実際の内部電力測定値は指定されていません。

² IDINHIG Hは、アクティビティの高いコードの範囲に基づく複合平均です。IDDINLOWは、範囲of lowアクティビティコードに基づく複合平均です。

³ Idleは、Idle命令の実行中のADSP-2106xL状態を表します。

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

外部消費電力 (3.3v)

総消費電力は、内部回路によるものと外部出力ドライバの切り替えによるものの2つの構成要素である。内部電力消費は、計測実行シーケンスと関係するデータオペランドに依存している。内部消費電力は次のように算出されます。

$$P_{INT} = I_{DDIN} \times V_{DD}$$

総消費電力の外部成分は、出力ピンの切り替えによって生じます。その大きさは次のものによって異なります。

？ 各サイクル中に切り替える出力ピンの数(O)

？ 切り替えることができる最大周波数(f)

？ それらの負荷容量(C)

？ 彼らの電圧スイング(VDD)

そして次のように計算されます。

$$P_{EXT} = O \times C \times V_{DD}^2 \times f$$

負荷容量には、プロセッサのパッケージ容量(CIN)が含まれる必要があります。前記スイッチング周波数は、前記負荷を高く駆動した後、低く戻すことを含む、アドレスピンとデータピンは

最大1/(2tCK)の速度で高値と低値を駆動します。前記書き込みストロブは、周期毎に1/tCKの周波数で切り替えることができる、選択ピンは1/(2tCK)でスイッチしますが、選択は各サイクルをオンにすることができます。例：次の仮定でPEXTを推定します。

？ 1つの外部データメモリアム (32ビット) を備えたシステム

？ 128K × 8ラムチップが4つ使用され、それぞれの負荷があります。

10 pF

？ 外部データメモリの書き込みは、1/(4tCK)のレートで別のサイクルごとに発生し、ピンの50%が切り替わります。

？ 命令サイクルレートは40 MHz(tCK=25 ns)であり、PEXT方程式は、駆動できるピンのクラスごとに計算されます。

典型的な内部消費電力を追加することで、これらの条件のために典型的な消費電力を計算することができるようになります。

$$P_{TOTAL} = P_{EXT}(I_{DDIN2} \times 3.3v)$$

最悪のケースのベストを引き起こす条件は、最悪のケースのバイントを引き起こす条件とは異なることに注意してください。出力ピンの100%がすべてのピンからすべてのゼロに切り替わっている間、最大バイントは発生することはできません。また、アプリケーションでは、出力の100%または50%が同時に切り替わることは一般的ではないことに注意してください。

表6. 外部電力計算(3.3vデバイス)

ピン型	ピンの数	%切り替え	× C	× f	× vdd2	=pext
アドレス	15	50	× 44.7pf	× 10mhz	× 10.9v	=0.037w
MSO	1	0	× 44.7pf	× 10mhz	× 10.9v	=0.000w
WR	1	–	× 44.7pf	× 20mhz	× 10.9v	=0.010w
データ	32	50	× 14.7pf	× 10mhz	× 10.9v	=0.026w
アドクルク	1	–	× 4.7pf	× 20mhz	× 10.9v	=0.001w

pext=0.074w

絶対最大評価

表7よりも大きい応力は、デバイスに永久的な損傷を引き起こす可能性があります。これらはストレス評価のみです。これらまたはその他のより大きな条件でのデバイスの機能的動作

この仕様の操作セクションで示されているものよりも暗示されていません。長期間にわたって絶対最大定格条件にさらされると、デバイスの信頼性に影響を与える可能性があります。

表7. 絶対最大評価

パラメータ ; パラメータ	ADSP-21060/ADSP-21060C 広告-21062 5 V.	ADSP-21060L/ADSP-21060 LC ADSP-21062L 3.3 V.
電源電圧(VDD)	-0.3v~+7.0v	-0.3v~+4.6v
入力電圧	-0.5v~VDD+0.5v	-0.5v~VDD+0.5v
出力電圧スイング	-0.5v~VDD+0.5v	-0.5v~VDD+0.5v
負荷容量	200 pF	200 pF
保存温度範囲	-65oC~+150oC	-65oC~+150oC
鉛温度(5秒)	280°C	280°C
バイアス下接合温度	130°C	130°C

ESDの注意



ESD(静電放電)感受性デバイス。充電されたデバイスおよび回路基板は、検出せずに放電できます。この製品は特許取得済みまたは独自の保護回路を備えていますが、高エネルギーESDを受けるデバイスに損傷が発生する可能性があります。したがって、パフォーマンスの低下や機能の損失を避けるために、適切なESD予防措置を講じる必要があります。

パッケージマーキング情報

図8と表8は、ADSP-2106xプロセッサのパッケージマーキング内に含まれる詳細に関する情報を提供します(実際のマーキング形式は異なる場合があります)。製品の可用性の完全なリストについては、62ページの注文ガイドを参照してください。



図8。典型的なパッケージブランド

表8。パッケージブランド情報

ブランドキー	フィールド記述
tpp Z ; Z cccの vvvvvv.x n.n yyww	温度範囲パッケージタイプ リード(Pb)フリーオプション注 文ガイドアセンブリロットコード シリコンリビジョン日付コードを参照

タイミング仕様

ADSP-2106x プロセッサは、最大プロセスまたは33mhz (-133)および40mhz (-160)の速度で利用できます。タイミング仕様は、40 MHz tCK=25 nsのCLKIN周波数に基づいています)。DTデレーティング係数は、tCK仕様の最小から最大範囲内のタイミング仕様の計算を可能にします(表9を参照)。DTは、減少したCLKIN期間と25 nsのCLKIN期間との差分です。

$$DT = tck - 25 \text{ ns}$$

与えられた正確なタイミング情報を使用します。他のパラメータの加算または減算からパラメータを導出しようとしないでください。加算または減算は個々のデバイスにとって有意義な結果をもたらしますが、このデータシートで与えられた値は統計的な変動と最悪のケースを反映しています。その結果、パラメータを有意義に追加してより長い時間を導出することはできません。電圧基準レベルについては、試験条件下のページ48の図28を参照してください。

タイミング要件は、読み出し動作のために入力されたデータなど、プロセッサの外部のcirによって制御される信号に適用されます。タイミング要件は、プロセッサが他のデバイスで正しく動作することを保証します。(0/D)=オーブンドレイン、(a/D)=アクティブドライブ。

スイッチング特性は、プロセッサが信号をどのように変更するかを指定します。このタイミングを制御することはできません。プロセッサ外部の回路は、これらの信号特性と互換性があるように設計されている必要があります。スイッチング特性は、特定の状況でプロセッサが何をするかを示します。また、スイッチング特性を使用して、プロセッサに接続されているデバイス(メモリなど)のタイミング要件を満たすこともできます。

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

クロック入力

表9. クロック入力

パラメータ ; パラメータ	広告-21060 広告-21062 40 MHz、5v	広告-21060 広告-21062 33 MHz、5v	広告-21060L 広告-21062L 40 MHz、3.3v	広告-21060L 広告-21062L 33 MHz、3.3v	ユ ニ ッ ト
	分 ; 最大 ; 最 分 ; 大	分 ; 最大 ; 最 分 ; 大	分 ; 最大 ; 最 分 ; 大	分 ; 最大 ; 最 分 ; 大	
タイミング要件					
tCK ; tCK tCKL ; tCKL TCCH ; TCCH tCKRF CLKINの上昇/下落 (0.4v~2.0 v)	クルキン期間 25 100 7 5 3	クルキン期間 30 100 7 5 3	クルキン期間 25 100 8.75 5 3	クルキン期間 30 100 8.75 ¹ 5 3	ns ns ns ns

¹ ADSP-21060LCの場合、この仕様は9.5ns分です。

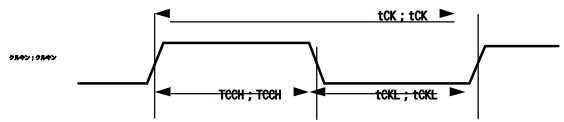


図9. クロック入力

リセットする

表10. リセットする

パラメータ ; パラメータ	5V及び3.3v		ユ ニ ッ ト
	分 ; 分 ; 分	最大 ; 最大	
タイミング要件			
最初の tSRSTの	4tCK 14 + DT/2	tCK ; tCK	ns ns

¹ 電源アップシーケンスが完了した後に適用されます。電源アップ時、プロセッサの内部位相ロックループは、リセットが安定していると仮定して、リセットが低い間100 μs以下を必要とします。
V_{DD}およびCLKIN（外部クロック発振器の起動時間を含まない）。
² 複数のADSP-2106xsがプログラムカウンタ（PC）が等しいCLKINに同期してリセットから出なければならない場合にのみ必要です。バス調停ロジックはリセット後に自動的に同期するため、共有バスを介して（外部ポートを介して）複数のADSP-2106xsには必要ありません。

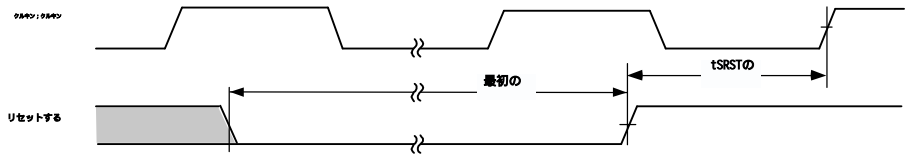


図10. リセットする

中断する

表11. 中断する

パラメータ ; パラメータ		5V及び3.3V 分 ; 分 ; 分 最大 ; 最大	ユ ニ ッ ト
タイミング要件			
ツアー	$\overline{\text{CLKIN}}$ High1前の irq2-0 セットアップ	$18 + 3DT/4$	ns
彼らの	$\overline{\text{irq2-0}}$ clk in high1 前にホールド	$12 + 3DT/4$	ns
チップW	$\overline{\text{irq2-0}}$ パルス幅2	$2 + t_{\text{CK}}$	ns

1 次のサイクルで $\overline{\text{IRQx}}$ 認識にのみ必要です。

2 これらの要件が満たされていない場合にのみ適用されます。

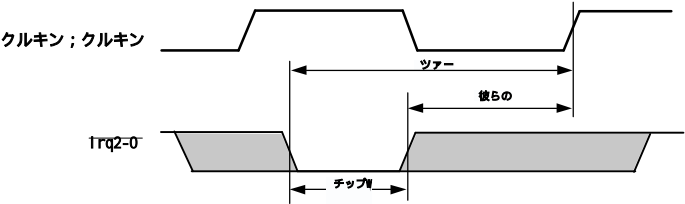


図11. 中断する

タイマー

表12. タイマー

パラメータ ; パラメータ		5Vおよび3.3V分 最大 ; 最大	ユ ニ ッ ト
切り替え特性			
t_{DTEX}	タイムエクスプまで高くCLKINする	15	ns

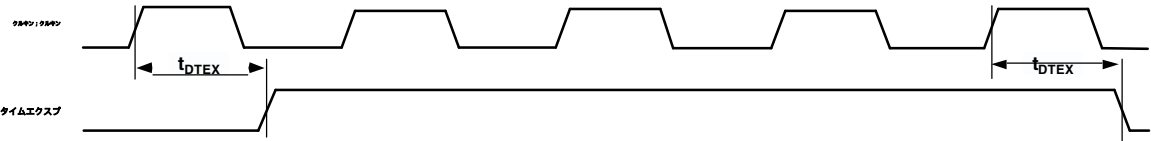


図12. タイマー

旗

表13. 旗

パラメータ ; パラメータ		5 バンド3.3v		ユ ニ ッ ト
		最小値	最大 ; 最大	
タイミング要件				
ツェフィ	CLKIN High1前のセットアップでflag3-0	8 + 5DT/16		ns
tHFI ; tHFI	クルキンハイ1の後、フラグ3-0が保持されている	0 - 5DT/16		ns
tDWRFI	RD/WR低下後の遅延flag3-0 1		5 + 7DT/16	ns
スフィウル	RD/WRが解除された後、flag3-0が保持されています1	0		ns
スイッチング特性				
tDFO ; tDFO	クルキンハイ後のフラグ3-0アウト遅れ		16	ns
スフォ	クルキンハイ後にフラグ3-0アウトホールド	4		ns
tDFOE	クルキンハイまでフラグ3-0アウト可能	3		ns
tDFOD	clkin high to flag3-0 outを無効にする		14	ns

1 命令サイクルNのこれらの設定時間と保持時間を満たすフラグ入力、命令サイクルn 2の条件付き命令に影響を与えます。

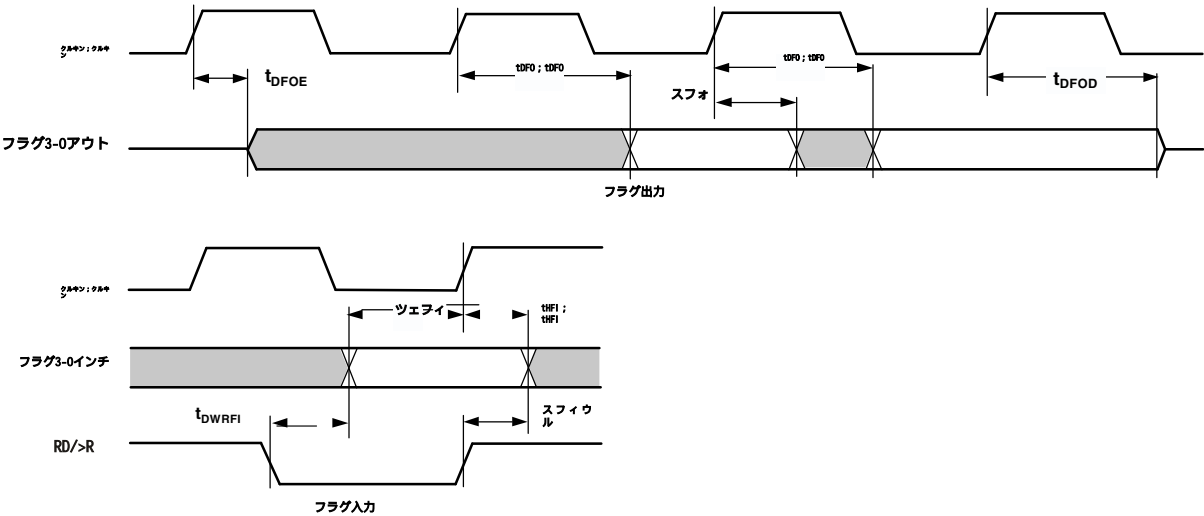


図13. 旗

メモリ読み取りバスマスター

CLKINを参照せずに、メモリ（およびメモリマッピング周辺機器）への非同期インターフェースのためにこれらの仕様を使用してください。これらの仕様は、adsp-2106xが

非同期アクセスモードで外部メモリ空間にアクセスするバスマスタ。アック、データ、RD、WR、およびDMAGxストロボタイミングパラメータのタイミングは、非同期アクセスモードにのみ適用されることに注意してください。

表14. メモリ読み取りバスマスター

パラメータ ; パラメータ	5 バンド 3.3v 最小値 最大 ; 最大	ユ ニ ツ ト
タイミング要件		
tDAD アドレスはデータValid1, 2への遅延を選択します	18 + DT + W	ns
tDRLD RDはデータValid1に低い	12 + 5DT/8 + W	ns
tHDA データはアドレスから保持され、Selects3	0.5	ns
tHDRH データはRD High3から保持されます	2.0	ns
アドレスからのtDAACK ACK遅延、Selects2, 4	14 + 7DT/8 + W	ns
RD Low4からのtDSACK ACK遅延	8 + DT/2 + W	ns
スイッチング特性		
tDRHA アドレスはRD高の後に保持を選択します	0 + H	ns
tDARL アドレスはRD Low2に選択します	2 + 3DT/8	ns
tRW ; tRW RDパルス幅	12.5 + 5DT/8 + W	ns
tRWR RD High to WR、RD、DMAGx Low	8 + 3DT/8 + HI	ns
tSADADC アドレス、ADRCCLK High2の前に設定を選択します	0 + DT/4	ns

W = (待機レジスタで指定された待機状態の数) × tCK。

HI = tCK (待機レジスタで指定されているように、アドレスホールドサイクルまたはバスアイドルサイクルが発生した場合。そうでなければHI = 0)。

H = tCK (待機レジスタで指定されたようにアドレス保持サイクルが発生した場合、そうでなければH = 0)。

1 データ遅延/セットアップ：ユーザーはtDADまたはtDRLDまたは同期仕様tSSDATIを満たす必要があります。

2 MSx、SW、BMSの落下エッジが参照されます。

3 データ保持：ユーザーはtHDAまたはtHDRHまたは同期仕様tHSDATIを満たす必要があります。静電容量負荷および直流負荷の保持時間の計算については、48ページのシステム保持時間計算例を参照してください。

4 内部待機状態モードを使用する外部メモリアクセスではACKはサンプリングされません。新しい外部メモリアクセスの最初のCLKINサイクルのために、ACKは、外部の待機状態モードのためのtDAAKor tDSAKまたは同期仕様tSACKCによって有効でなければなりません、いずれか、または両方（内部待機状態がゼロの場合の両方）。待機記載された外部メモリアクセスの2番目以降のサイクルのために、同期仕様tSACKCand tハックは、外部の待機状態モードのいずれか、または両方（内部待機状態が完了した後の両方）に満たされなければなりません。

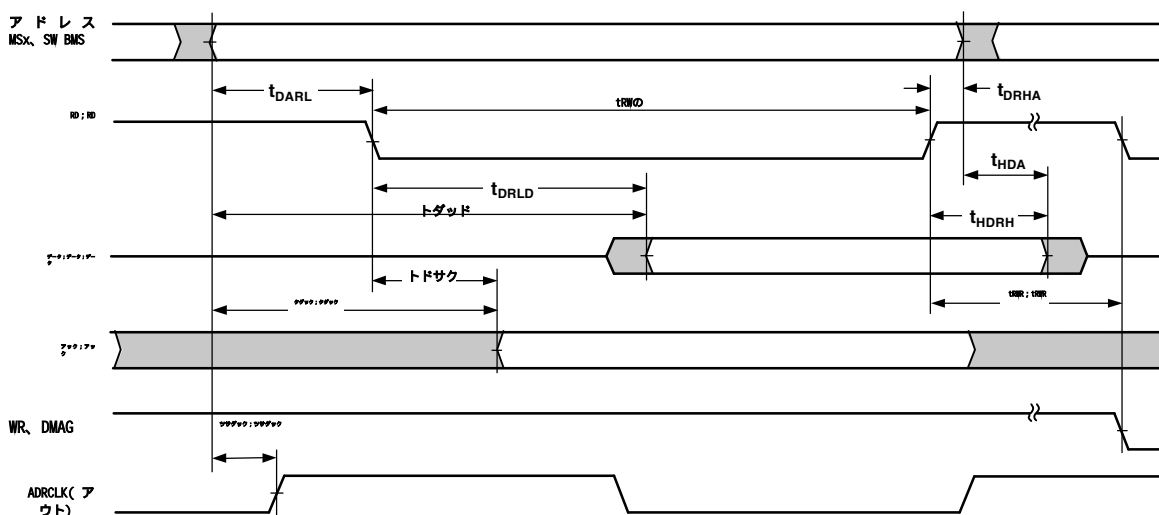


図14. メモリ読み取りバスマスター

メモリ書き込みバスマスター

CLKINを参照せずに、メモ（およびメモリマッピング周辺機器）への非同期インターフェースのためにこれらの仕様を使用します。これらの仕様は、ADSP-2106xが

非同期アクセスモードで外部メモリ空間にアクセスするバスマスタ。アック、データ、RD、WR、およびDMAGxストロポタイミングパラメータのタイミングは、非同期アクセスモードにのみ適用されることに注意してください。

表15. メモリ書き込みバスマスター

パラメータ ; パラメータ	5V及び3.3v 分 ; 分 ; 分 最大 ; 最大	ユ ニ ット
タイミング要件		
タダック ; タダック アドレスからの遅延をACK、Selects1,2	14 + 7DT/8 + W	ns
トドサク WR Low1からのACK遅延	8 + DT/2 + W	ns
スイッチング特性		
t _{DAWH} アドレスがWR Deasserted2に選択されます	17 + 15DT/16 + W	ns
t _{DAWL} アドレスがWR Low2に選択されます	3 + 3DT/8	ns
t _{WW} の WRパルス幅	12 + 9DT/16 + W	ns
t _{DDWH} WRハイ前のデータセットアップ	7 + DT/2 + W	ns
t _{DWHA} WRが解除された後のアドレス保持	0.5 + DT/16 + H	ns
t _{DATRW} データは、WRが解除された後に無効になります3	1 + DT/16 + H 6 + DT/16 + H	ns
トゥーウル WRハイからWR、RD、DMAGxロー	8 + 7DT/16 + H	ns
t _{DDWR} ; t _{DDWR} WRまたはRDが低くなる前にデータを無効にする	5 + 3DT/8 + I	ns
トゥーディ WRはデータが有効になっています	-1 + DT/16	ns
t _{SADADC} アドレス、ADRCCLK Hi gh2の前に設定を選択します	0 + DT/4	ns

W = (待機レジスタで指定された待機状態の数) × t_{CK}。

H = t_{CK} (待機レジスタで指定されているように、アドレス保持サイクルが発生した場合、それ以外の場合はH=0)。

HI = t_{CK} (待機レジスタで指定されているように、アドレスホールドサイクルまたはバスアイドルサイクルが発生した場合。そうでなければHI=0)。I = t_{CK} (待機レジスタで指定されているように、バスのアイドルサイクルが発生した場合。そうでなければI=0)。

¹ 内部待機状態モードを使用する外部メモリアクセスではACKはサンプリングされません。新しい外部メモリアクセスの最初のCLKINサイクルのために、ACKは、外部の待機状態モードのためのt_{DAACK} or t_{DSACK}または同期仕様t_{SACKC}によって有効でなければなりません、いずれか、または両方（内部待機状態がゼロの場合の両方）。待機記載された外部メモリアクセスの2番目以降のサイクルのために、同期仕様t_{SACKC} and t_{ハック}は、外部の待機状態モードのいずれか、または両方（両方、内部待機状態が完了した後）を満たす必要があります。

² MSx、SW、BMSの落下エッジが参照されます。

³ 静電容量負荷および直流負荷の保持時間の計算については、48ページのシステム保持時間計算例を参照してください。

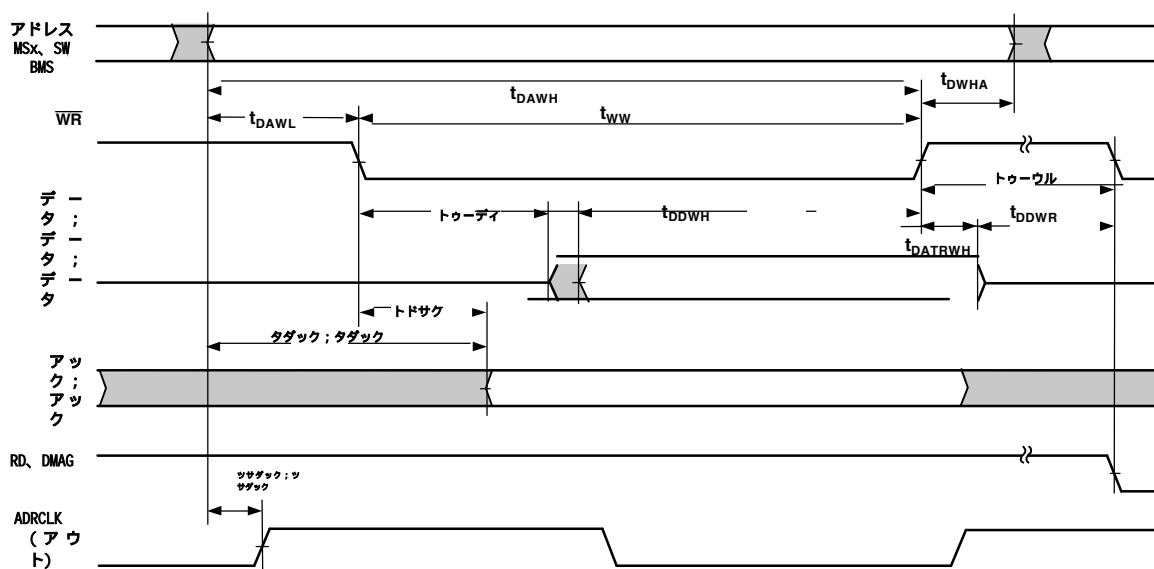


図15. メモリ書き込みバスマスター

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

同期読み取り/書き込みバスマスター

これらの仕様は、CLKIN相対タイミングを必要とする外部メモリシステムへのインタフェース、またはスレーブADSP-2106x(マルチプロセッサメモリスペース内)にアクセスするために使用します。これらの同期スイッチング特性は、記載されている場合を除き、非同期メモリの読み取りおよび書き込み時にも有効です(25ページのメモリ読み取りバスマスターおよびメモリ書き込みを参照してください)。

26ページのバスマスター)。スレーブADSP-2106xにアクセスする場合、これらのスイッチング特性は、同期読み取り/書き込みのためのスレーブのタイミング要件を満たす必要があります(ページ30の同期読み取り/書き込みバスマスターを参照)。スレーブADSP-2106xも、データのこれらの(バスマスター)タイミング要件を満たし、セットアップとホールド時間を確認する必要があります。

表16. 同期読み取り/書き込みバスマスター

パラメータ ; パラメータ		5V及び3.3v		ユニ ット
		最小値	最大 ; 最大	
タイミング要件				
ツェスディティ	CLKIN前のデータ設定	3 + DT/8		ns
t _{HSDATI}	CLKIN後にデータが保持される	3.5 - DT/8		ns
タダック ; タダック	アドレス後の遅延をACK、Selects1, 2		14 + 7DT/8 + W	ns
ツサック	CLKIN2前のACKセットアップ	6.5 + DT/4		ns
タック ; タック ; タック	クルキンの後にホールドする	-1 - dt/4		ns
スイッチング特性				
タダドロ	CLKIN1後のアドレス、MSx、BMS、SW遅延		7 - DT/8	ns
サドロ ; サドロ ; サドロ	アドレス、MSx、BMS、sw clk inの後に保持	-1 - dt/8		ns
t _{DPGC}	CLKIN後のページ遅延	9 + DT/8	16 + DT/8	ns
t _{DRDO}	rd clk in後の高遅延	-2 - dt/8	4 - DT/8	ns
トゥーロ	CLKIN後のWR高遅延	-3 - 3dt/16	4 - 3DT/16	ns
t _{DRWL}	CLKIN後のRD/WR低遅延	8 + DT/4	12.5 + DT/4	ns
ツドダート	CLKIN後のデータ遅延		19 + 5DT/16	ns
t _{DATTR}	CLKIN3の後にデータを無効にする	0 - DT/8	7 - DT/8	ns
t _{DADCK}	CLKIN後のADRCLK遅延	4 + DT/8	10 + DT/8	ns
タドルク	ADRCLK期間	t _{CK} ; t _{CK}		ns
タドルク	ADRCLK幅高	(t _{CK} /2 - 2)		ns
タドルクル	ADRCLK幅が低い	(t _{CK} /2 - 2)		ns

¹MSx、SW、BMSの落下エッジが参照されます。

²ACK遅延/セットアップ：ユーザーはACK(LOW)のアサーションを解除するためにt_{DAACK}or t_{DSACK}または同期仕様t_{SAKC}を満たす必要があります、ACK(HIGH)のアサーションのために3つの仕様すべてを満たす必要があります。

³静電容量負荷および直流負荷の保持時間の計算については、48ページのシステム保持時間計算例を参照してください。

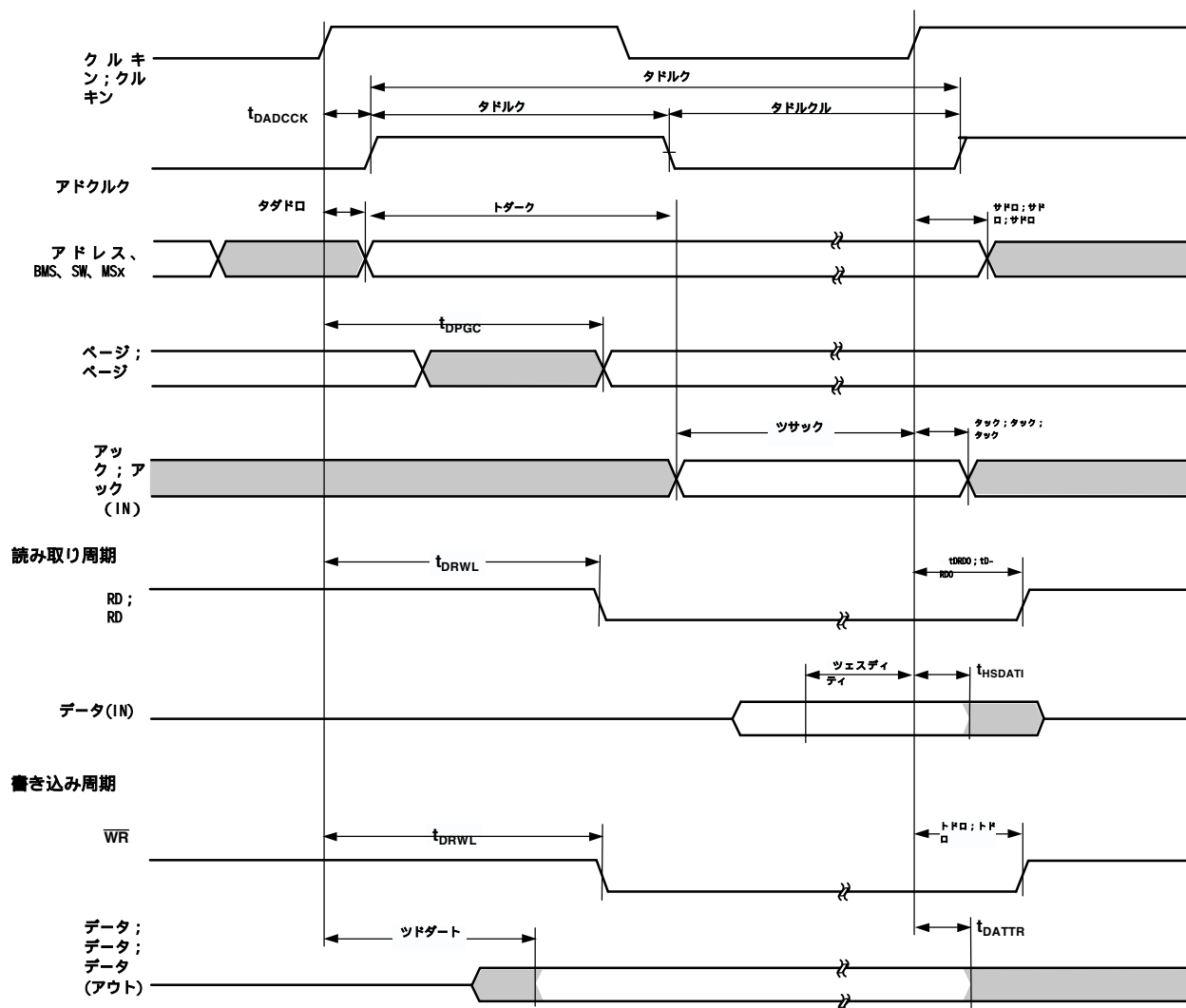


図16. 同期読み取り/書き込みバスマスター

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

同期読み取り/書き込みバススレーブ

これらの仕様は、スレーブのIOPレジスタまたは内部メモリ(マルチプロセッサメモリスペース内)のバスマスターアクセスに使用します。バスマスターは、バススレーブタイミング要件を満たす必要があります。

表17. 同期読み取り/書き込みバススレーブ

パラメータ ; パラメータ		5 V及び3. 3v		ユ ニ ッ ト
		分 ; 分 ; 分	最大 ; 最大	
タイミング要件				
ツァドリ ; ツァドリ	アドレス、CLKIN前のSWセットアップ	15 + DT/2		ns
サドリ ; サドリ	アドレス、sw clkinの後に保持する		5 + DT/2	ns
ツルウリ	CLKIN1前のRD/WRのセットアップが低い	9.5 + 5DT/16		ns
スルーリ	CLKIN2後のRD/WRローホールド	-4-5dt/16	8 + 7DT/16	ns
t _{RWHPI}	RD/WRパルス高	3		ns
t _{SDATWH}	WRハイ前のデータセットアップ	5		ns
t _{HDATWH}	WRハイの後にデータが保持される	1		ns
スイッチング特性				
ツドダート	CLKIN3後のデータ遅延		18 + 5DT/16	ns
t _{DATTR}	CLKIN4後にデータを無効にする	0 -DT/8	7 -DT/8	ns
タックアド	アドレス後のACK遅延、SW5		9	ns
タックトル	CLKIN5の後にACKを無効にします	-1-dt/8	6 -DT/8	ns

マルチプロセッサメモリ容量待機状態(待機レジスタ内のMMSWSビット)が無効になった場合、1 t_{SRWLI} (min)=9・5+5DT/16、MMSWSが有効になっている場合、t_{SRWLI} (min)=4 dt/8。

2 ADSP-21060Cの仕様は-3.5-5dt/16 ns min、最大8 7dt/16 nsです。ADSP-21060LCの仕様は-3.75-5dt/16 ns分、最大8 7dt/16 nsです。

3 ADSP-21062/ADSP-21062L/ADSP-21060Cの仕様は最大19 5dt/16 nsです。ADSP-21060LCの仕様は最大19.25 5dt/16 nsです。

4 静電容量負荷および直流負荷の保持時間の計算については、48ページのシステム保持時間計算例を参照してください。

5 t_{DACKAD}は、アドレスとSW入力(のセットアップ時間(CLKINの前)が10+DT/8を超え、19+3DT/4未満である場合にのみtrueです。アドレスと入力のセットアップ時間が19 3dt/4を超える場合、ACKはCLKIN後に14 dt/4(最大)有効です。Mフィールドの一致を持つアドレスを見るスレーブは、MMSWSまたはストロボの状態に関係なく、ACKで応答します。スレーブはタックルでサイクルごとに3ステートアックを行います。

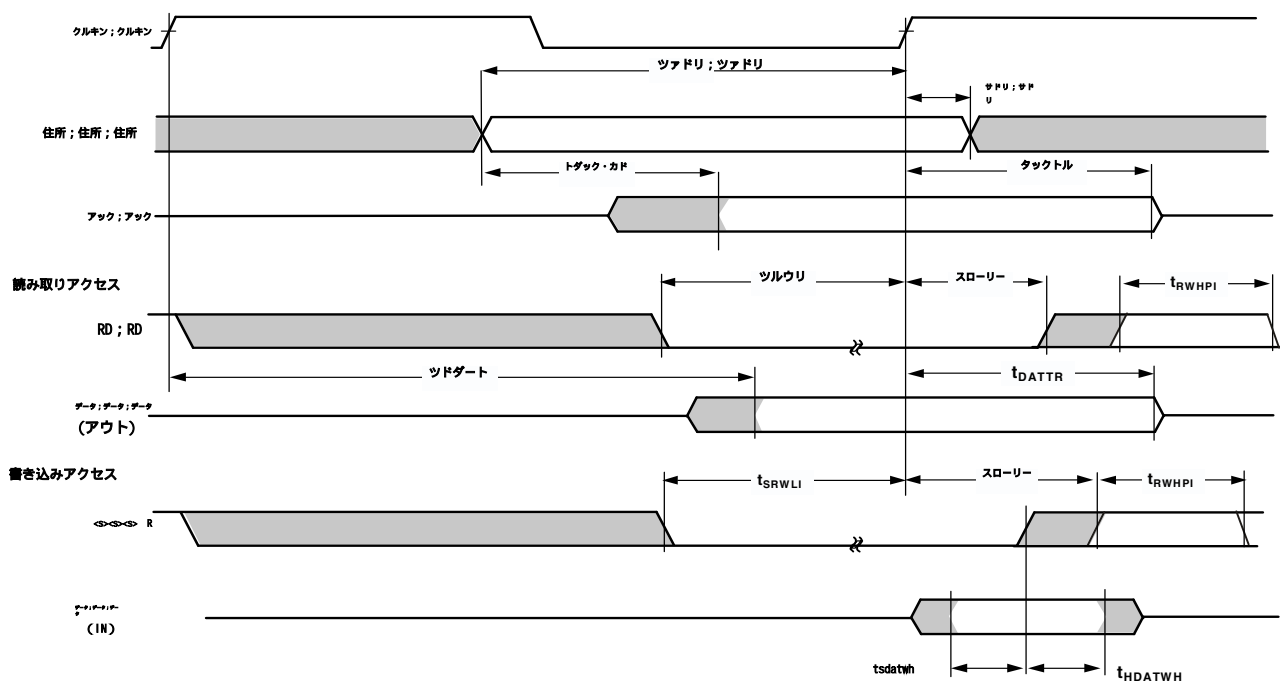


図17. 同期読み取り/書き込みバススレーブ

マルチプロセッサバス要求およびホストバス要求

同期および非同期（HBR、HBG）の両方のマルチプロセッサ
ADSP-2106xs（BRx）またはホストプロセッサ間のバスマス
タシップの渡すためにこれらの仕様を使用してください。

表18. マルチプロセッサバス要求およびホストバス要求

パラメータ; パラメータ	5 バンド3.3v		ユニット
	最小値	最大; 最大	
タイミング要件			
tHBGRCSV HBGはRD/WR/CS有効に低く1		20 + 5DT/4	ns
ツシュブリ CLKIN2前のHBRセットアップ	20 + 3DT/4		ns
スプリ; スプリ CLKIN2の後にHBR保持		14 + 3DT/4	ns
ツシュブギ CLKIN前のHBGセットアップ	13 + DT/2		ns
シュブギ CLKIN Highの後、HBGホールド		6 + DT/2	ns
ツブリ CLKIN3前のBRx、CPAセットアップ	13 + DT/2		ns
スプリ; スプリ BRx、CPAはCLKIN Highの後に保持します		6 + DT/2	ns
ツルブパイ CLKIN前のRPBAセットアップ	21 + 3DT/4		ns
スルパイ; スルパイ CLKINの後にRPBAホールド		12 + 3DT/4	ns
スイッチング特性			
tDHBGO CLKIN後のHBG遅延		7 -DT/8	ns
スブゴ CLKINの後にHBGホールド	-2-dt/8		ns
tDBRO CLKIN後のBRx遅延		7 -DT/8	ns
スプロ CLKINの後にBRxホールド	-2-dt/8		ns
tDCPAO CLKIN4後のCPA低遅延		8 -DT/8	ns
tTRCPA CLKIN後にCPAを無効にする	-2-dt/8	4.5 -DT/8	ns
tDRDYCS REDY(0/D)または(a/D)CSおよびHBR Low5, 6から低い		8.5	ns
tTRDYHG HBG6, 7からREDY(0/D)を無効にするか、REDY(a/D)を高い	44 + 23DT/16		ns
遅延; 遅延 REDY(a/D)CSまたはHBR Highから無効にします		10	ns

¹ HBRとCSが主張した後の最初の非同期アクセスの場合、ADDR31-0は、RDまたはWRが低くなる前に、またはHBGが低くなる後に $t_{HBGRCSV}$ によって非MMS値1/2 t_{ck} でなければなりません。これは、HBGがアサートされたときに上位アドレス信号を高く駆動することによって容易に達成されます。ADSP-2106x SHARCユーザーマニュアル、リビジョン2.1の「ADSP-2106xのホストプロセッサ制御」セクションを参照してください。

² 現在のサイクルでの認識にのみ必要です。

³ CPAアサーションは $CLKIN$ のセットアップを満たす必要があります。deassertionは $CLKIN$ のセットアップを満たす必要はありません。

⁴ ADSP-21060LCの場合、仕様は最大8.5-dt/8nsです。

⁵ ADSP-21060Lの場合、仕様は最大9.5ns、ADSP-21060LCの場合、仕様は最大11.0ns、ADSP-21062Lの場合、仕様は最大8.75nsです。

⁶ (O/D) = オープンドレイン、(a/D) = アクティブドライブ。

⁷ ADSP-21060C/ADSP-21060LCの場合、仕様は40 23dt/16 ns分です。

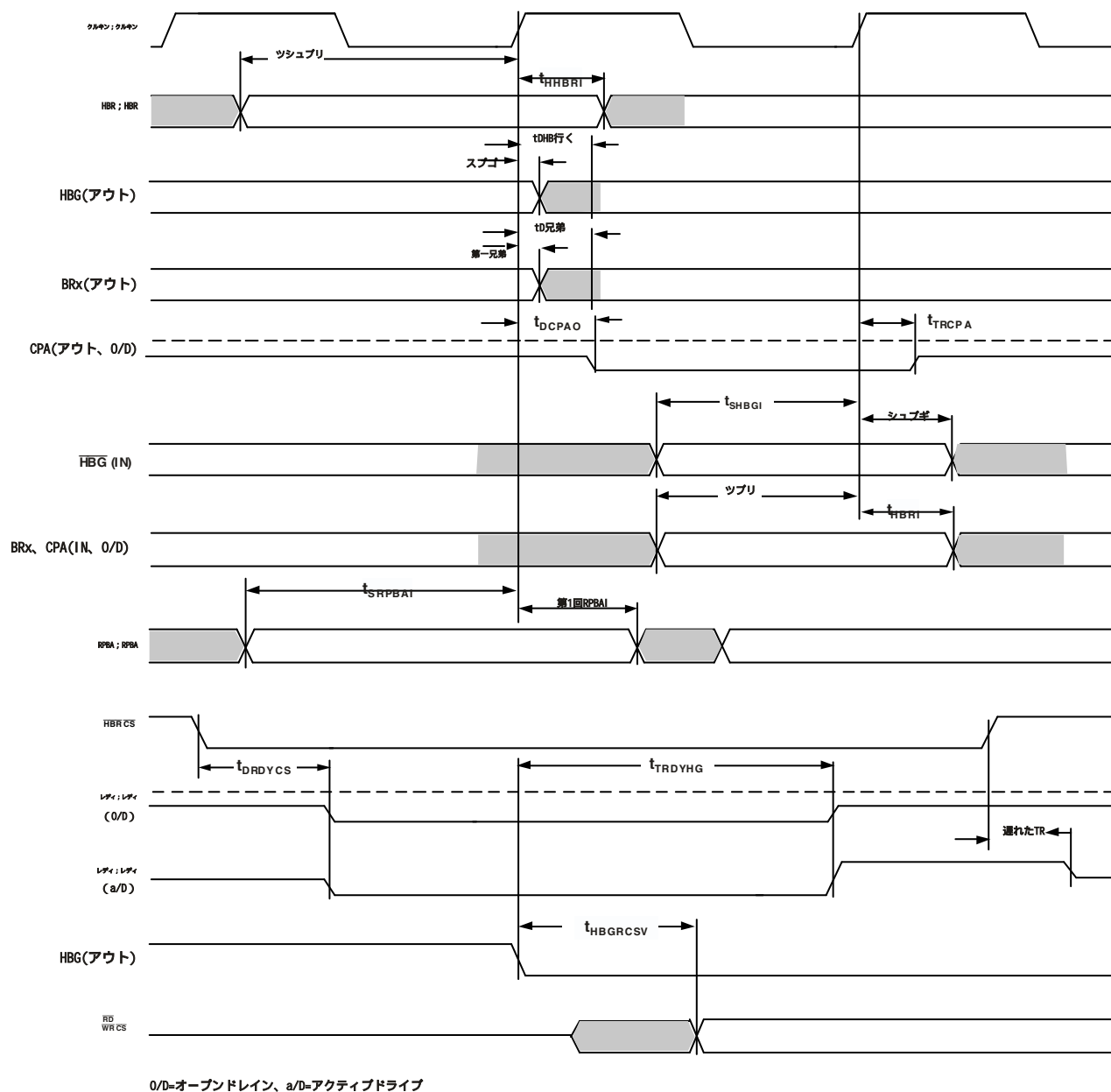


図18. マルチプロセッサバス要求およびホストバス要求

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

非同期読み取り/書き込みホスト to ADSP-2106x

ホストがCSとHBR(Low)をアサートした後、ADSP-2106xの非同期ホストプロセッサアクセスにこれらの仕様を使用します。HBGがADSP-2106xによって返された後、ホストはRDピンとWRピンを駆動してADSP-2106xの内部メモリまたはIOPレジスタにアクセスできます。このタイミングでは、HBRとHBGが低いと仮定されます。アドレスとアドレスが有効なtHBGRCSVの場合は必須ではありません

低くなった後。アサート後の最初のアクセスの場合、addr31-0は、前に、または低くなる前に、または低くなる後にtHBGRCSVによって、非MMS値1/2 tCLKでなければなりません。これは、アサートされたときに上位アドレス信号を高く駆動することによって容易に達成されます。ADSP-2106x SHARCユーザーマニュアル、リビジョン2.1の「ADSP-2106xのホストプロセッサ制御」セクションを参照してください。

表19. 読み取り周期

パラメータ ; パラメータ	5 バンド 3.3v		ユニット
	分 ; 分 ; 分	最大 ; 最大	
タイミング要件			
ツアドル アドレスセットアップ/CS Low Before RD Low1	0		ns
サドル アドレス保持/CSはRD後に低く保持されず	0		ns
トゥルー・ウォー — — RD/WR高幅	6		ns
tDRDHRDY $\overline{\text{REDY}}$ (0/D)を無効にした後のRD高遅延	0		ns
tDRDHRDY $\overline{\text{REDY}}$ (a/D)が無効になった後のRD高遅延	0		ns
スイッチング特性			
ツダトルディ REDYが低い値から無効にする前に有効なデータ	2		ns
トルディルド REDY (0/D) または (a/D) RD Low2後の低遅延		10	ns
トルディブル REDY (0/D) または (a/D) 読み取り用の低パルス幅	45 + 21DT/16		ns
タイダルウェ RD Hi gh3の後にデータが無効になります	2	8	ns

¹ HBGが低くなった後、RDとaddressが有効なtHBGRCSVの場合は必要ありません。HBRが主張した後の最初のアクセスの場合、ADDR31-0は、RDまたはWRが低くなる前に、またはHBGが低くなる後にtHBGRCSVによって非MMS値1/2 tCLKでなければなりません。これは、HBGがアサートされたときに上位アドレス信号を高く駆動することによって容易に達成されます。ADSP-2106x SHARCユーザーマニュアル、リビジョン2.1の「ADSP-2106xのホストプロセッサ制御」セクションを参照してください。

² ADSP-21060Lの場合、仕様は最大10.5nsです。ADSP-21060LCの場合、仕様は最大12.5nsです。

³ ADSP-21060L/ADSP-21060LCの場合、仕様は分2 ns、最大8.5 nsです。

表20. 書き込み周期

パラメータ；パラメータ		5V及び3.3v		ユ ニ ット
		最小値	最大；最大	
タイミング要件				
tSCSWRL	WR Lowの前にCSセットアップが低い	0		ns
tHCSWRH	WRハイ後のCSローホールド	0		ns
ツアドウル	WRハイ前のアドレス設定	5		ns
サドウルフ	WRハイ後のアドレス保持	2		ns
ツワル；tWWRL	WR低幅	7		ns
トゥルー・ウォー	RD/WR高幅	6		ns
tDWRHRDY	wr redy(0/D)または(a/D)を無効にした後の高遅延	0		ns
tSDATWH	WRハイ前のデータセットアップ	5		ns
tHDATWH	WRハイの後にデータが保持される	1		ns
スイッチング特性				
tDRDYWRL；tDRDYWRL	WR/CS低い後のREDY（0/D）または（a/D）遅延が低い		10	ns
トルディブル	書き込み用のREDY(0/D)または(a/D)低パルス幅	15 + 7DT/16		ns
ツルディック；ツルディック	REDY(0/D)または(a/D)CLKINを無効にします	1 + 7DT/16	8 + 7DT/16	ns

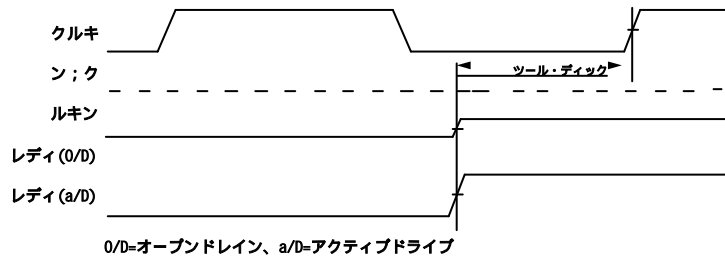
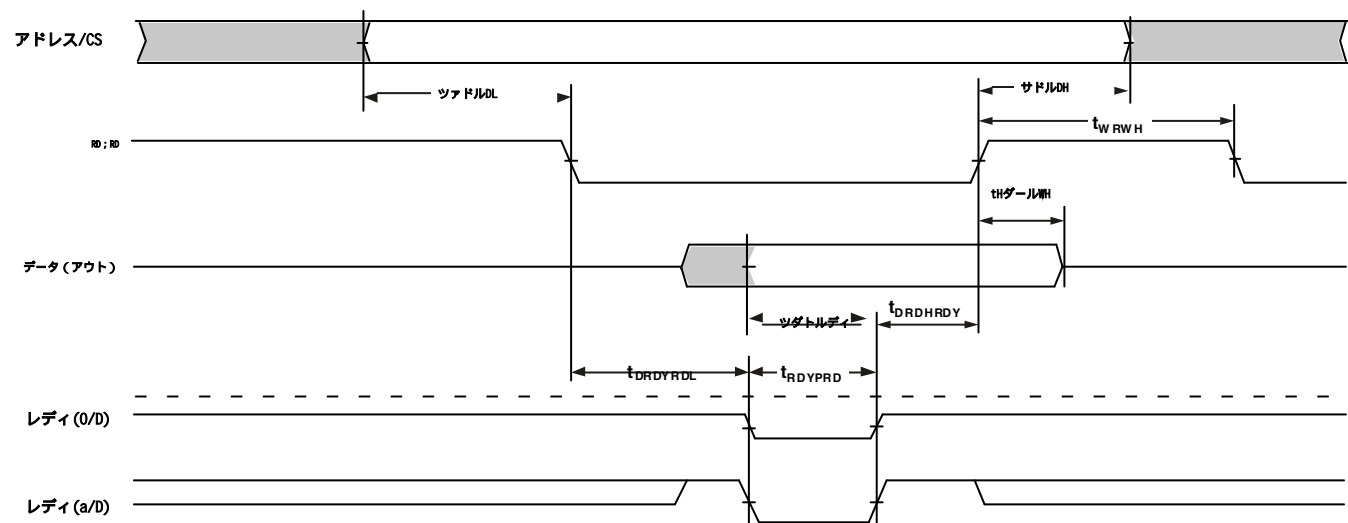


図19. 同期レディタイミング

読み取り周期



書き込み周期

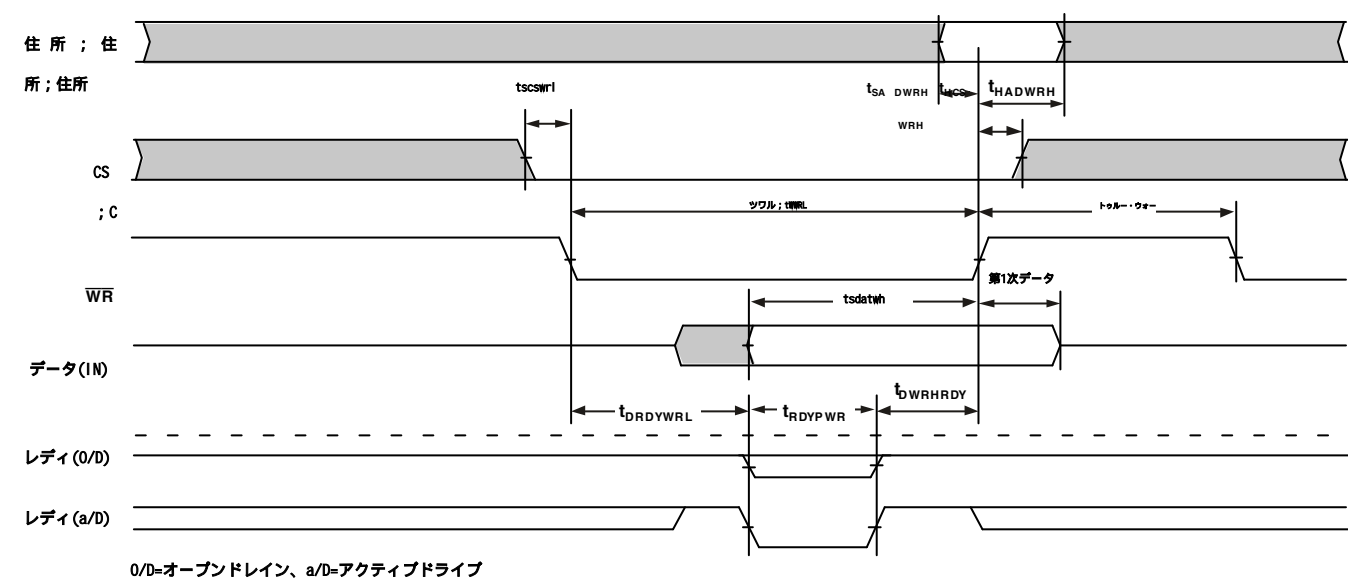


図20. 非同期読み取り/書き込みホストtoADSP-2106x

3状態タイミングバスマスター、バススレーブ

これらの仕様は、CLKINとSBTSピンに対してメモリアンターフェースが無効になっている(運転を停止)または有効になっている(運転を再開)方法を示しています。このタイミングは、バスマスタートランジションサイクル(BTC)とホストランジションサイクル(HTC)とSBTSピンに適用されます。

表21. 3状態タイミングバスマスター、バススレーブ

パラメータ ; パラメータ		5 バンド3.3v 分 ; 分 ; 分 最大 ; 最大	ユ ニ ッ ト
タイミング要件			
TSTSK ; TSTSK	CLKIN前のSBTSセットアップ	12 + DT/2	ns
テスク	SBTSはCLKINの前に保持します	6 + DT/2	ns
スイッチング特性			
トミエナ	CLKIN1の後に有効にするアドレス/選択	-1.5-dt/8	ns
トミエンス	StrobesはCLKIN2の後に有効になります	-1.5-dt/8	ns
tMIENHG	CLKINの後にHBGを有効にする	-1.5-dt/8	ns
トミトラ ; トミトラ	CLKIN3の後に無効にするアドレス/選択	0 -DT/4	ns
トミトル	CLKIN2の後にStrobesが無効になります	1.5 -DT/4	ns
tMITRHG	CLKIN後にHBGを無効にする	2.0 -DT/4	ns
タイテン	CLKIN4の後にデータを有効にする	9 + 5DT/16	ns
tDATTR	CLKIN4の後にデータを無効にする	0 -DT/8	ns
タックンする	CLKIN4の後にACKを有効にする	7.5 + DT/4	ns
タックトル	CLKIN4の後にACKを無効にします	-1-dt/8	ns
タッセン	CLKINの後にADRCLKを有効にする	-2-dt/8	ns
タッドクトル	ADRCLKはCLKIN後に無効にします	8 -DT/4	ns
tMTRHBG	メモリアンターフェースはHBG Low5前に無効になります	0 + DT/8	ns
tMENHBG	メモリアンターフェースはHBG High5の後に有効になります	19 + DT	ns

1 ADSP-21060L/ADSP-21060LC/ADSP-21062Lの場合、仕様は-1.25-dt/8ns分、ADSP-21062の場合、仕様は-1-dt/8ns分です。

2 Strobes=RD、WR、PAGE、DMAG、BMS、SW。

3 ADSP-21060LCの場合、仕様は最大0.25-dt/4nsです。

4 これらの仕様は、バスマスター遷移サイクルに加えて、バスマスターとバススレーブの同期読み取り/書き込みにも適用されます。

5 メモリアンターフェース=アドレス、RD、WR、MSx、SW、PAGE、DMAGx、およびBMS(EPROMブートモード)。

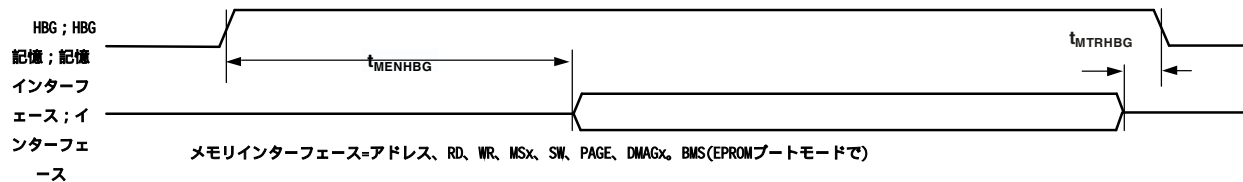


図21. 3状態タイミング (バス遷移サイクル、SBTSアサーション)

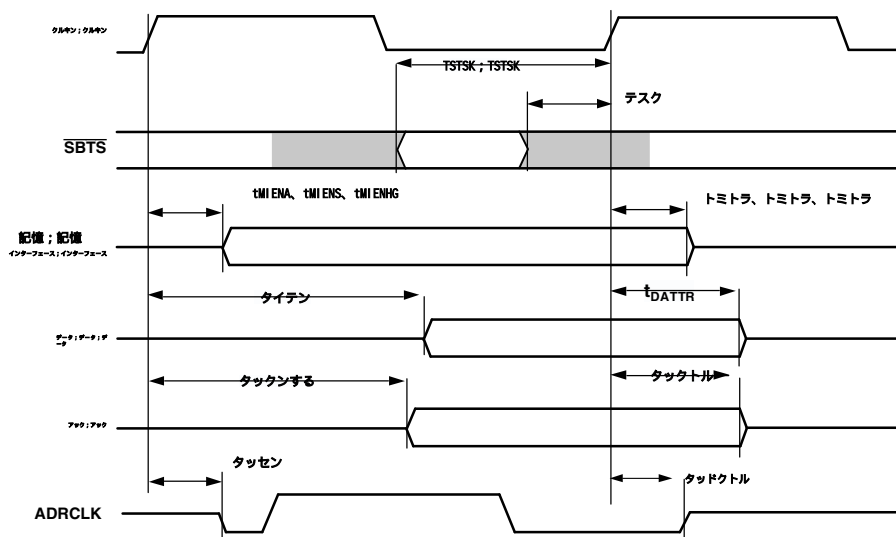


図22. 3状態タイミング (バス遷移サイクル、SBTSアサーション)

DMA握手

これらの仕様には、3つのDMAハンドシェイクモードが記載されています。3つのモードすべてで、DMARxは転送を開始するために使用されます。ハンドシェイクモードの場合、DMAGxはデータのラッチまたは有効化を外部から制御します。外部ハンドシェイクモードの場合、データ転送はADDR31-0、RD、WR、PAGE、MS3-0、ACK、

表22. DMA握手

そしてDMAGx信号。ペースマスターモードの場合、データ転送はADDR31-0、RD、WR、MS3-0、およびACK (DMAGではありません) によって制御されます。ペースマスターモードでは、ADDR31-0、RD、WR、MS3-0、PAGE、DATA63-0、ACKのメモリ読み取り/バスマスタ、メモリ書き込みバスマスタ、および同期読み取り/書き込みバスマスタタイミング仕様も適用される。

パラメータ ; パラメータ	5V及び3.3V		ユニ ット
	分 ; 分 ; 分	最大 ; 最大	
タイミング要件			
tSDRLC CLKIN1前のDMARxの低セットアップ	5		ns
tSDRHC CLKIN1前のDMARxハイセットアップ	5		ns
tWDR ; tWDR <u>DMARx幅が低い(非同期)</u>	6		ns
DMAGx Low2後のtSDATDGLデータセットアップ		10 + 5DT/8	ns
tHDATIDGデータはDMAGxハイの <u>後に保持</u> されます	2		ns
tDATDRHデータはDMARx High2の <u>後に有効</u> です		16 + 7DT/8	ns
tDMARLL <u>DMARxローエッジからローエッジへ</u>	23 + 7DT/8		ns
tDMARH DMARx幅高2	6		ns
スイッチング特性			
tDDGL ; tDDGL CLKIN後のDMAGx低遅延	9 + DT/4	15 + DT/4	ns
tWDGH ; tWDGH DMAGx高幅	6 + 3DT/8		ns
tWDGL ; tWDGL DMAGx低幅	12 + 5DT/8		ns
tHDGC CLKIN後のDMAGx高遅延	-2-dt/8	6 -DT/8	ns
tVDATDGHデータはDMAGx High3より前に有効です	8 + 9DT/16		ns
tDATRDGHデータはDMAGx High4の後に無効になります	0	7	ns
tDGWRL WR Low Before DMAGx Low ⁵	0	2	ns
tDGWRH DMAGxが低い前にWRが高い	10 + 5DT/8 + W		ns
tDGWRR DMAGxハイの前にWRハイ	1 + DT/16	3 + DT/16	ns
tDGRDL DMAGxローの前にRDロー	0	2	ns
tDRDGH <u>DMAGxハイの前にRDが低い</u>	11 + 9DT/16 + W		ns
tDGRDR <u>DMAGx高の前にRD高</u>	0	3	ns
tDGWR ; tDGWR <u>DMAGx High to WR, RD, DMAGx Low</u>	5 + 3DT/8 + HI		ns
tDADGH DMAGx高に有効なアドレス/選択	17 + DT		ns
tDDGHA アドレス/DMAGx High6の後に保持を選択します	-0.5		ns

W = (待機レジスタで指定された待機状態の数) × tCK。

HI = tCK (データバスのアイドルサイクルが発生した場合は、待機レジスタで指定されています。そうでなければHI = 0)。

¹ 現在のサイクルでの認識にのみ必要です。

² tSDATDGLは、DMARxが書き込みの完了を保留するために使用されていない場合のデータセットアップ要件です。そうでなければ、DMARx Lowが書き込みの完了を妨げる場合、データは可能です。

³ DMARxが高くなった後、tDATDRHを駆動します。

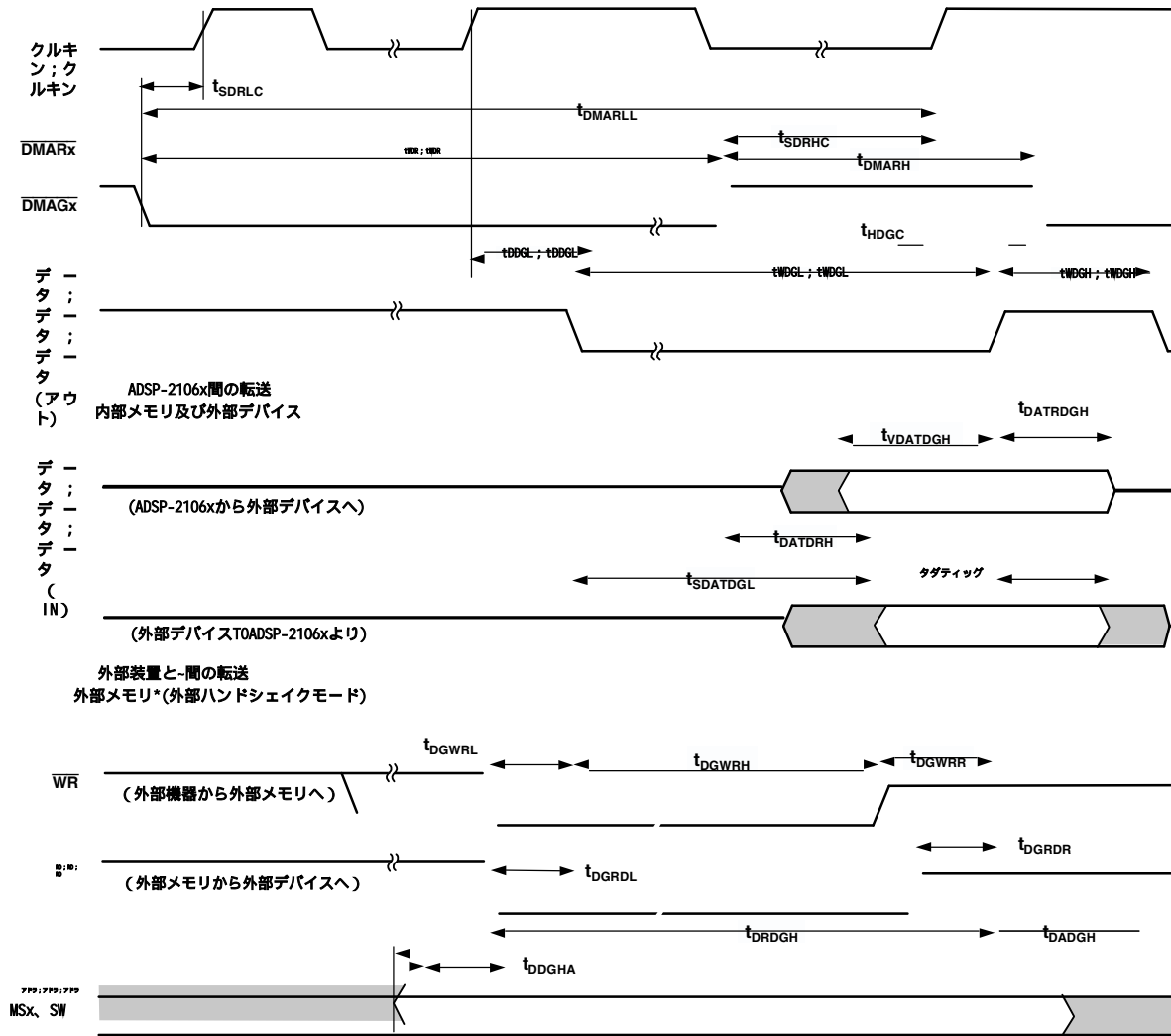
⁴ DMARxが読み取りの完了を保持するために使用されていない場合、tVDATDGHは有効です。読み取りを延ばすためにDMARxを使用する場合、tVDATDGH = tck - 0.25tclk - 8 + (n × tck)、nはアクセスが延長される余分なサイクルの数の等しい。

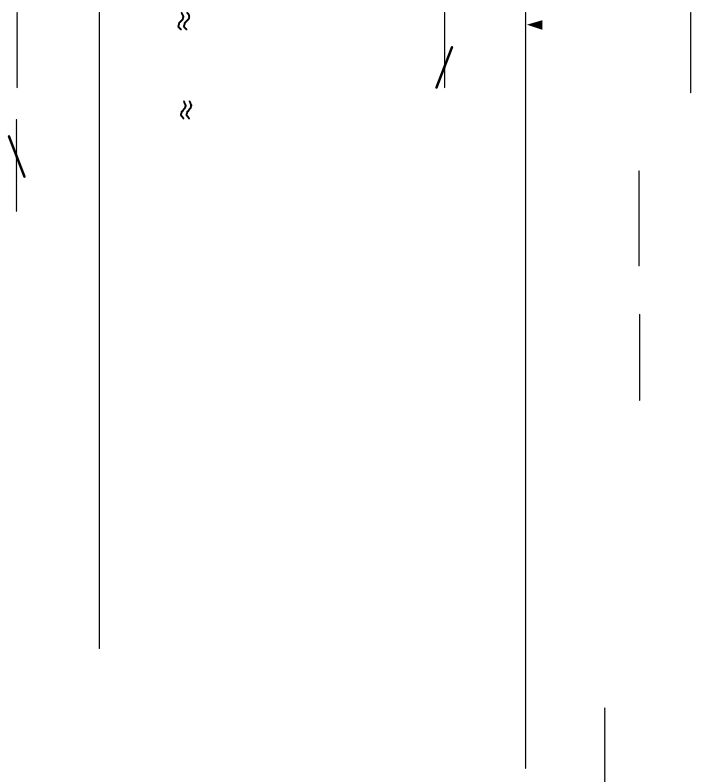
⁵ 容量負荷および直流負荷の保持時間の計算については、48ページのシステム保持時間計算例を参照してください。

⁶ ADSP-21062/ADSP-21062Lの仕様は-2.5ns min、2ns maxです。

ADSP-21060L/ADSP-21062Lの仕様は-1 ns分です。

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC





*メモリ読み取りバスマスター、メモリ書き込みバスマスター、またはaddr31-0、RD、WR、sw ms3-0、およびACKの同期読み取り/書き込みバスマスタータイミング仕様もここで適用されます。

図23。DMA握手

リンクポート-1 × CLK速度操作

表23. リンクポート-受信

パラメータ ; パラメータ	5 V.		3.3 V.		ユニ ット
	最小値	最大 ; 最大	分 分 ; 分 ; 分	最大 ; 最大	
タイミング要件					
LCLK Low1前のtSLDCLデータセットアップ	3.5		3		ns
tHLDCL LCLKが低い後にデータが保持される	3		3		ns
tLCLKIW LCLK期間 (1 × 動作)	tCK ; tCK ; tCK		tCK ; tCK ; tCK		ns
tLCLKRWL LCLK幅が低い	6		6		ns
tLCLKRWH LCLK幅が高い	5		5		ns
スイッチング特性					
tDLAHCはCLKIN Hi gh2, 3の後に高い遅延を欠いています	18 + DT/2	28.5 + DT/2	18 + DT/2	28.5 + DT/2	ns
tDLALC LCLKハイ後の遅延が低い	-3	+13	-3	+13	ns
テンドルク CLKINからの有効性の欠如	5 + DT/2		5 + DT/2		ns
tTDLK CLKINから無効になっていない		20 + DT/2		20 + DT/2	ns

1 ADSP-21062の場合、仕様は3 ns分です。

2 欠如は、最初のニブルの後に上昇ofLCLKに対してtDLALCで低くなりますが、受信機のリンクバッファが満たされようとしていない場合は低くなりません。

3 ADSP-21060Cの場合、仕様は18 dt/2ns min、29 dt/2ns最大です。

表24. リンクポート-送信

パラメータ ; パラメータ		5 V.		3.3 V.		ユ ニ ット
		分 ; 分 ; 分	最大 ; 最大	分 ; 分 ; 分	最大 ; 最大	
タイミング要件						
ツラハ ; ツラハ ; ツラハ	LCLK Hi gh1の前にセットア	18		18		ns
アップが不足しています						
スラッハ ; スラッハ	LCLKハイ後のホールド不足	-7		-7		ns
スイッチング特性						
t _{DLCLK}	CLKIN後のデータ遅延(1 × 操作) 2		15.5		15.5	ns
t _{DLDCH}	LCLK Hi gh3後のデータ遅延		3		2.5	ns
スルディチ	データはLCLKハイ後に保持されます	-3		-3		ns
トルクルクトウル	LCLK幅Low4	(tCK/2) -2	(tCK/2) +2	(tCK/2) -1	(tCK/2) +1. 25	ns
トルクルクトウー	LCLK幅高5	(tCK/2) -2	(tCK/2) +2	(tCK/2) -1. 25	(tCK/2) +1	ns
t _{DLACLK}	LCLK欠如後の低遅延ハイ6	(tCK/2) +8. 5	(3 × tCK/2) +17	(tCK/2) +8	(3 × tCK/2) +17. 5	ns
テンドルク	CLKINからの有効性の欠如	5 + DT/2		5 + DT/2		ns
t _{TDLK}	CLKINから無効になっていない		20 + DT/2		20 + DT/2	ns

1 ADSP-21060L/ADSP-21060LCの場合、仕様は20 ns分です。

2 ADSP-21060Lの場合、仕様は最大16.5nsです。ADSP-21060LCの場合、仕様は最大16.75nsです。

3 ADSP-21062の場合、仕様は最大2.5nsです。

4 ADSP-21062の場合、仕様は(tCK/2)-1 ns min、(tCK/2)最大1.25 nsです。ADSP-21062Lの場合、仕様は(tCK/2)-1 ns min、(tCK/2)最大1.5 nsです。ADSP-21060LCの場合、仕様は(tCK/2)-1 ns min、(tCK/2)最大2.25 nsです。

5 ADSP-21062の場合、仕様は(tCK/2)-1.25 ns min、(tCK/2)最大1 nsです。ADSP-21062Lの場合、仕様は(tCK/2)-1.5 ns分、(tCK/2)最大1 nsです。ADSP-21060Cの仕様は(tCK/2)-2.25 ns min、(tCK/2)最大1 nsです。

6 ADSP-21062の場合、仕様は(tCK/2)8です。75 ns分、(3 × tCK/2)最大17 ns。ADSP-21062Lの場合、仕様は(tCK/2)分8 ns、(3 × tCK/2)最大17 nsです。ADSP-21060LCの場合、仕様は(tCK/2)分8 ns、(3 × tCK/2)最大18.5 nsです。

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

表25. リンクポートサービス要求の割り込み：1 × および2 × 速度操作

パラメータ ; パラメータ	5 V分	最大 ; 最大	3.3 V分	最大 ; 最大	ユ ニ ッ ト
タイミング要件					
ツルク CLKIN Low1前のLACK/LCLKセットアップ	10		10		ns
スルク CLKIN Low1の後にLACK/LCLKホールド	2		2		ns

¹ 現在のサイクルでの割り込み認識にのみ必要です。

リンクポート-2 × CLK速度操作

LDATAとLCLKの間の伝送路に導入できる最大許容スキューを決定するために、リンククロックに対するリンク受信機データの設定とホールドの計算が必要です。セットアップスキューは、LCLKに対してLDATAに導入できる最大遅延です。

$$\text{セットアップスキュー} = t_{lclktwh} \min - t_{ldldch} - t_{sl dcl}$$

ホールドスキューは、LDATAに対してLCLKで導入できる最大遅延です。

Hold Skew = $t_{lclktwl} \min - t_{ldldch} - t_{ldcl}$ 2つの速度仕様から直接行われた計算は、複数のテスターガードバンドが含まれているため、非現実的に小さなスキュー時間をもたらします。

40 MHz ($t_{CK}=25 \text{ ns}$) で2 × CLK速度でのリンクポート転送が失敗する可能性があることに注意してください。ただし、指定されたように、33 MHz ($t_{CK}=30 \text{ ns}$) で2 × CLKスピードリンクポートを転送します。

表26. リンクポート-受信

パラメータ ; パラメータ	5 V.		3.3 V.		ユ ニ ッ ト
	分 ; 分 ; 分	最大 ; 最大	分 ; 分 ; 分	最大 ; 最大	
タイミング要件					
t_{SLDCL} LCLK Low前のデータセットアップ	2.5		2.25		ns
t_{HLDCL} LCLKが低い後にデータが保持される	2.25		2.25		ns
t_{LCLKIW} LCLK期間 (2 × 動作)	$t_{CK}/2$		$t_{CK}/2$		ns
$t_{LCLKRWL}$ LCLK幅Low1	4.5		5.25		ns
$t_{LCLKRWH}$ LCLK幅High2スイッチング特性	4.25		4		ns
t_{DLAHC} はCLKIN High3の後に高い遅延を欠いています	$18 + DT/2$	$28.5 + DT/2$	$18 + DT/2$	$29.5 + DT/2$	ns
t_{DLALC} はLCLK High4の後に低い遅延を欠いています	6	16	6	16	ns

¹ ADSP-21060Lの場合、仕様は5 ns分です。

² ADSP-21062の場合、仕様は4 ns分、ADSP-21060LCの場合、仕様は4.5 ns分です。

³ 欠如は、最初のニブルの後に上昇ofLCLKと比較して t_{DLALC} で低くなりますが、受信機のリンクバッファが満たされようとしていない場合は低くなりません。

⁴ ADSP-21060Lの場合、仕様は6 ns min、最大18 nsです。ADSP-21060Cの場合、仕様は6 ns min、最大16.5 nsです。ADSP-21060LCの場合、仕様は6 ns min、最大18.5 nsです。

表27. リンクポート送信

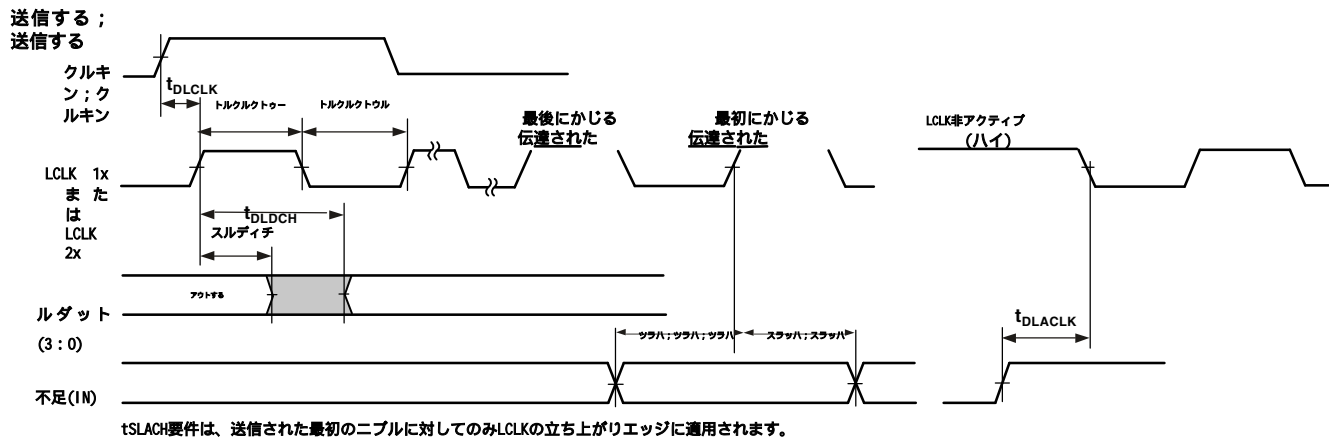
パラメータ ; パラメータ	5 V. 分 ; 分 ; 分 最大 ; 最大	最小値	3.3 V最大	ユ ニ ット
タイミング要件				
ツラハ ; ツラハ ; ツラハ LCLKハイ前にセットアップが不足している	19	19		ns
スラッハ ; スラッハ LCLKハイ後のホールド不足	-6.75	-6.5		ns
スイッチング特性				
t _{DLCLK} CLKIN後のデータ遅延	8		8	ns
t _{DLDCH} LCLK High1後のデータ遅延	2.25		2.25	ns
スルディチ データはLCLK High2の後に保持されます	-2.0	-2		ns
トルクルクトウル LCLK幅Low3	(tCK/4) -1 (tCK/4) +1.25	(tCK/4) -0.75	(tCK/4) +1.5	ns
トルクルクトゥー LCLK幅高4	(tCK/4) -1.25 (tCK/4) +1	(tCK/4) -1.5	(tCK/4) +1	ns
t _{DLACLK} LCLK低遅延後の欠如高	(tCK/4) +9 (3 × tCK/4) +16.5	(tCK/4) +9 (3 × tCK/4) +16.5	(3 × tCK/4) +16.5	ns

1 ADSP-21060/ADSP-21060Cの場合、仕様は最大2.5nsです。

2 ADSP-21062Lの場合、仕様は-2.25 ns分です。

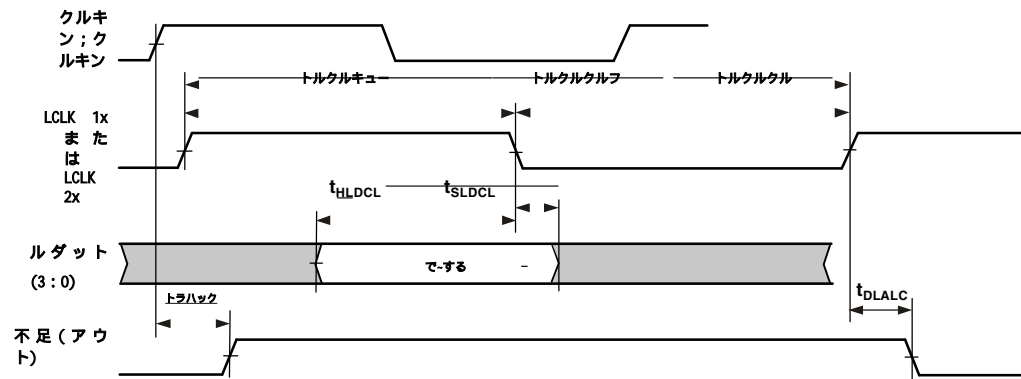
3 ADSP-21060の場合、仕様は(tCK/4)-1 ns min、(tCK/4)最大1 nsです。ADSP-21060C/ADSP-21062Lの場合、仕様は(tCK/4)-1 ns min、(tCK/4)最大1.5 nsです。

4 ADSP-21060の場合、仕様は(tCK/4)-1 ns min、(tCK/4)最大1 nsです。ADSP-21060Cの場合、仕様は(tCK/4)-1.5 ns分、(tCK/4)最大1 nsです。

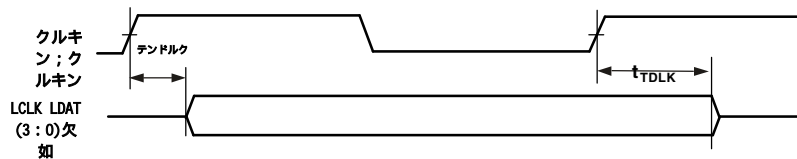


受け取る

受け取る



リンクポート有効/命令からの3状態遅延



リンクポートの有効化または3つの状態は、リンクポート制御レジスタへの書き込みの2サイクル後に有効になります。

リンクポート割り込みセットアップ時間

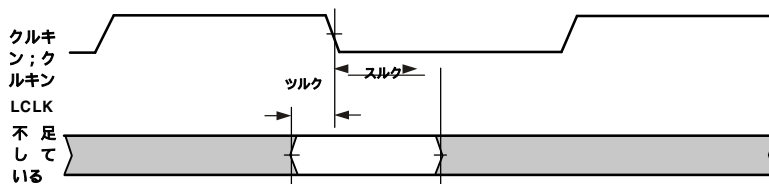


図24。リンクポート-受信

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

シリアルポート

シリアルポートについては、表28、表29、表30、表31、表32、表33、表35、図26、および図25を参照してください。2つのデバイス間で通信が可能かどうかを阻止するために

クロック速度nでは、次の仕様を確認する必要があります。

1) フレーム同期遅延とフレーム同期の設定と保持、2) データ遅延とデータの設定と保持、3) SCLK幅。

表28. シリアルポート-外部クロック

パラメータ ; パラメータ	5 vand 3.3v分	最大 ; 最大	ユニ ット
タイミング要件			
ツェフセ	TCLK/RCLK1前のTFS/RFSセットアップ	3.5	ns
t _{HFS}	TFS/RFSはTCLK/RCLK1, 2の後に保持されます	4	ns
ツドレ ; ツ	RCLK1前にデータセットアップを受け取る	1.5	ns
ドレ	RCLK1の後にデータ保持を受け取る	6.5	ns
t _{SCLKW}	TCLK/RCLK幅3	9	ns
ツクルク	TCLK/RCLK期間	tCK ; tCK	ns

1 サンプルエッジを参照してください。

2 MCE=1の場合、RFSはRCKの後に保持され、MFD=0はドライブエッジから最小0 nsです。後期外部TFSのTCKの後のTFS保持は、ドライブエッジから最小0 nsです。

3 ADSP-21060/ADSP-21060C/ADSP-21060LCの場合、仕様は9.5ns分です。

表29. シリアルポート-内部クロック

パラメータ ; パラメータ	5 vand 3.3v分	最大 ; 最大	ユニ ット
タイミング要件			
t _{SFSI} ; t _{SFSI}	TCLK1前のTFSセットアップ。RCLK1前のRFSセットアップ	8	ns
t _{HFSI}	TFS/RFSはTCLK/RCLK1, 2の後に保持されます	1	ns
ツドリ	RCLK1前にデータセットアップを受け取る	3	ns
タイドリ	RCLK1の後にデータ保持を受け取る	3	ns

1 サンプルエッジを参照してください。

2 MCE=1の場合、RFSはRCKの後に保持され、MFD=0はドライブエッジから最小0 nsです。後期外部TFSのTCKの後のTFS保持は、ドライブエッジから最小0 nsです。

表30. シリアルポート-外部クロックまたは内部クロック

パラメータ ; パラメータ	5 バンド3.3v 分 ; 分 ; 分	最大 ; 最大	ユニ ット
スイッチング特性			
t _{DFSE} ; t _{DFSE}	RCLK後のRFS遅延 (内部的に生成されたRFS) 1	t _{HOFSE}	ns
RCLK (内部的に生成されたRFS) の後に保持されます1			ns

1 ドライブエッジを参照してください。

表31. シリアルポート-外部クロック

パラメータ ; パラメータ	5 バンド3.3v 分 ; 分 ; 分	最大 ; 最大	ユニ ット
スイッチング特性			
t _{DFSE} ; t _{DFSE}	TCLK後のTFS遅延 (内部的に生成されたTFS) 1	13	ns
トフス ; トフス	TFSはTCLK (内部的に生成されたTFS) の後に保持されます1	3	ns
t _{DDTE} ; t _{DDTE}	TCLK1後のデータ遅延を送信する	16	ns
t _{HDTE} ; t _{HDTE}	TCLK1の後にデータ保持を送信する	5	ns

1 ドライブエッジを参照してください。

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

表32. シリアルポート-内部クロック

パラメータ ; パラメータ	最小値	最大 ; 最大	ユ ニ ッ ト
スイッチング特性			
t _{DFSI} TCLK(内部的に生成されたTFS)1 t _{H0FSI} 後のTFS遅延 TFSはTCLK(内部的に生成されたTFS)の後に保持されます1	-1.5	4.5	ns
t _{DDTI} ; t _{DDTI} TCLK1後のデータ遅延を送信する	0	7.5	ns
t _{HDTI} の TCLK1の後にデータ保持を送信する	0.5 t _{sclk}		ns
ツクルキュー TCLK/RCLK幅2	-2.5	0.5 t _{sclk} 2.5	ns

1 ドライブエッジを参照してください。

2 ADSP-21060L/ADSP-21060Cの場合、仕様は0.5 t_{sclk}-2 ns min、0.5 t_{sclk}最大2 nsです。

表33. シリアルポート-有効化および3つの状態

パラメータ ; パラメータ	分 ; 分 ; 分	最大 ; 最大	ユ ニ ッ ト
スイッチング特性			
t _{DDTEN} 外部TCLK1, 2から有効にするデータ	4		ns
t _{DDTTE} ; t _{DDTTE} 外部TCLK1, 3からデータを無効にします		10.5	ns
t _{DDTIN} ; t _{DDTIN} 内部TCLK1から有効にするデータ	0		ns
t _{DDTTI} 内部TCLK1, 4からデータを無効にします		3	ns
t _{DCCLK} ; t _{DCCLK} CLKINからのTCLK/RCLK遅延		22 +3dt/8	ns
t _{DPTR} CLKIN後にスポーツを無効にする		17	ns

1 ドライブエッジを参照してください。

2 ADSP-21060L/ADSP-21060Cの場合、仕様は3.5ns分です。ADSP-21062の仕様は4.5ns分です。

3 ADSP-21062Lの場合、仕様は最大16 nsです。

4 ADSP-21062Lの場合、仕様は最大7.5nsです。

表34. 外部TFS付きシリアルポートゲートSCLK(メッシュマルチプロセッサ)1

パラメータ ; パラメータ	分 ; 分 ; 分	最大 ; 最大	ユ ニ ッ ト
スイッチング特性			
t _{STFSCK} CLKIN前のTFSセットアップ	4	t _{ck} /2	ns
t _{HTFSCK} TFSはCLKINの後に保持されます			ns

1 メッシュマルチプロセッサシステムのシリアルポートシステムのI/Oに使用されるゲートシリアルクロックモードにのみ適用されます。

表35. シリアルポート-外部レートフレーム同期

パラメータ ; パラメータ	分 ; 分 ; 分	最大 ; 最大	ユ ニ ッ ト
スイッチング特性			
t _{DDTLFSE} MCE=1の後期外部tfまたは外部rfからのデータ遅延、MFD=01, 2	3.5	12	ns
t _{DDTENFS} 後期FSまたはMCE=1、MFD=01、3から有効にするデータ			ns

1 MCE=1、TFSは有効になり、TFSは有効になり、t_{DDTLFSE}とt_{DDTENFS}に従います。

2 ADSP-21062/ADSP-21062Lの場合、仕様は最大12.75nsです。ADSP-21060L/ADSP-21060LCの場合、仕様は最大12.8nsです。

3 ADSP-21060/ADSP-21060Cの場合、仕様は3 ns分です。

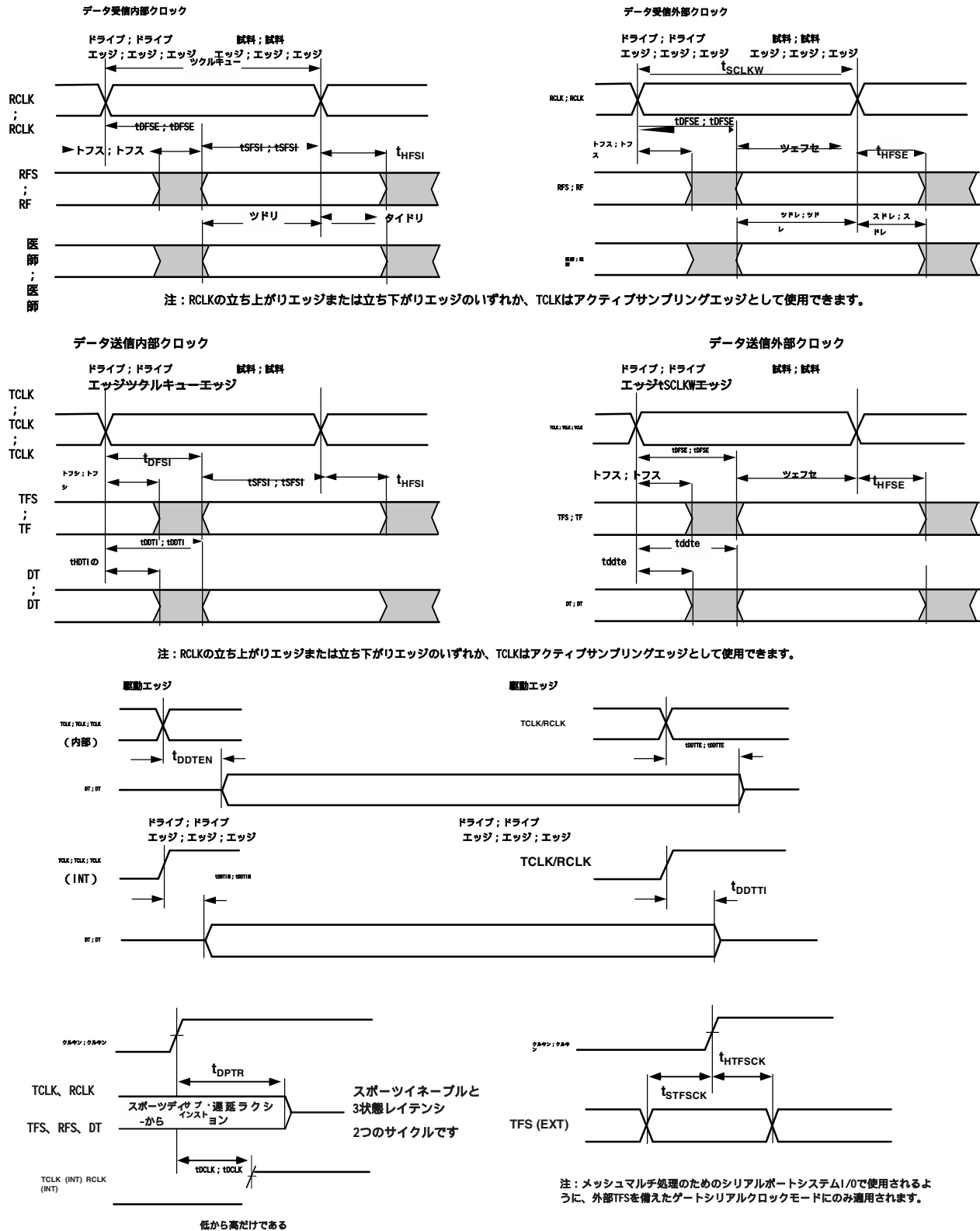


図25. シリアルポート

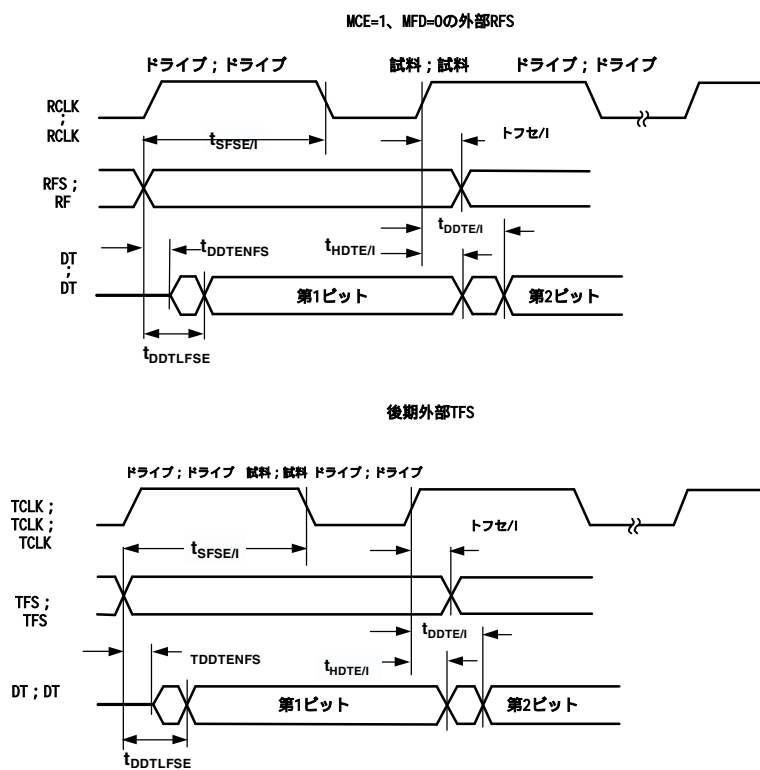


図26。シリアルポート-外部レイトフレーム同期

JTAGテストアクセスポートとエミュレーション

JTAGテストアクセスポートとエミュレーションについて、表36と図27を参照してください。

表36。JTAGテストアクセスポートとエミュレーション

パラメータ ; パラメータ	分 ; 分 ; 分	最大 ; 最大	ユニット
タイミング要件			
t_{TCK} TCK期間	t_{TCK} ; t_{TCK}		ns
t_{STAP} ; t_{STAP} TDI、TCK高前のTMSセットアップ	5		ns
タップ ; タップ TDI、TMSはTCKハイの後に保持します	6		ns
ツシス TCK Low1前のシステム入力セットアップ	7		ns
t_{HSYS} システム入力はTCK Low1, 2の後に保持されます	18		ns
t_{TRSTW} \overline{TRST} パルス幅	$4t_{CK}$		ns
スイッチング特性			
t_{DIDO} TCKローからのTDO遅延		13	ns
t_{DSYS} TCK Low3以降のシステム出力遅延		18.5	ns

1 システム入力=data63-0、addr31-0、RD、WR、ACK、SBTS、HBR、HBG、CS、DMAR1、DMAR2、br6-1、id2-0、RPBA、irq2-0、flag3-0、PA、BRST、DRO、DR1、TCLK0、TCLK1、RCLK0、RCLK1、TFS0、TFS1、RFS0、RFS1、lxd7-0、LxCLK、LxACK、EB00T、LB00T、BMS、CLKIN、リセット。

2 ADSP-21060L/ADSP-21060LC/ADSP-21062Lの場合、仕様は18.5ns分です。

3 システム出力=data63-0、addr31-0、ms3-0、RD、WR、ACK、PAGE、CLKOUT、HBG、REDY、DMAG1、DMAG2、br6-1、PA、BRST、CIF、flag3-0、TIMEXP、DT0、DT1、TCLK0、TCLK1、RCLK1、RCLK1、TFS0、TFS1、RFS0、RFS1、lxd7-0、LxCLK、LxACK、BMS。

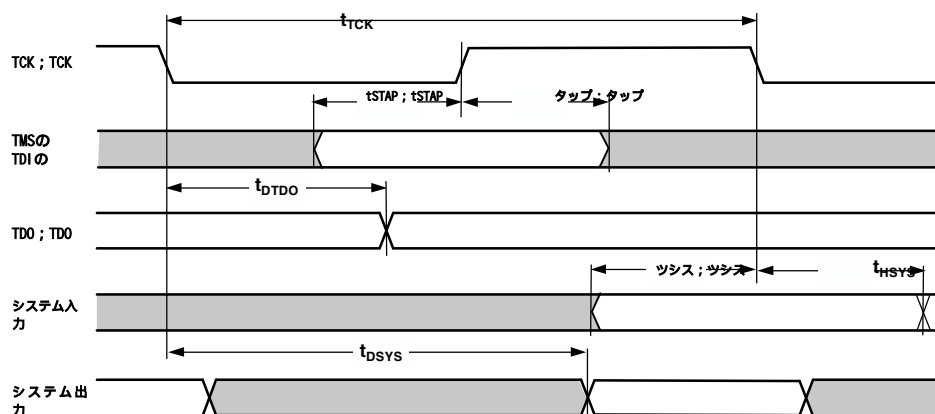


図27。JTAGテストアクセスポートとエミュレーション

試験条件

ac信号の仕様(タイミングパラメータ)については、21ページのタイミング仕様を参照してください。これらの仕様には、出力無効時間、出力有効時間、静電容量負荷が含まれます。前記DSPのタイミング仕様は、図28の電圧基準レベルに適用されます。



図28. AC測定用の電圧基準レベル(出力を除く)
有効/無効

出力無効時間

出力ピンは、駆動を停止し、高インピーダンス状態になり、出力高電圧または低電圧から減衰し始めると無効と考えられます。バス上の電圧が v 減衰する時間は、容量負荷 CL および負荷電流 IL に依存する。この崩壊時間は、次の式で近似できます。

$$P_{EXT} = \frac{C_L \Delta V}{I_L}$$

出力無効時間 t_{DIS} は、図29に示すように、 $t_{MEASURED}$ と t_{DECAY} の差です。前記測定時間 t は、前記基準信号が切り替わってから前記測定された出力高または出力低電圧から前記出力電圧が v 減衰するまでの間隔である、 t_{DECAY} は、試験負荷 CL と IL で計算され、 v は0.5Vに等しい。

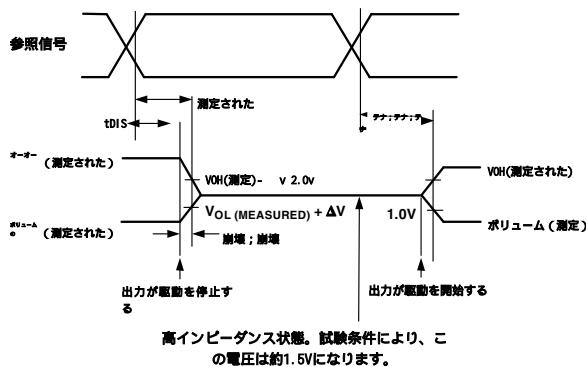


図29. 出力有効/無効にする

出力有効時間

出力ピンは、高インピーダンス状態から駆動開始時に遷移したときに有効と考えられる。出力有効時間 t_{ENA} は、参照信号が高電圧レベルまたは低電圧レベルに達したときから、

出力の有効/無効化図（図29）に示すように、出力は指定された高または低トリップポイントに達しています。データバスなどの複数のピンが有効になっている場合、測定値は、駆動を開始する最初のピンの測定値です。

例システム保持時間計算

特定のシステムにおけるデータ出力保持時間を決定するには、まず上記の方程式を使用して t_{DECAY} を計算します。 v を、ADSP-2106xの出力電圧とホールド時間を必要とするデバイスの入力閾値との差分に選択します。典型的な v は0.4 V、 CL は総バス容量（データ回線ごと）であり、 IL は総リークまたは3状態電流（データ回線ごと）です。ホールド時間は t_{DECAY} と最小無効時間（つまり、書き込みサイクルの t_{DATRW} ）になります。

静電容量負荷

出力遅延と保持は、標準容量負荷に基づいています。すべてのピンで50 pF（図30を参照）。指定された遅延および保持仕様は、公称値50 pF以外の負荷の場合は1.5 ns/50 pFの係数で減少する必要があります。図32、図33、図37、および図38は、出力上昇時間が容量によってどのように変化するかを示しています。図34と図36は、負荷容量によって出力遅延と保持がどのように変化するかをグラフィック的に示しています。（このグラフまたはデレーティングは出力無効遅延には適用されないことに注意してください。テスト条件下での出力無効時間の前のセクションを参照してください。）図32、図33、図37、および図38のグラフは、示された範囲以外の線形ではない場合があります。

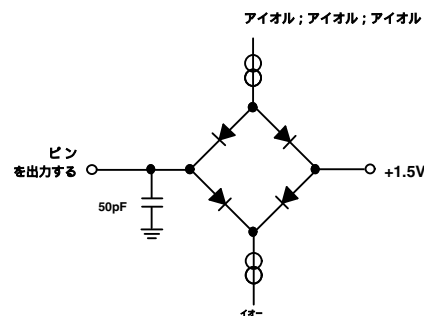


図30. AC測定のための同等のデバイス負荷(すべての備品を含む)

出力駆動特性

図31は、ADSP-2106xの出力ドライバの典型的なI-V特性を示しています。前記曲線は、前記出力ドライバの電流駆動能力を出力電圧の関数として表している

出力特性(5v)

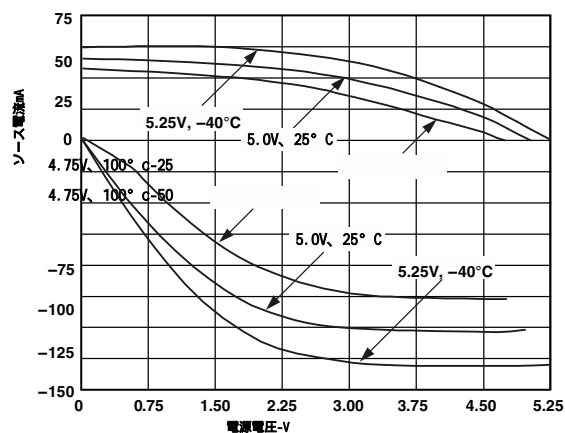


図31. ADSP-21062典型的な出力駆動電流 (VDD=5 V)

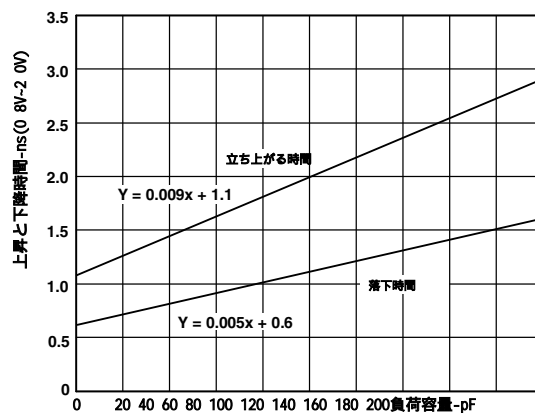


図33. 負荷容量に対する典型的な出力上昇時間(0.8V-2.0V)
(VDD=5V)

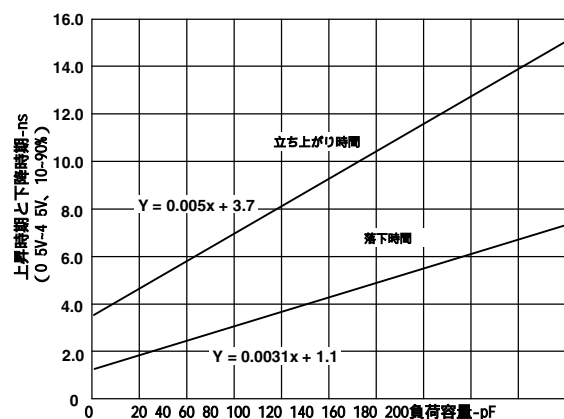


図32. 負荷容量に対する典型的な出力上昇時間(10-90%VDD)
(VDD=5V)

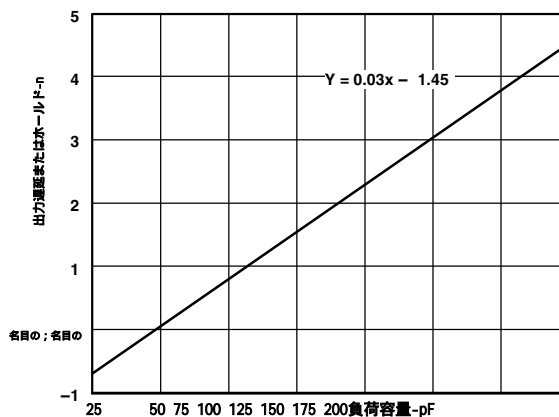


図34. 典型的な出力遅延または保持対負荷容量(最高ケース温度で)
(VDD=5 V)

出力特性(3.3V)

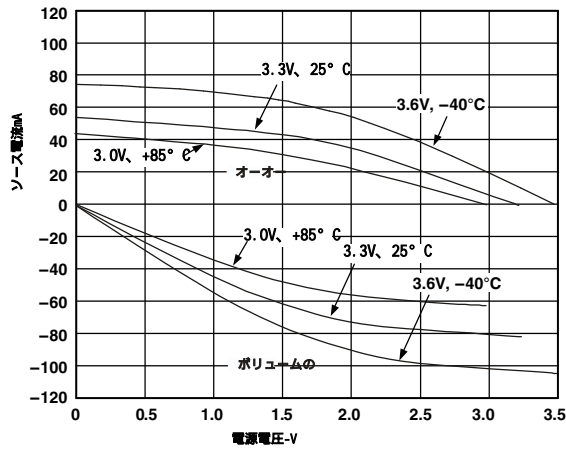


図35. ADSP-21062典型的な出力駆動電流(VDD=3.3V)

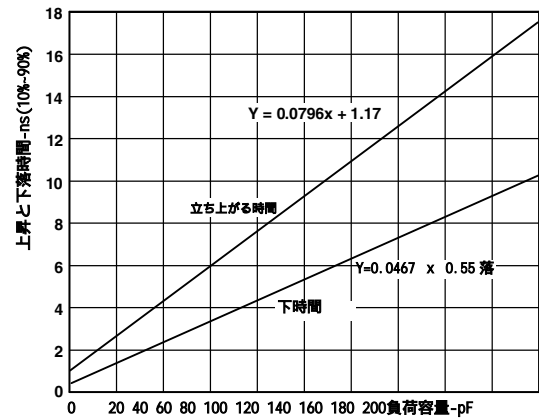


図37. 負荷容量に対する典型的な出力上昇時間(10-90%VDD)
(VDD=3.3V)

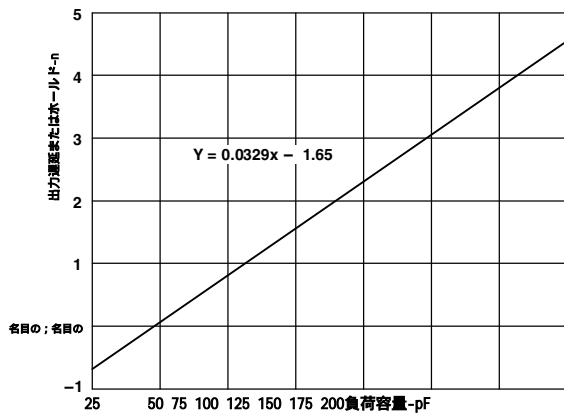


図36. 典型的な出力遅延または保持容量対負荷容量(最大で
ケース温度)(VDD=3.3V)

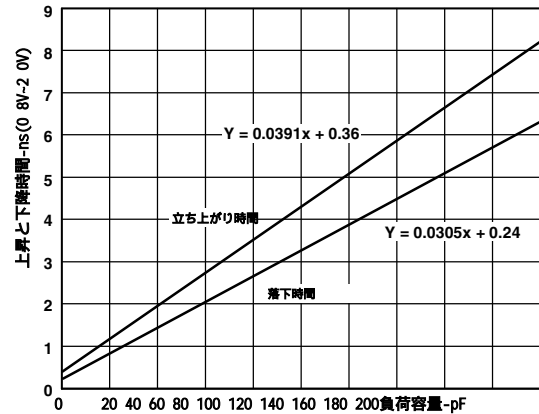


図38. 負荷容量に対する典型的な出力上昇時間(0.8V-2.0V)
(VDD=3.3V)

環境条件

ADSP-2106xプロセッサは、15ページの動作条件(5v)、18ページの動作条件(3.3v)で指定された環境条件下での性能を評価します。

熱特性forMQFP_PQ4およびPBGA/パッケージ

ADSP-21060/ADSP-21060LおよびADSP-21062/adsp-21062Lは、240リードの熱強化MQFP_PQ4および225ボールのプラスチックボールグリッドアレイパッケージで入手できます。前記熱強化MQFP_PQ4の上面には、金型熱の大部分が放散される金属スラグが含まれている、ナメクジはパッケージの上面と同じようになっています。前記金属スラグは、前記デバイス基板を介して内部にGNDに接続されていることに注意してください。

両方のパッケージはケース温度(TCASE)に対して指定されています。Tケースを超えないように、ヒートシンク及び/又は空気流源を用いてもよい。ヒートシンクは熱接着剤で取り付けする必要があります。

$$TCASE = TAMB + (PD \times ca)$$

TCASE=ケース温度(パッケージの上面で測定)TAMB=周囲温度。C

PD=Wの消費電力(この値は特別なアプリケーションによって異なります。PDの計算方法は消費電力の下に表示されます)。

ca=下記表37及び表38の値。

**表37. 熱的に強化された熱特性
240リードMQFP_PQ4¹**

パラメータ ; パラメータ	気流 (LFM2)	典型的な	ユニット
ca	0	10	°C/W
ca	100	9	°C/W
ca	200	8	°C/W
ca	400	7	°C/W
ca	600	6	°C/W

¹ これは、合計電力5wにおける熱抵抗を表します。気流では、5wのcaにばらつきは見られない。

0lfmのcaは、パワーによって変化します。

2wで ca=14° C/W

3wで ca=11° C/W

² LFM=空気の流れ1分あたり直線フィート。

表38. BGAの熱特性

パラメータ ; パラメータ	気流 (LFM1)	典型的な	ユニット
ca	0	20.70	°C/W
ca	200	15.30	°C/W
ca	400	12.90	°C/W

¹ LFM=空気の流れ1分あたり直線フィート。

CQFPパッケージの熱特性

ADSP-21060C/ADSP-21060LCは、240鉛熱強化セラミックQFP (CQFP) で提供されています。パッケージバージョンは2つあり、1つはパッケージの上部に空冷用の銅/タングステンヒートスラグ(CZ)、1つはボードを介して冷却するための下部にヒートスラグ(CW)が付いています。ADSP-2106xは、ケース温度(TCASE)に指定されている。Tケースデータシート仕様を超えないように、ヒートシンク及び/又は空気流源を用いることができる。ヒートシンクは熱接着剤で取り付けする必要があります。

$$TCASE = TAMB + (PD \times ca)$$

TCASE=ケース温度(パッケージの上面で測定)タンブ=周囲温度。C

PD=Wの消費電力(この値は特別なアプリケーションによって異なります。PDの計算方法は消費電力の下に表示されます)。

ca=下記表39の値。

表39. 熱強化された240リードCQFP1の熱特性

パラメータ ; パラメータ	気流 (LFM2)	典型的な	ユニット
ADSP-21060CW/ADSP-21060LCW			
ca	0	19.5	°C/W
ca	100	16	°C/W
ca	200	14	°C/W
ca	400	12	°C/W
ca	600	10	°C/W
ADSP-21060CZ/ADSP-21060LCZ			
ca	0	20	°C/W
ca	100	16	°C/W
ca	200	14	°C/W
ca	400	11.5	°C/W
ca	600	9.5	°C/W

¹ これは、合計電力5wにおける熱抵抗を表します。空気の流れでは、5wでcaにばらつきは見られない。

0lfmのcaは、パワーによって変化する。

ADSP-21060CW/ADSP-21060LCW :

2wで ca=23° C/W

3wで ca=21.5° C/W ADSP

-21060CZ/ADSP-21060LCZ :

2w、3wで ca=24°

C/W、ca=21.5°

C/W

すべてのCQFPモデルについて jc=0.24° C/W。

² LFM=空気の流れ1分あたりの直線フィート。

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

225ボールPBGAボール構成

テーブル40。ADSP-2106x 225ボールメトリックPBGAボール割り当て(B-225-2)

ボール ボール名 番号	ボール ボール名 番号	ボール ボール名 番号	ボール ボール名 番号	ボール ボール名 番号
<small>BMS ; BMS</small> A01	追加25 D01	追加14 G01	追加6 K01	<small>エム ; エム ; エム</small> N01
追加30 A02	追加26 ms D02	追加15 G02 ; G02	追加5 K02	<u>TD0 ; TD0</u> N02
<small>DMAR2</small> A03	2 D03	ADDR16 G03 ; G03	ADDR3 K03	イルク0 N03
DT1 A04	追加29 D04	追加19 G04 ; G04	ADDR0 K04 ; K04	イルク1 N04
RCLK1 A05	<u>DMAR1</u> D05	GND ; GN G05 ; G05	ICSA ; ICSA ; ICSA	ID2 N05
TCLK0 A06	TFS1 D06	V _{DD} G06 ; G06	GND ; GN K06	L5DAT1 N06
RCLK0 A07	CPA ; CPA D07	V _{DD} G07の	V _{DD} K07	L4CLK N07
アドクル ク A08	HBG ; HBG D08	V _{DD} G08 ; G08	V _{DD} K08	L3CLK N08
CS ; C ク ル キ A09	<u>DMAG2</u> D09	V _{DD} G09	V _{DD} K09	L3DAT3 N09
ン ; クル A10	<u>BR5</u> D10	V _{DD} G10	GND ; GN K10	L2DAT0 N10
キン ページ ; ページ A11	BR1 D11	GND ; GN G11	GND ; GN K11	L1ACK N11
BR3 A12	データ40 D12	データ22 G12 ; G12	データ8 K12	L1DAT3 N12
データ47 A13	データ37 D13	データ25 G13	データ11 K13	L0DAT3 N13
データ44 A14	データ35 D14	データ24 G14	データ13 K14	データ1 N14
データ42 A15	データ34 D15	データ23 G15	データ14 K15	データ3 N15
MS0 B01	追加21 E01	追加12 H01 ; H01	ADDR2 L01の	ト ル ス ト ; トル P01
<u>SW ; SW</u> B02	追加22 E02	追加11 H02	ADDR1 L02	スト TMSの P02
ADDR31 B03	追加24 E03	追加13 H03 ; H03	フラグ0 L03の	イー ブー P03
HBR B04	追加27 E04	ADDR10 H04 ; H04	フラグ3 L04の	トID0 P04
DR1 B05	GND ; GN E05	GND ; GN H05 ; H05	RPBA ; RPBA	L5CLK P05 ; P05
DT0 B06	GND ; GN E06	V _{DD} H06 ; H06	GND ; GN L06の	L5DAT3 P06
DR0 B07	GND ; GN E07	V _{DD} H07 ; H07	GND ; GN L07の	L4DAT0 ページ07
レディ ; レディ B08	GND ; GN E08	V _{DD} H08 ; H08	GND ; GN L08の	L4DAT3 P08
RD ; RD B09	GND ; GN E09	V _{DD} H09 ; H09	GND ; GN L09の	L3DAT2 P09
<small>フック ; フッ ク</small> B10	E10	H10	L10	L2CLK L2 P10
<u>BR6</u> B11	GND NC デ ータ33 E11	V DD GND データ18 H11	GND NC デ ータ4 L11	DAT2 P11
BR2 B12	E12	H12	L12の	L1DAT0 P12
データ45 B13	データ30 E13	データ19 H13	データ7 L13の	L0ACK P13
データ43 B14	データ32 E14	データ21 H14	データ9 L14	L0DAT1 P14
データ39 B15	データ31 E15	データ20 H15	データ10 L15	データ0 P15
MS3 C01	追加17 F01	追加9 J01	フラグ1 M01	<u>TCK ; TCK</u> R01
MS1 C02	追加18 F02	ADDR8 J02	フラグ2 M02	イルク2 R02
追加28 C03	追加20 F03	追加7 J03	タイムエ クスブ M03	リセッ トする R03
<u>SBTS</u> C04	追加23 F04	ADDR4 J04	TDI の M04 ; M04	ID1 R04

TCLK1	C05	GND ; GN	F05	GND ; GN	J05	イルブ ート	M05 ; M05	L5DAT0	R05
RFS1	C06	GND ; GN	F06	V _{DD}	J06	L5アック	M06	L4アック	R06
TFS0	C07	V _{DD}	F07	V _{DD}	J07	L5DAT2	M07の	L4DAT1	R07
RFS0	C08	V _{DD}	F08	V _{DD}	J08	L4DAT2	M08	L3ACK	R08
\overline{WR}	C09	V _{DD}	F09	V _{DD}	J09	L3DAT0	M09	L3DAT1	R09
$\overline{DMAG1}$ BR	C10	GND ; GN	F10	V _{DD}	J10	L2DAT3	M10	L2ACK	R10
4	C11	GND ; GN	F11	GND ; GN	J11	L1DAT1	M11	L2DAT1	R11
データ46	C12	データ29	F12	データ12	J12	L0DAT0	M12	L1CLK	R12
データ41	C13	データ26	F13	データ15	J13	データ2	M13	L1DAT2	R13
データ38	C14	データ28	F14	データ16	J14	データ5	M14	L0CLK	R14
データ36	C15	データ27	F15	データ17	J15	データ6	M15	L0DAT2	R15

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

A
(
B
)
C
D
E
E
F
F
G
G
H
H
J
K
L
L
M
トル
N
P
P
R
R
R

データ 42	データ 44	データ 47	BR3	ページ; ページ	クル キン; クル キン	CS; C	アドク ルク	RCLK0	TCLK0	RCLK1	DT1	DMAR 2	追加30	BMS; BMS
データ 39	データ 43	データ 45	BR2	BR6	アッ ク; ア ック	RD; RD	レデ イ; レ ディ	DR0	DT0	DR1	HBR; HBR	追加31	SW; SW	MS0
データ 36	データ 38	データ 41	データ 46	BR4	DMAG 1	WR	RFS0	TFS0	RFS1	TCLK1	SBTS	追加28	MS1	MS3
データ 34	データ 35	データ 37	データ 40	BR1	BR5	DMAG 2	HBG; HBG	CPA; CPA	TFS1	DMAR 1	追加29	MS2	追加26	追加26
データ 31	データ 32	データ 30	データ 33	NCの	GND; GN	GND; GN	GND; GN	GND; GN	GND; GN	GND; GN	追加27	追加24	追加22	追加21
データ 27	データ 28	データ 26	データ 29	GND; GN	GND; GN	VDD; VDD	VDD; VDD	VDD; VDD	GND; GN	GND; GN	追加23	追加20	追加18	追加17
データ 23	データ 24	データ 25	データ 22	GND; GN	VDD; VDD	VDD; VDD	VDD; VDD	VDD; VDD	VDD; VDD	GND; GN	追加19	ADDR 16	追加16	追加14
データ 20	データ 21	データ 19	データ 18	GND; GN	VDD; VDD	VDD; VDD	VDD; VDD	VDD; VDD	VDD; VDD	GND; GN	ADDR 10	追加13	追加11	追加12
データ 17	データ 16	データ 15	データ 12	GND; GN	VDD; VDD	VDD; VDD	VDD; VDD	VDD; VDD	VDD; VDD	GND; GN	ADDR 4	追加7	ADDR8	追加9
データ 14	データ 13	データ 11	データ 8	GND; GN	GND; GN	VDD; VDD	VDD; VDD	VDD; VDD	GND; GN	ICSA; ICSA; ICSA	ADDR 0	ADDR3	追加5	追加6
データ 10	データ9	データ7	データ 4	NCの	GND; GN	GND; GN	GND; GN	GND; GN	GND; GN	RPBA; RPBA	フラグ 3	フラグ0	ADDR1	ADDR2
データ 6	データ5	データ2	L0DAT 0	L1DAT1	L2DAT 3	L3DAT 0	L4DAT 2	L5DAT 2	L5アッ ク	イルブ ート	TDIの	タイム エク ス プ	フラグ2	フラグ1
データ 3	データ1	L0DAT 3	L1DAT 3	L1ACK	L2DAT 0	L3DAT 3	L3CLK	L4CLK	L5DAT1	ID2	イルク 1	イルク0	TDO; TDO	エム; エム; エム
データ 0	L0DAT1	L0ACK	L1DAT 0	L2DAT 2	L2CLK	L3DAT 2	L4DAT 3	L4DAT 0	L5DAT 3	L5CLK	ID0	イー ブ ート	TMSの	トルス ト; トル スト
L0DAT 2	LOCLK	L1DAT 2	L1CLK	L2DAT1	L2ACK	L3DAT1	L3ACK	L4DAT1	L4アッ ク	L5DAT 0	ID1	リセッ トする	イルク2	TCK; TCK

図39。ADSP-21060/ADSP-21062 PBGAボールの割り当て(上面ビュー、概要)
rev. h 2013年3月64日の53ページ

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

240リードMQFP_PQ4/CQFPピン構成

テーブル41。ADSP-2106xMQFP_PQ4およびADSP-21060CZ CQFPピン割り当て(SP-240-2、QS-240-2A、QS-240-2B)

ピン名	ピン番号。	ピン名	ピン番号。	ピン名	ピン番号。	ピン名	ピン番号。	ピン名	ピン番号。	ピン名	ピン番号。
TDIの	1	追加20	41	TCLK0	81	データ41	121	データ14	161	L2DAT0	201
トルスト	2	追加21	42	TFS0	82	データ40	122	データ13	162	L2CLK	202
V _{DD}	3	GND ; GN	43	DR0	83	データ39	123	データ12	163	L2ACK	203
TD0 ; TD0	4	追加22	44	RCLK0	84	V _{DD}	124	GND ; GN	164	NCの	204
タイムエクス	5	追加23	45	RFS0	85	データ38	125	データ11	165	V _{DD}	205
エム ; エム	6	追加24	46	V _{DD}	86	データ37	126	データ10	166	L3DAT3	206
ICSA ;	7	V _{DD}	47	V _{DD}	87	データ36	127	データ9	167	L3DAT2	207
ICSA	8	GND ; GN	48	GND ; GN	88	GND ; GN	128	V _{DD}	168	L3DAT1	208
フラグ3	9	V _{DD}	49	アドクル	89	NCの	129	データ8	169	L3DAT0	209
フラグ2	10	追加25	50	レディ ;	90	データ35	130	データ7	170	L3CLK	210
フラグ0	11	追加26	51	HBG ; HBG	91	データ34	131	データ6	171	L3ACK	211
GND ; GN	12	追加27	52	CS ; C	92	データ33	132	GND ; GN	172	GND ; GN	212
ADDR0	13	GND ; GN	53	RD ; RD	93	V _{DD}	133	データ5	173	L4DAT3	213
ADDR1	14	MS3	54	WR	94	V _{DD}	134	データ4	174	L4DAT2	214
V _{DD}	15	MS2	55	GND ; GN	95	GND ; GN	135	データ3	175	L4DAT1	215
ADDR2	16	MS1	56	V _{DD}	96	データ32	136	V _{DD}	176	L4DAT0	216
ADDR3	17	MS0	57	GNDクルキ	97	データ31	137	データ2	177	L4CLK	217
ADDR4	18	SW ; SW	58	ン	98	データ30	138	データ1	178	L4アック	218
GND ; GN	19	BMS ; BMS	59	アック ;	99	GND ; GN	139	データ0	179	V _{DD}	219
追加5	20	追加28	60	DMAG2	100	データ29	140	GND ; GN	180	GND ; GN	220
追加6	21	GNDの	61	DMAG1	101	データ28	141	GND ; GN	181	V _{DD}	221
追加7	22	V _{DD}	62	ページ ;	102	データ27	142	L0DAT3	182	L5DAT3	222
V _{DD}	23	V _{DD}	63	V _{DD}	103	V _{DD}	143	L0DAT2	183	L5DAT2	223
ADDR8	24	追加29	64	BR6	104	V _{DD}	144	L0DAT1	184	L5DAT1	224
追加9	25	追加30	65	BR5	105	データ26	145	L0DAT0	185	L5DAT0	225
ADDR10	26	追加31	66	BR4	106	データ25	146	L0CLK	186	L5CLK	226
GND ; GN	27	GND ; GN	67	BR3	107	データ24	147	L0ACK	187	L5アック	227
追加11	28	SBTS	68	BR2	108	GND デー	148	V _{DD}	188	GNDID2	228
追加12	29	DMAR2	69	BR1	109	タ23	149	L1DAT3	189		229
追加13	30	DMAR1	70	GND ; GN	110	データ22	150	L1DAT2	190	ID1	230
V _{DD}	31	HBR ; HBR	71	V _{DD}	111	データ21	151	L1DAT1	191	ID0	231
追加14	32	DT1	72	GND ; GN	112	V _{DD}	152	L1DAT0	192	イルブート	232
追加15	33	TCLK1	73	データ47	113	データ20	153	L1CLK	193	RPBA ;	233
GND ; GN	34	TFS1	74	データ46	114	データ19	154	L1ACK	194	RPBA	234
ADDR16	35	DR1 RCLK1	75	データ45	115	データ18	155	GND ; GN	195	リセット	235
追加17	36		76	v dd	116	gnd	156	GND ; GN	196	イーブート	236
追加18	37	RFS1	77	データ44	117	データ17	157	V _{DD}	197	イルク1	237

V _{DD}	38	GND ; GN	78	データ43	118	データ16	158	L2DAT3	198	イルク0	238
V _{DD}	39	CPA ; CPA	79	データ42	119	データ15	159	L2DAT2	199	TCK ; TCK	239
追加19	40	DT0	80	GND ; GN	120	V _{DD}	160	L2DAT1	200	TMSの	240

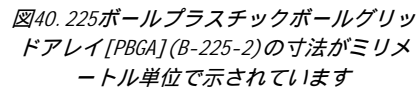
rev. h 2013年3月64日の54ページ

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

テーブル42. ADSP-21060CW/21060LCW CQFPピン割り当て(QS-240-1A、QS-240-1B)

ピン名	ピン番号	ピン名	ピン番号	ピン名	ピン番号	ピン名	ピン番号	ピン名	ピン番号	ピン名	ピン番号
GND ; GN	1	データ29	41	DMAG2	81	追加28	121	追加5	161	GND ; GN	201
データ0	2	GND デー	42	アック・	82	BMS ; BMS	122	GND	162	V _{DD} L4	202
データ1	3	タ30	43	クルキン	83	SW ; SW	123	ADDR4	163	ACK	203
データ2	4	データ31	44	GND ; GN	84	MS0	124	ADDR3	164	L4CLK	204
V _{DD}	5	データ32	45	V _{DD}	85	MS1	125	ADDR2	165	L4DAT0	205
データ3	6	GND ; GN	46	GND ; GN	86	MS2	126	V _{DD}	166	L4DAT1	206
データ4	7	V _{DD}	47	WR	87	MS3	127	ADDR1	167	L4DAT2	207
データ5	8	V _{DD}	48	RD ; RD	88	GND ; GN	128	ADDR0	168	L4DAT3	208
GND ; GN	9	データ33	49	CS ; C	89	追加27	129	GND ; GN	169	GND ; GN	209
データ6	10	データ34	50	HBG ; HBG	90	追加26	130	フラグ0	170	L3ACK	210
データ7	11	データ35	51	レディ ; レディ	91	追加25	131	フラグ1	171	L3CLK	211
データ8	12	NCの	52	アドクル ク	92	V _{DD}	132	フラグ2	172	L3DAT0	212
V _{DD}	13	GND ; GN	53	GND ; GN	93	GND ; GN	133	フラグ3	173	L3DAT1	213
データ9	14	データ36	54	V _{DD}	94	V _{DD}	134	I CSA ; I CSA ; I CSA エム ; エ ム ; エム タイムエ クスブ	174	L3DAT2	214
データ10	15	データ37	55	V _{DD}	95	追加24	135	エム ; エ ム ; エム タイムエ クスブ	175	L3DAT3	215
データ11	16	データ38	56	RFS0	96	追加23	136	TD0 ; TD0	176	V _{DD}	216
GND ; GN	17	V _{DD}	57	RCLK0	97	追加22	137	V _{DD}	177	NCの	217
データ12	18	データ39	58	DR0	98	GND ; GN	138	トル ス ト ; トル スト	178	L2ACK	218
データ13	19	データ40	59	TFS0	99	追加21	139	トル ス スト	179	L2CLK	219
データ14	20	データ41	60	TCLK0	100	追加20	140	TDI の	180	L2DAT0	220
V _{DD}	21	GND ; GN	61	DT0	101	追加19	141	TMSの	181	L2DAT1	221
データ15	22	データ42	62	CPA ; CPA	102	V _{DD}	142	TCK ; TCK	182	L2DAT2	222
データ16	23	データ43	63	GND ; GN	103	V _{DD}	143	イルク0	183	L2DAT3	223
データ17	24	データ44	64	RFS1	104	追加18	144	イルク1	184	V _{DD}	224
GND ; GN	25	V _{DD}	65	RCLK1	105	追加17	145	イルク2	185	GND ; GN	225
データ18	26	データ45	66	DR1	106	ADDR16	146	イーブー ト リセット する RPBA ; RPBA	186	GND ; GN	226
データ19	27	データ46	67	TFS1	107	GND ; GN	147	LBOOTID0	187	L1ACK	227
データ20	28	データ47	68	TCLK1	108	追加15	148	ID1	188	L1CLK	228
V _{DD}	29	GND ; GN	69	DI1	109	ADDR14 V	149	ID2	189	L1DAT0	229
データ21	30	V _{DD}	70	HBR ; HBR	110	DD	150	GND ; GN	190	L1DAT1	230
データ22	31	GND ; GN	71	DMAR1	111	追加13	151	L5アック	191	L1DAT2	231
データ23	32	BR1	72	DMAR2	112	追加12	152	L5CLK	192	L1DAT3	232
GND ; GN	33	BR2	73	SBTS	113	追加11	153	L5DAT0	193	V _{DD}	233
データ24	34	BR3	74	GND ; GN	114	GND ; GN	154	L5DAT1	194	LOACK	234
データ25	35	BR4	75	追加31	115	ADDR10	155	L5DAT2	195	LOCLK	235
データ26	36	BR5	76	追加30	116	追加9	156	L5DAT3	196	LODAT0	236
V _{DD}	37	BR6	77	追加29	117	ADDR8	157		197	LODAT1	237
V _{DD}	38	V _{DD}	78	V _{DD}	118	V _{DD}	158		198	LODAT2	238
データ27	39	ページ ; ページ	79	V _{DD}	119	追加7	159		199	LODAT3	239

データ28	40	DMAG1	80	GND ; GN	120	追加6	160	V _{DD}	200	GND ; GN	240
-------	----	-------	----	----------	-----	-----	-----	-----------------	-----	----------	-----



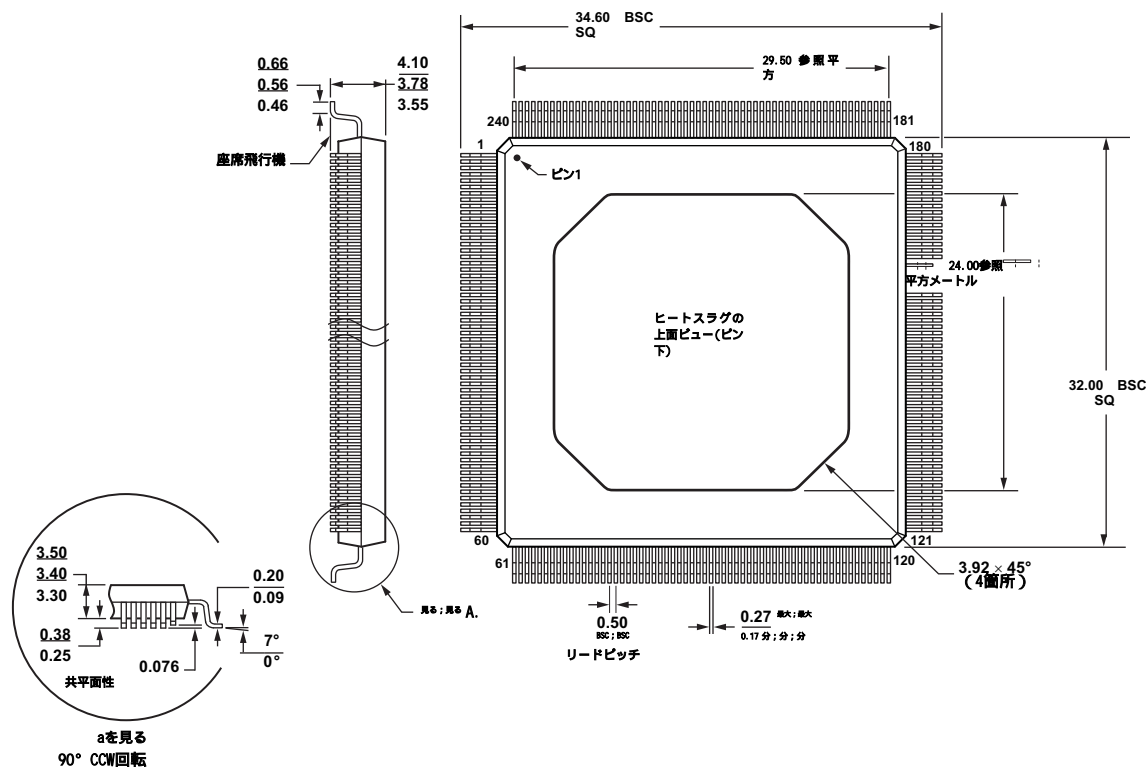
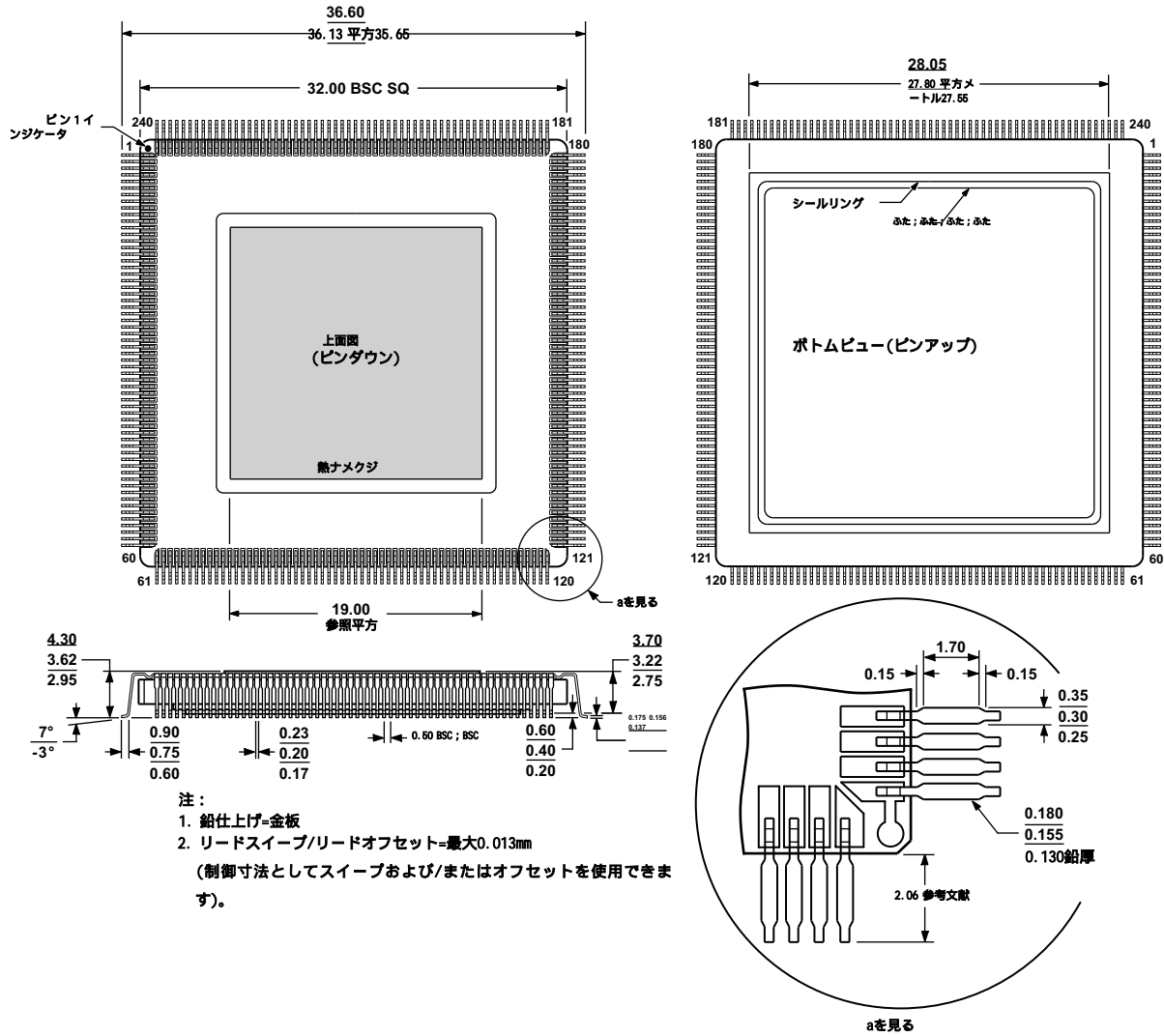


図41. 240リードメトリッククワッドフラットパッケージ、熱強化された「PowerQuad」[MQFP_PQ4]
(SP-240-2)
ミリメートル単位で表示される寸法

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC



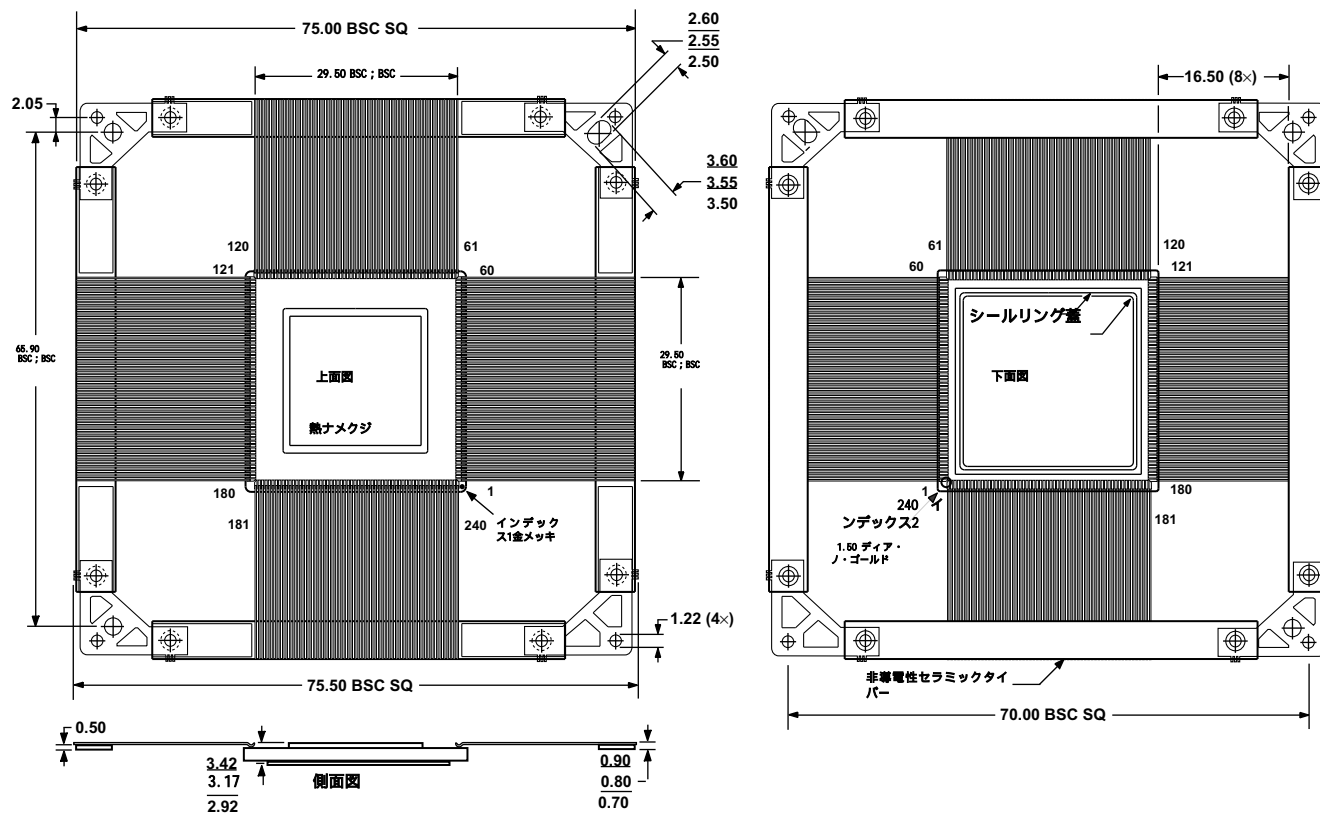


図43. 240-鉛セラミックワッドフラットパッケージ、キャビティダウン
[CQFP] (QS-240-2B) 寸法がミリメートル単位で示されています。

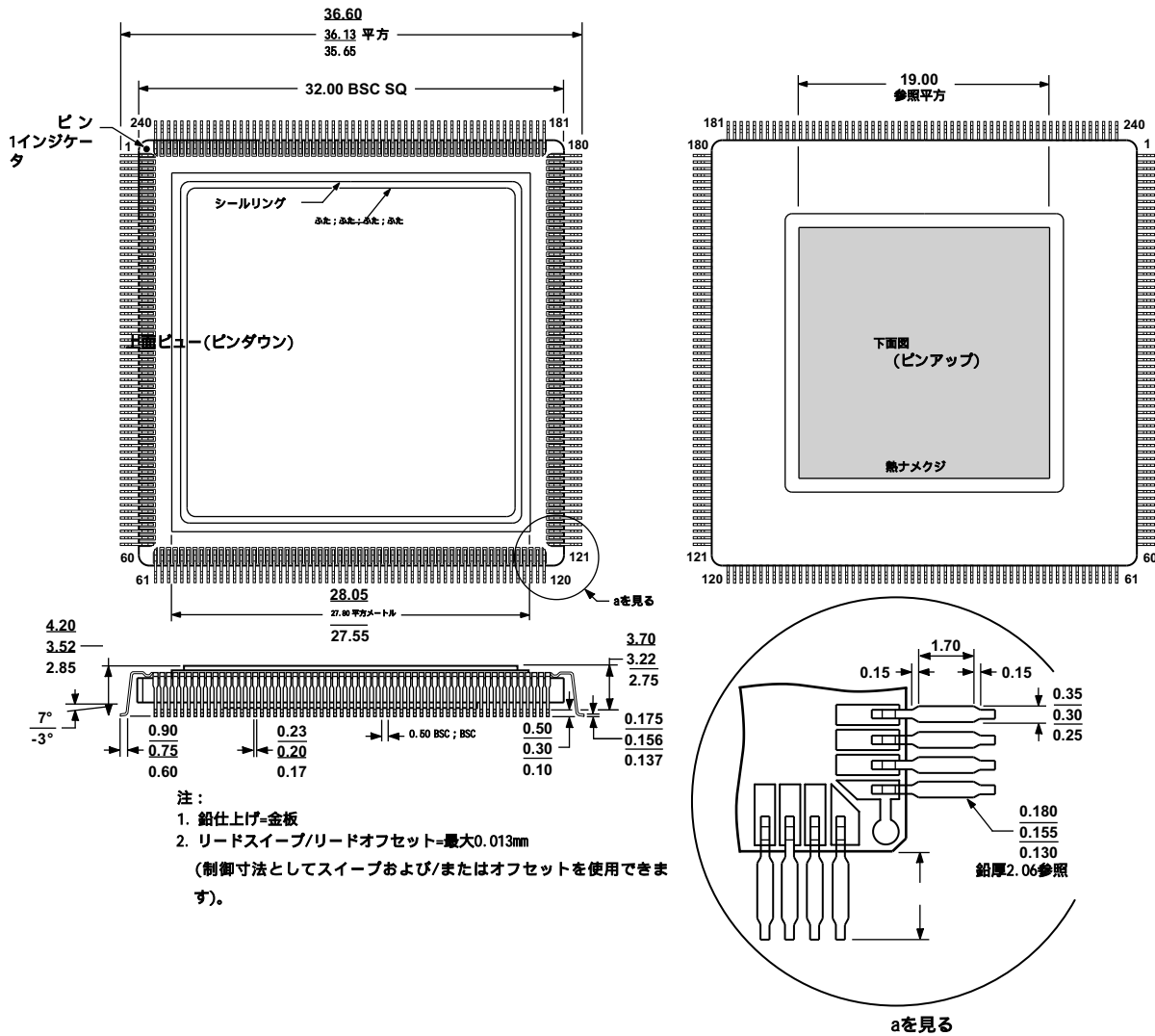


図44. 240-鉛セラミックワッドフラットパッケージ、ヒートスラッグダウン[CQFP](QS-240-1A)寸法ミリメートル単位で示されています

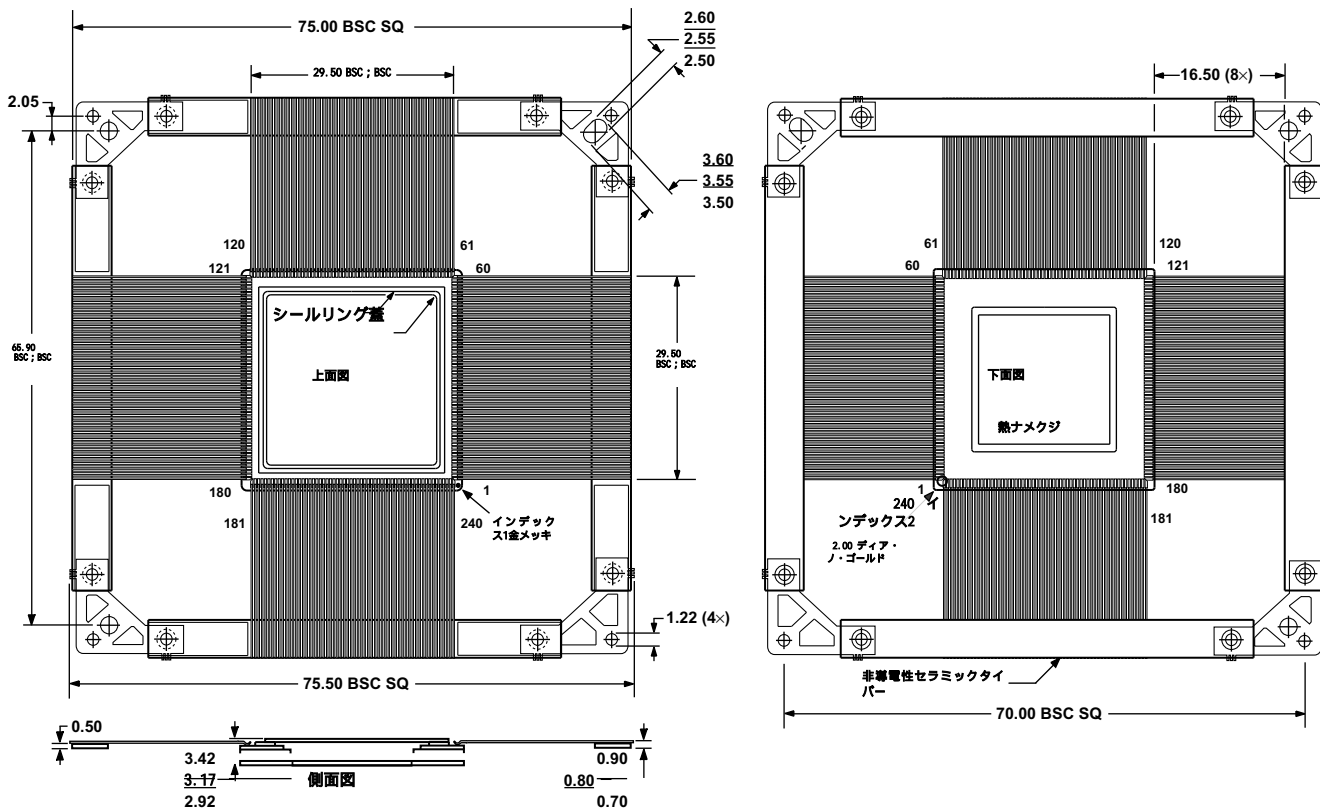


図45. 240リードセラミッククッドフラットパッケージ、キャピティアップ付きで取り付けられています[CQFP]
(QS-240-1B)

ミリメートル単位で表示される寸法

表面実装設計

テーブル43は、PCB設計の補助として設けられている。業界標準の設計推奨事項については、ipc-7351、表面マウント設計の一般的な要件、および土地パターン標準を参照してください。

表43。表面マウント設計で使用するBGAデータ

パッケージ	ボールアタッチ型	はんだマスク開口部	ボールパッドサイズ
225ボールグリッドアレイ (PBGA)	はんだマスクが定義された	直径0.63mm	直径0.76mm

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

注文ガイド

モデル	ノ ト	温度範囲	指示率	オ ン チ ップ SRAM	動作電圧	パッケージ説明	パッケー ジ オ ブ シ ョ ン
ASDP-21060CZ-133	1, 2	−40。C~+100。C	33 MHzの	4M ビ ット	5 V.	240 リードCQFP[ヒートスラッ グアップ]	QS-240-2A
ASDP-21060CZ-160	1, 2	−40。C~+100。C	40 MHzの	4M ビ ット	5 V.	240 リードCQFP[ヒートスラッ グアップ]	QS-240-2A
ASDP-21060CW-133	1, 2	−40。C~+100。C	33 MHzの	4M ビ ット	5 V.	240 リードCQFP[ヒートスラ グダウン]	QS-240-1A
ASDP-21060CW-160	1, 2	−40。C~+100。C	40 MHzの	4M ビ ット	5 V.	240 リードCQFP[ヒートスラ グダウン]	QS-240-1A
ADSP-21060KS-133	2	0。C~85。C	33 MHzの	4M ビ ット	5 V.	240 リードCQFP[ヒートスラ グダウン]	SP-240-2
ADSP-21060KSZ-133	2	0。C~85。C	33 MHzの	4M ビ ット	5 V.	240 リードMQFP_PQ4	SP-240-2
ADSP-21060KS-160	2	0。C~85。C	40 MHzの	4M ビ ット	5 V.	240 リードMQFP_PQ4	SP-240-2
ADSP-21060KSZ-160	2	0。C~85。C	40 MHzの	4M ビ ット	5 V.	240 リードMQFP_PQ4	SP-240-2
ADSP-21060KB-160	2	0。C~85。C	40 MHzの	4M ビ ット	5 V.	225ボールPBGA	B-225-2
ADSP-21060KBZ-160	2	0。C~85。C	40 MHzの	4M ビ ット	5 V.	225ボールPBGA	B-225-2
ADSP-21060LKSZ-133	2	0。C~85。C	33 MHzの	4M ビ ット	3.3 V.	225ボールPBGA	SP-240-2
ADSP-21060LKS-160	2	0。C~85。C	40 MHzの	4M ビ ット	3.3 V.	240 リードMQFP_PQ4	SP-240-2
ADSP-21060LKSZ-160	2	0。C~85。C	40 MHzの	4M ビ ット	3.3 V.	240 リードMQFP_PQ4	SP-240-2
ADSP-21060LKB-160	2	0。C~85。C	40 MHzの	4M ビ ット	3.3 V.	240 リードMQFP_PQ4	B-225-2
ADSP-21060LAB-160	2	−40。C~+85。C	40 MHzの	4M ビ ット	3.3 V.	225ボールPBGA	B-225-2
ADSP-21060LABZ-160	2	−40。C~+85。C	40 MHzの	4M ビ ット	3.3 V.	225ボールPBGA	B-225-2
ADSP-21060LCB-133	2	−40。C~+100。C	33 MHzの	4M ビ ット	3.3 V.	225ボールPBGA	B-225-2
ADSP-21060LCBZ-133	2	−40。C~+100。C	33 MHzの	4M ビ ット	3.3 V.	225ボールPBGA	B-225-2
ASDP-21060LCW-160	1, 2	−40。C~+100。C	40 MHzの	4M ビ ット	3.3 V.	225ボールPBGA	QS-240-1A
		−40。C~+100。C		4M ビ ット		240 リードCQFP[ヒートスラ グダウン]	
				4M ビ ット			
				4M ビ ット			
				4M ビ ット			
広告-21062KS-133	2	0。C~85。C	33 MHzの	2M ビ ット	5 V.	240 リードMQFP_PQ4	SP-240-2
ADSP-21062KSZ-133	2	0。C~85。C	33 MHzの	2M ビ ット	5 V.	240 リードMQFP_PQ4	SP-240-2
広告-21062KS-160	2	0。C~85。C	40 MHzの	2M ビ ット	5 V.	240 リードMQFP_PQ4	SP-240-2
ADSP-21062KSZ-160	2	0。C~85。C	40 MHzの	2M ビ ット	5 V.	240 リードMQFP_PQ4 225ボール PBGA	SP-240-2
ADSP-21062KB-160	2	0。C~85。C	40 MHzの	2M ビ ット	5 V.	225ボールPBGA	B-225-2
Adsp-21062kbz-160	2	0。C~85。C	40 MHzの	2M ビ ット	5 V.	225ボールPBGA	B-225-2
adsp-2106ctbz-160	2	−40。C~+100。C	40 MHzの	2M ビ ット	5 V.	240 リードMQFP_PQ4	SP-240-2
ADSP-21062CSZ-160	2	0。C~85。C	40 MHzの	2M ビ ット	5 V.	240 リードMQFP_PQ4	SP-240-2
ADSP-21062LKSZ-133	2	−40。C~+100。C	33 MHzの	2M ビ ット	3.3 V.	240 リードMQFP_PQ4	SP-240-2
ADSP-21062LKS-160	2	0。C~85。C	40 MHzの	2M ビ ット	3.3 V.	240 リードMQFP_PQ4	SP-240-2
ADSP-21062LKSZ-160	2	0。C~85。C	40 MHzの	2M ビ ット	3.3 V.	240 リードMQFP_PQ4 225ボール PBGA	SP-240-2
ADSP-21062LKB-160	2	0。C~85。C	40 MHzの	2M ビ ット	3.3 V.	225ボールPBGA	B-225-2
ADSP-21062LKBZ-160	2	0。C~85。C	40 MHzの	2M ビ ット	3.3 V.	225ボールPBGA	B-225-2
ADSP-21062LAB-160	2	0。C~85。C	40 MHzの	2M ビ ット	3.3 V.	225ボールPBGA	B-225-2
ADSP-21062LABZ-160	2	−40。C~85。C	40 MHzの	2M ビ ット	3.3 V.	225ボールPBGA	B-225-2

ADSP-21062LCS-160 ADSP-21062LCSZ-160		-40。C~85。C -40。C~+100。 C -40。C~+100。 C	40 MHzの 40 MHzの	2M ビット	3.3 V. 3.3 V.	240リードMQFP_PQ4 240リードMQFP_PQ4	SP-240-2 SP-240-2
				2M ビット			
				2M ビット			
				2M ビット			
				2M ビット			
				2M ビット			
				2M ビット			
				2M ビット			

¹ モデルとは、リードが形成されたパッケージを指します。未形成のリードバージョン (QS-240-1B、QS-240-2B) のモデル番号については、アナログデバイスまたはアナログデバイスの営業担当者に連絡してください。

² RoHS 準拠部分。

ADSP-21060/ADSP-21060L/ADSP-21062/ADSP-21062L/ADSP-21060C/ADSP-21060LC

©2013 アナログデバイス株式会社すべての権利は所有されます。
商標および登録商標は、それぞれの所有者の財産です。
D00167-0-3/13 (H)



www.analog.com