

PSoC™ 4000S MCU

アーム®Cortex®-m0 CPUに基づいて

一般的な説明

PSoC™4は、Arm®Cortex®-M0+CPUを搭載したプログラム可能な組み込みシステムコントローラシリーズ向けのスケラブルで再構成可能なプラットフォームアーキテクチャです。プログラマブルおよび再構成可能なアナログおよびデジタルブロックと柔軟な自動ルーティングを組み合わせています。PSoC™4000S製品ファミリーは、PSoC™4プラットフォームアーキテクチャのメンバーです。これは、標準的な通信およびタイミング周辺機器とマイクロコントローラ、クラス最高の性能を備えた容量性タッチセンシングシステム (CAPSENSE™)、プログラム可能な汎用連続時間およびスイッチドコンデンサアナログブロック、およびプログラム可能な接続を組み合わせたものです。PSoC™4000S製品は、新しいアプリケーションと設計ニーズに対応して、PSoC™4プラットフォームのメンバーと上向きに互換性があります。

特徴

- ? 32ビットMCUサブシステム
 - 48-MHz Arm®Cortex®-M0+CPU、シングルサイクル乗算付き
 - リードアクセラレータ付き最大32 KBのフラッシュ
 - 最大4 KBのSRAM
- ? プログラム可能なアナログ
 - ・静電容量センシングブロックが提供するシングルスロープ10ビットADC機能
 - 任意のピン上の汎用または容量センシングアプリケーション用の2つの電流DAC (IDACs)
 - ディープスリープ低消費電力モードで動作する2つの低消費電力コンパレータ
- ? プログラム可能なデジタル
 - ポートの入力と出力でブール演算を実行できるプログラマブルロジックブロック
- ? 低消費電力1.71-V~5.5-V動作
 - 動作アナログと2.5 μ Aデジタルシステム電流を備えたディープスリープモード
- ? 容量センシング
 - 容量性シグマデルタは、クラス最高のシグナル対ノイズ比(SNR)(>5:1)と耐水性を提供します
 - インフィニオンが提供するソフトウェアコンポーネントにより容量性センシング設計が容易になります
 - ・自動ハードウェアチューニング (SmartSense)
- ? LCDドライブ能力
 - GPIOs上のLCDセグメントドライブ機能
- ? シリアル通信
 - 再構成可能なI²C、SPI、またはUART機能を備えた2つの独立したランタイム再構成可能なシリアル通信ブロック (SCBs)
- ? タイミングおよびパルス幅変調
 - 5つの16ビットタイマー/カウンタ/パルス幅変調器 (TCPWM) ブロック
 - 中心位置合わせ、エッジ、および疑似ランダムモード
 - ・モータ駆動やその他の信頼性の高いデジタルロジックアプリケーション用のキル信号のコンパレータベースのトリガー
- ? 最大36個のプログラム可能なGPIOピン
 - 48ピンTQFP、40ピンQFN、32ピンQFN、24ピンQFN、32ピンTQFP、25ボールWLCSPパッケージ
 - 任意のGPIOピンはCAPSENSE™、アナログ、またはデジタルです
 - ドライブモード、強度、およびスルーレートはプログラム可能です

特徴

? 時計源

- 32 kHz時計水晶発振器(WCO)
- ± 2%内部主発振器 (IMO)
- 32 kHz内部低電力発振器(ILO)

? ModusTool box™ソフトウェア

- ・マルチプラットフォームツールとソフトウェアライブラリの包括的なコレクション
- ボードサポートパッケージ (BSPs)、周辺ドライバライブラリ (PDL)、およびCAPSENSE™などのミドルウェアを含む

? PSoC™クリエイターデザイン環境

- 統合開発環境(ID)は、アナログおよびデジタルの自動ルーティングを備えた回路図設計エントリとビルドを提供します
- すべての固定機能およびプログラム可能な周辺機器のためのアプリケーションプログラミングインターフェース(API)コンポーネント

? 業界標準のツール互換性

- 概略を入力した後、Arm®ベースの業界標準の開発ツールを使用して開発が可能

目次 ; 目次

一般的な説明	1
特徴	1
目次 ; 目次	3
1 開発生態系	4
1.1 PSoC™4 MCUリソース	4
1.2 ModusTool box™ソフトウェア	5
1.3 PSoC™クリエイター	6
ブロック図	7
2 機能記述	9
3 関数定義	10
3.1 CPUおよびメモリサブシステム	10
3.2 システムリソース	10
3.3 アナログブロック	12
3.4 プログラム可能なデジタルブロック	12
3.5 固定機能デジタル	13
3.6 GPIO	14
3.7 特殊機能周辺機器	14
4 ピンアウト ; ピンアウト ; ピンアウト	15
4.1 代替ピン機能	17
5 力	19
5.1 モード1 : 1.8v~5.5v外部電源	19
5.2 モード2 : 1.8v±5%外部供給	20
6 電気仕様	21
6.1 絶対最大評価	21
6.2 デバイスレベル仕様	22
6.3 アナログ周辺機器	27
6.4 デジタル周辺機器	32
6.5 メモリ	36
6.6 システムリソース	37
7 注文情報	41
8 包装	43
8.1 パッケージ図	44
9 頭字語	49
10 文書規約	53
10.1 測定単位	53
改訂履歴	54

1 開発生態系

1.1 PSoC™4 MCUリソース

Infineonは、適切なPSoC™デバイスを選択し、デザインに迅速かつ効果的に統合するのに役立つ豊富なデータをwww.infineon.comに提供します。以下は、PSoC™4 MCUのリソースの短縮されたハイパーリンクされたリストです。

? **概要：PSoC™ポートフォリオ**

? **製品セクター：PSoC™4 MCU**

? アプリケーションノートは、基本レベルから上級レベルまで幅広いトピックをカバーしており、次のものが含まれます。

-AN79953：PSoC™4 MCUの使用を開始します。このアプリケーションノートには、ModusToolbox™ソフトウェアまたはPSoC™4クリエイターのどちらのIDEを使用するかを決定するのに役立つ便利なフローチャートがあります。

-AN91184：PSoC™4 Bluetooth®低エネルギー-Bluetooth®LEアプリケーションの設計

-AN88619：PSoC™4つのハードウェア設計に関する考慮事項

-AN73854：PSoC™4ブートローダーの紹介

-AN89610：PSoC™4Arm®Cortex®コード最適化

-AN86233：PSoC™4 MCU低消費電力モードと電力低減技術

-AN57821：PSoC™3、PSoC™4、およびPSoC™5LP混合信号回路基板レイアウトの考慮事項

-AN85951：PSoC™4およびPSoC™6 MCU CAPSENSE™設計ガイド

? コード例は製品の機能と使用法を示しており、Infineon GitHubリポジトリでも利用できます。

? 参照マニュアルは、PSoC™4 MCUアーキテクチャとレジスタの詳細な説明を提供します。

? PSoC™4 MCUプログラミング仕様は、PSoC™4 MCU不揮発性メモリをプログラミングするために必要な情報を提供します。

? **開発ツール**

-ModusToolbox™ソフトウェアは、堅牢なツールとソフトウェアライブラリのスイートでクロスプラットフォームコード開発を可能にします。

-PSoC™Creatorは、Windowsベースの無料のIDEです。PSoC™のハードウェアとファームウェアの同時設計を可能にします。

3、PSoC™4、PSoC™5LP、およびPSoC™6 MCUベースのシステム。アプリケーションは、回路図キャプチャと150以上の事前検証された本番に対応した周辺コンポーネントを使用して作成されます。

-CY8CKIT-145-40XX PSoC™4000S CAPSENSE™プロトタイピングキットは、低コストで使いやすい評価プラットフォームです。このキットは、ブレッドボード互換の形式ですべてのデバイスのI/Oに簡単にアクセスできます。

-MiniProg4およびMiniProg3オールインワン開発プログラマーおよびデバッガ。

-PSoC™4 MCU CADライブラリは、一般的なツールのフットプリントと回路図のサポートを提供します。IBISモデルも用意されています。

? PSoC™101シリーズを含む幅広いトピックに関するトレーニングビデオが利用可能です。

? Infineon開発者コミュニティは、世界中の仲間のPSoC™開発者と24時間、週7日接続を可能にし、専用のPSoC™4 MCUコミュニティをホストします。

1.2 ModusTool box™ソフトウェア

ModusTool box™ソフトウェアは、統合されたMCUおよびワイヤレスシステムを作成するための没入型開発体験を可能にするマルチプラットフォームツールとソフトウェアライブラリのインフィニオンの包括的なコレクションです。それは次のとおりです。

？ 包括的-必要なリソースがあります

？ 柔軟性-独自のワークフローでリソースを使用できます

？ Atomic-必要なリソースだけを手に入れます

Infineonは、GitHub上に次のような大規模なコードリポジトリのコレクションを提供します。

？ インフィニオンキットと一致したボードサポートパッケージ(BSPs)

？ 周辺ドライブライブラリ(PDL)を含む低レベルのリソース

？ CAPSENSE™などの業界をリードする機能を実現するミドルウェア

？ 徹底的にテストされた広範なコード例アプリケーションのセット

ModusTool box™ソフトウェアはIDE-neutralで、ワークフローと好ましい開発環境に簡単に適応できます。図1に示すように、プロジェクト作成者、周辺機器およびライブラリコンフィギュレーター、ライブラリマネージャ、およびModusTool box™用のオプションのEclipse IDEが含まれています。Infineonツールの使用に関する詳細については、ModusTool box™ソフトウェアとAN79953：PSoC™4の使用を開始するドキュメントを参照してください。

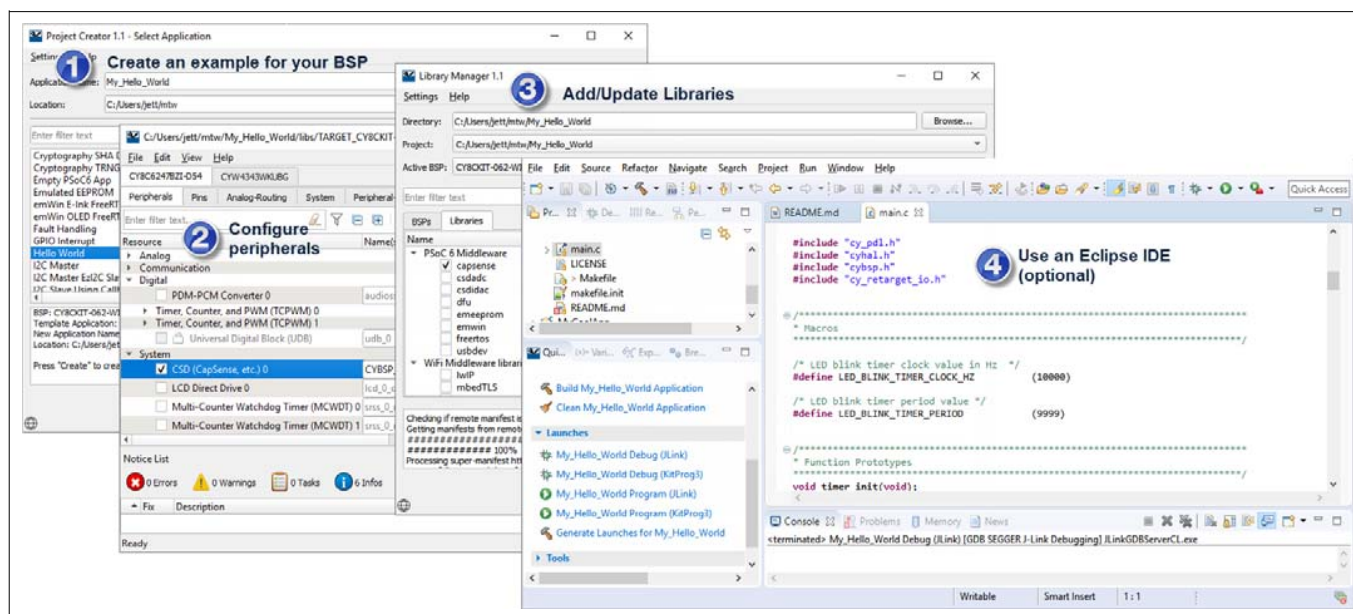


図1 ModusTool box™ソフトウェアツール

1.3 PSoC™クリエイター

PSoC™クリエイターは、Windowsベースの無料のIDEです。これにより、PSoC™ MCUに基づいて、ハードウェアとファームウェアシステムを同時に設計できます。図2に示すように、PSoC™クリエイターを使用すると、次のことができます。

1. コンポーネントアイコンをドラッグアンドドロップして、メイン設計ワークスペースでハードウェアシステム設計を構築します
2. PSoC™Creator IDE コンパイラを使用して、PSoC™ハードウェアとアプリケーションファームウェアを共同設計します。
3. 構成ツールを使用してコンポーネントを構成する
4. 100個のコンポーネントのライブラリを探索する
5. コンポーネントデータシートのレビュー
6. PSoC™パイオニアキットを使用してソリューションをプロトタイプします。設計変更が必要な場合は、PSoC™クリエイターとコンポーネントを使用すると、ハードウェアの改訂を必要とせずに即時変更を行うことができます。

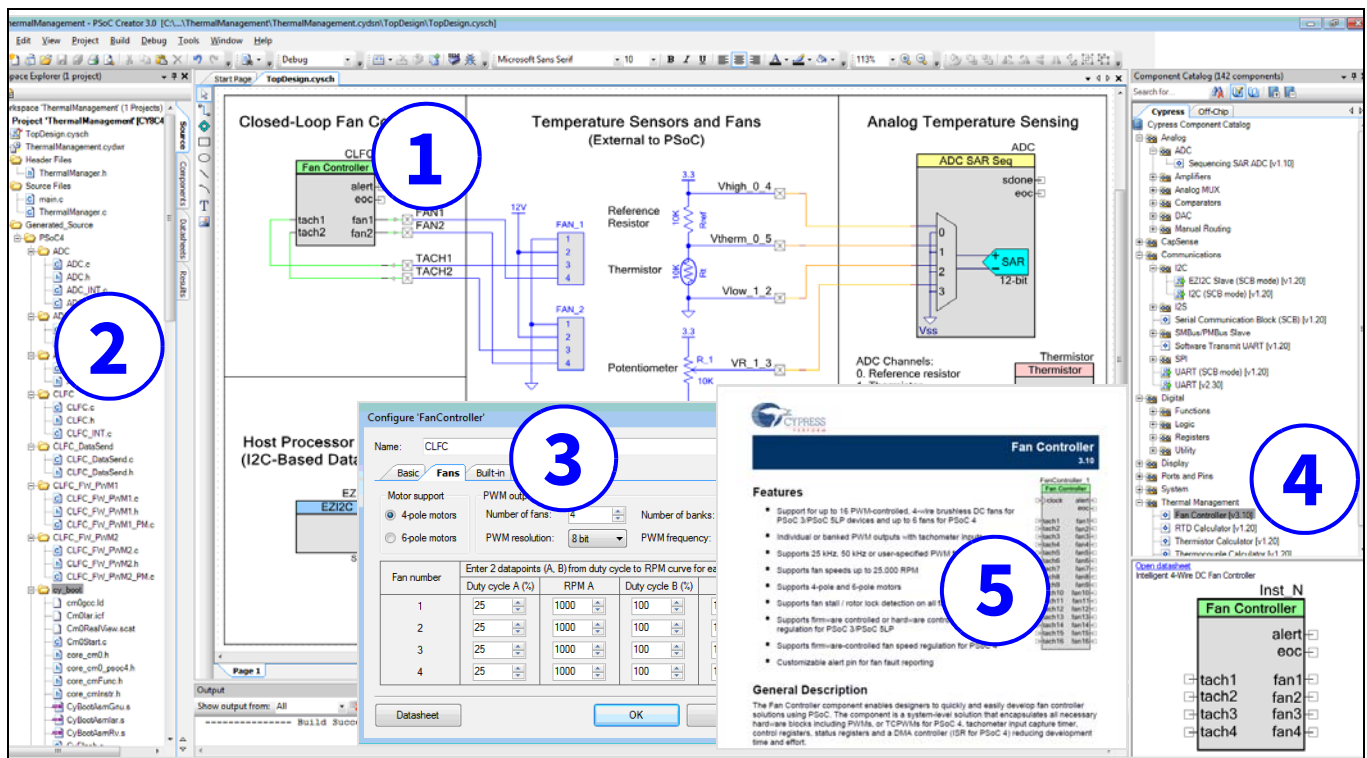
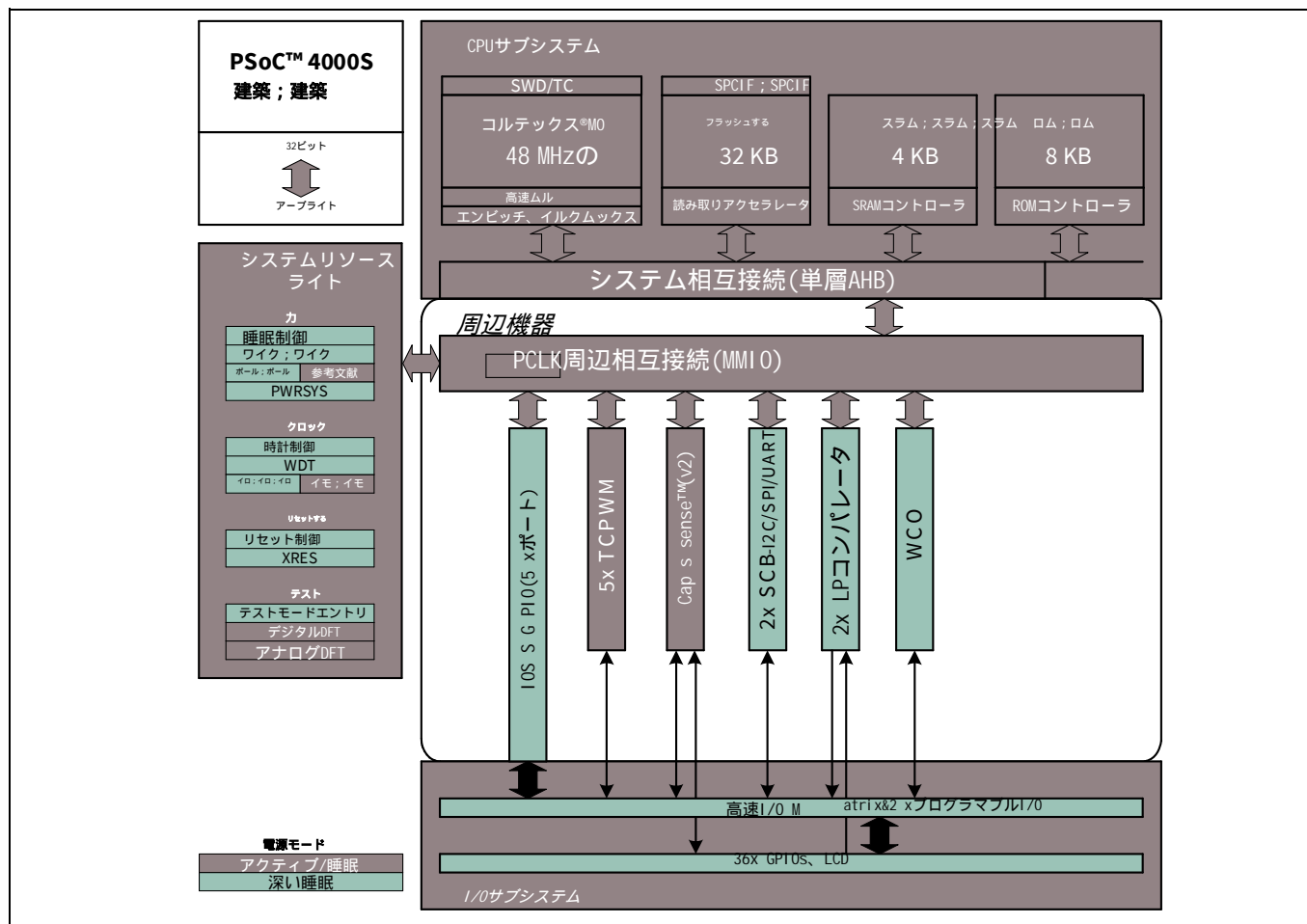


図2 psoc™Creatorのマルチセンサーサンプルプロジェクト

ブロック図

ブロック図



PSoC™4000Sデバイスには、ハードウェアとファームウェアの両方のプログラミング、テスト、デバッグ、トレースのための広範なサポートが含まれています。

Arm®シリアルワイヤデバッグ(SWD)インターフェースは、デバイスのすべてのプログラミングおよびデバッグ機能をサポートします。チップ上の完全なデバッグ機能により、標準の本番デバイスを使用した最終システムでフルデバイスデバッグが可能になります。特別なインターフェース、デバッグポッド、シミュレータ、またはエミュレータは必要ありません。デバッグを完全にサポートするには、標準的なプログラミング接続のみが必要です。

PSoC™Creator IDEは、PSoC™4000Sデバイスの完全に統合されたプログラミングとデバッグサポートを提供します。SWDインターフェースは、業界標準のサードパーティツールと完全に互換性があります。PSoC™4000Sは、マルチチップアプリケーションソリューションやマイクロコントローラでは不可能なレベルのセキュリティを提供します。

次の利点があります。

？ デバッグ機能の無効化を可能にします

？ 堅牢なフラッシュ保護

？ オンチッププログラム可能なブロックに顧客独自の機能を実装することができます

ブロック図

デバッグ回路はデフォルトで有効になっており、ファームウェアでは無効にできます。有効にされていない場合、再有効にする唯一の方法は、デバイス全体を消去し、フラッシュ保護をクリアし、デバッグを可能にする新しいファームウェアでデバイスを再プログラムすることです。したがって、ファームウェアを消去せずにデバッグのファームウェア制御をオーバーライドすることはできず、セキュリティを提供する。

さらに、悪意を持って再プログラムされたデバイスによるフィッシング攻撃や、フラッシュプログラミングシーケンスを起動して中断することによってセキュリティを破壊しようとするアプリケーションの場合、すべてのデバイスインターフェースを永久に無効にすることができます(デバイスセキュリティ)。最大のデバイスセキュリティが有効になっている場合、すべてのプログラミング、デバッグ、テストインターフェースは無効になります。したがって、デバイスのセキュリティが有効になっているPSoC™4000Sは、障害分析のために返されない場合があります。これは、PSoC™4000Sが顧客が作ることができるトレードオフです。

2 機能記述

PSoC™4000Sデバイスには、ハードウェアとファームウェアの両方のプログラミング、テスト、デバッグ、トレースのための広範なサポートが含まれています。

Arm®シリアルワイヤデバッグ(SWD)インターフェースは、デバイスのすべてのプログラミングおよびデバッグ機能をサポートします。チップ上の完全なデバッグ機能により、標準の本番デバイスを使用した最終システムでフルデバイスデバッグが可能になります。特別なインターフェース、デバッグボット、シミュレータ、またはエミュレータは必要ありません。デバッグを完全にサポートするには、標準的なプログラミング接続のみが必要です。

PSoC™Creator IDEは、PSoC™4000Sデバイスの完全に統合されたプログラミングとデバッグサポートを提供します。SWDインターフェースは、業界標準のサードパーティツールと完全に互換性があります。

PSoC™4000Sファミリーは、マルチチップアプリケーションソリューションやマイクロコントローラでは不可能なレベルのセキュリティを提供します。次の利点があります。

？ デバッグ機能の無効化を可能にします

？ 堅牢なフラッシュ保護

？ オンチッププログラマブルブロックで顧客独自の機能を実装できます。デバッグ回路はデフォルトで有効になり、ファームウェアでは無効にできます。有効にされていない場合、再有効にする唯一の方法は、デバイス全体を消去し、フラッシュ保護をクリアし、デバッグを可能にする新しいファームウェアでデバイスを再プログラムすることです。したがって、ファームウェアを消去せずにデバッグのファームウェア制御をオーバーライドすることはできず、セキュリティを提供する。

さらに、悪意を持って再プログラムされたデバイスによるフィッシング攻撃や、フラッシュプログラミングシーケンスを起動して中断することによってセキュリティを破壊しようとするアプリケーションの場合、すべてのデバイスインターフェースを永久に無効にすることができます(デバイスセキュリティ)。最大のデバイスセキュリティが有効になっている場合、すべてのプログラミング、デバッグ、テストインターフェースは無効になります。したがって、デバイスのセキュリティが有効になっているPSoC™4000Sは、障害分析のために返されない場合があります。これは、PSoC™4000Sが顧客が作ることができるトレードオフです。

3 関数定義

3.1 CPUおよびメモリサブシステム

3.1.1 CPU ; CPU

PSoC™4000SのCortex®-m0 CPUは32ビットMCUサブシステムの一部であり、広範なクロックゲートを使用した低電力動作に最適化されています。ほとんどの命令の長さは16ビットであり、CPUはthumb-2命令セットのサブセットを実行します。これには、8つの割り込み入力を備えたネストされたベクトル割り込みコントローラ (NVIC) ブロックが含まれており、ウェイクアップ割り込みコントローラ (WIC) も含まれています。前記WICは、前記プロセッサをディープスリープモードから起動させることができ、前記チップがディープスリープモードであるときに前記メインプロセッサに電源を切り替えることができます。また、CPUは、デバッグインタフェース、JTAGの2線形式であるシリアルワイヤデバッグ (SWD) インタフェースも含んでいます。PSoC™4000Sで使用されるデバッグ構成には、4つのブレークポイント(アドレス)コンパレータと2つのウォッチポイント(データ)コンパレータがあります。

3.1.2 フラッシュ

PSoC™4000Sデバイスは、フラッシュアクセラレータを備えたフラッシュモジュールを備えており、フラッシュブロックからの平均アクセス時間を向上させるためにCPUに密接に結合されています。低電力フラッシュブロックは、48 MHzで2つの待機状態(WS)アクセス時間を提供するように設計されています。フラッシュアクセラレータは、平均85%のシングルサイクルスラムアクセスパフォーマンスを提供します。

3.1.3 スラム ; スラム ; スラム

4 kbのSRAMは、48 MHzでゼロ待機状態アクセスを備えています。

3.1.4 スロム ; スロム

起動ルーチンおよび設定ルーチンを含む監視ROMを提供する。

3.2 システムリソース

3.2.1 電力系統

電力系統については、19ページのセクション「電力」で詳細に説明しています。それは、電圧レベルがそれぞれのモードに必要な応じていることを保証し、電圧レベルが適切な機能のために必要に応じて電圧レベルが必要になるまで (たとえば、電源オンリセット (POR) で) モードエントリを遅らせるか、リセットを生成します (たとえば、ブラウンアウト検出)。PSoC™4000Sは、 $1.8\text{V} \pm 5\%$ (外部調整) または $1.8\text{V} \sim 5.5\text{V}$ (内部調整) の範囲で単一の外部電源で動作し、3つの異なる電源モードを備えており、電源システムによって遷移が管理されます。PSoC™4000Sは、アクティブ、睡眠、および深い睡眠の低消費電力モードを提供します。すべてのサブシステムはアクティブモードで動作しています。CPUサブシステム (CPU、フラッシュ、およびSRAM) はスリープモードでクロックオフされ、すべての周辺機器および割り込みは、ウェイクアップイベントで瞬時にウェイクアップされてアクティブです。ディープスリープモードでは、高速クロックおよび関連する回路がオフになり、このモードからの目覚めには $35\text{ }\mu\text{s}$ かかります。

3.2.2 時計システム

PSoC™4000Sクロックシステムは、クロックを必要とするすべてのサブシステムにクロックを提供し、グリッチなしに異なるクロックソース間を切り替える責任があります。さらに、クロックシステムは、準安定条件がないことを保証します。

PSoC™4000Sのクロックシステムは、内部主発振器（IMO）、内部低周波発振器（ILO）、32 kHzウォッチ水晶発振器（WCO）、および外部クロック用のプロビジョニングからなる。周辺機器用のクロックを微細に生成するクロック分割器が設けられる。UARTのためのより高いデータレートのクロックを可能にするために、分数分割器も提供されています。

前記HFCLK信号を分割して、前記アナログおよびデジタル周辺機器用の同期クロックを生成することができるPSoC™4000には8つのクロック分割器があり、そのうち2つは分数分割器です。16ビット機能により、微細な周波数値を柔軟に生成でき、PSoC™クリエイターで完全にサポートされています。

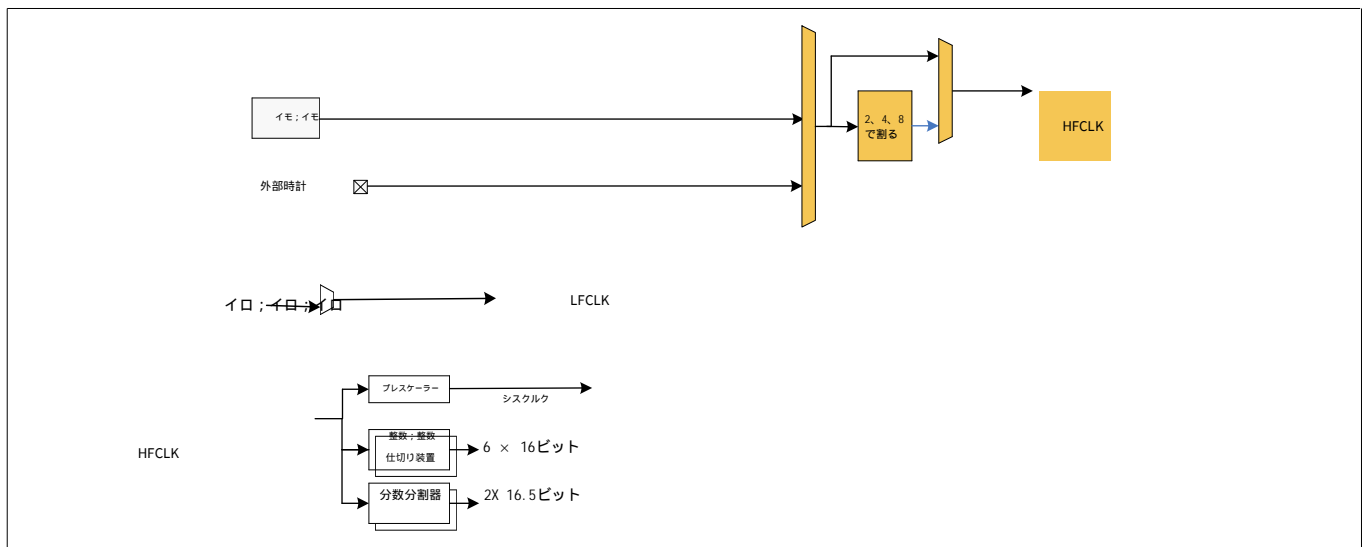


図3 PSoC™4000S MCUクロックアーキテクチャ

3.2.3 IMOクロックソース

IMOはPSoC™4000年代における内部クロックの主なソースです。指定された精度を達成するためにテスト中にトリミングされます。IMOのデフォルト周波数は24 MHzであり、4 MHzのステップで24から48 MHzまで調整できます。インフィニオンが提供するキャリブレーション設定でのIMO公差は±2%です。

3.2.4 イロクロックソース

ILOは非常に低電力、公称40 kHz発振器であり、主にウォッチドッグタイマー（WDT）とディープスリープモードでの周辺動作のためのクロックを生成するために使用されます。ILO駆動カウンタをIMOに校正して精度を向上させることができます。Infineonは、キャリブレーションを行うソフトウェアコンポーネントを提供します。

3.2.5 ウォッチクリスタルオシレーター (WCO)

PSoC™4000Sクロックサブシステムは、精密タイミングアプリケーションに使用できる低周波(32 kHzウォッチクリスタル)発振器も実装しています。WCOブロックは、IMOを32 kHz発振器にロックすることを可能にします。PSoC™4000SシリーズデバイスのWCOはLFCLKまたはWDTに接続されません。このため、RTC機能はサポートされていません。

3.2.6 ウォッチドッグタイマー

前記I/Oから動作する前記クロックブロックには、ウォッチドッグタイマーが実装され、これは、深い睡眠中のウォッチドッグ操作を可能にし、設定されたタイムアウトが発生する前にサービスを受けていない場合にウォッチドッグのリセットを生成します。ウォッチドッグのリセットは、ファームウェアで読み取り可能なリセット原因レジスタに記録されます。

3.2.7 リセットする

PSoC™4000Sは、ソフトウェアのリセットを含むさまざまなソースからリセットできます。リセットイベントは非同期であり、既知の状態への復帰を保証します。リセットの原因はレジスタに記録され、レジスタはリセットを通して粘着性があり、ソフトウェアがリセットの原因を決定することができます。XRESピンは、アクティブな低いと主張することで、外部リセット用に予約されます。XRESピンには、常に有効になっている内部プルアップ抵抗があります。

3.2.8 電圧基準

PSoC™4000S参照システムは、内部に必要なすべての参照を生成します。前記コンパレータには1.2 Vの電圧基準が設けられているIDACsは± 5%の参照に基づいています。

3.3 アナログブロック

3.3.1 低消費電力コンパレータ (LPC)

PSoC™4000Sには、ディープスリープモードでも動作できる低消費電力コンパレータが一对付いています。これにより、低電力モード中に外部電圧レベルを監視する機能を維持しながら、アナログシステムブロックを無効にすることができます。前記コンパレータ出力は、コンパレータスイッチイベントによって前記システムウェイクアップ回路が起動される非同期パワーモードで動作しない限り、メタスタビリティを回避するために通常同期されるLPC出力はピンにルーティングできます。

3.3.2 現在のDACs

PSoC™4000Sには2つのidacがあり、チップ上のピンのいずれかを駆動できます。これらのIDACsには、プログラム可能な電流範囲があります。

3.3.3 アナログ多重バス

PSoC™4000Sには、チップの周囲を回る2つの同心円独立バスがあります。これらのバス(amuxバスと呼ばれる)は、ファームウェアでプログラム可能なアナログスイッチに接続されており、チップの内部リソース(IDACs、comparator)が入出力ポートの任意のピンに接続できます。

3.4 プログラム可能なデジタルブロック

プログラマブルI/O (スマートI/O) ブロックは、GPIOポートのピンにルーティングされる信号でブール関数を実行できるスイッチとラットのファブリックです。スマートI/Oは、チップへの入力ピンおよび出力として出力される信号に対して論理的な操作を実行できます。

3.5 固定機能デジタル

3.5.1 タイマー/カウンタ/PWM(TCPWM)ブロック

TCPWMブロックは、ユーザがプログラム可能な期間長を持つ16ビットカウンタで構成されています。イベントの時点でのカウント値を記録するキャプチャレジスタがあります（これはI/Oイベントである可能性があります）、そのカウントが等しい場合にカウンタを停止または自動リロードするために使用される期間レジスタ、およびPWMデューティサイクル出力として使用される比較値信号を生成するためにレジスタを比較します。また、ブロックは、デッドバンドプログラマブル補完PWM出力として使用できるように、プログラマブルオフセットを備えた真の補完的な出力も提供します。また、出力を所定の状態に強制するためのキル入力有し、たとえば、これは、過電流状態が示され、ソフトウェア介入の時間をなくとも、FETsを駆動するPWMをすぐにシャットオフする必要がある場合にモータ駆動システムで使用されます。PSoC™4000には5つのTCPWMブロックがあります。

3.5.2 シリアル通信ブロック (SCB)

PSoC™4000Sには2つのシリアル通信ブロックがあり、SPI、I2C、またはUART機能を持つようにプログラムできます。

I2Cモード：ハードウェアI2Cブロックは、完全なマルチマスターおよびスレーブインターフェースを実装します（それは可能です

マルチマスター仲裁）。このブロックは、最大1Mbps(高速モードプラス)の速度で動作することができ、柔軟なバッファリングオプションを備えており、CPUの割り込みオーバーヘッドとレイテンシを削減します。また、PSoC™4000Sのメモリ内にメールボックスアドレス範囲を作成し、i2c通信をメモリ内のアレイからの読み取りと書き込みに効果的に減らすEZI2Cもサポートしています。また、前記ブロックは、受信および送信用の8ディープFIFOをサポートしており、前記CPUがデータを読み取る時間を長くすることで、前記CPUが時間通りにデータを読み取らないことに起因するクロックストレッチの必要性を大幅に低減することができます。

i2c周辺機器は、NXP I2Cバス仕様およびユーザーマニュアル (UM10204) で定義されているi2c標準モードおよび高速モードデバイスと互換性があります。i2cバスI/Oは、オープンドレインモードでGPIOで実装されます。

PSoC™4000Sは、次の点でI2C仕様に完全に準拠していません。

？ GPIOセルは過電圧耐性ではないため、I2Cシステムの他の部分とは独立してホットスワップまたは電源アップすることはできません。

UARTモード：これは最大1Mbpsで動作するフル機能UARTです。自動車用シングルワイヤーインターフェース(LIN)、赤外線インターフェース(IrDA)、およびスマートカード(ISO7816)プロトコルをサポートしています。これらはすべて、基本的なUARTプロトコルのマイナーバリエーションです。さらに、共通のRXおよびTX線を介して接続された周辺機器のアドレス指定を可能にする9ビットマルチプロセッサモードをサポートしています。パリティエラー、ブ레이크検出、フレームエラーなどの一般的なUART機能がサポートされています。8深度のFIFOを使用すると、はるかに大きなCPUサービスレイテンシが許容されます。

SPIモード：SPIモードは、フルモトローラSPI、TI SSP(SPIコーデックの同期に使用されるスタートパルスを追加します)、およびナショナルマイクロワイヤ(SPIの半二重形式)をサポートします。SPIブロックはFIFOを使用できます。

3.6 GPIO

PSoC™4000Sは最大36 GPIOsを備えています。GPIOブロックは、次のことを実装します。

? 8つのドライブモード:

- アナログ入力モード(入出力バッファが無効になっています)
- 入力のみ
- 強いプルダウンで弱いプルアップ
- 強いプルアップと弱いプルダウン
- 強力なプルダウンを備えたオープンドレン
 - ・強いプルアップを伴うオープンドレン
 - ・強いプルアップで強いプルダウン
- 弱いプルアップと弱いプルダウン

? 入力しきい値select (CMOSまたはLVTTL)。

? 駆動強度モードに加えて、入出力バッファの有効/無効化の個別制御

? EMIを改善するためのdV/dt関連ノイズ制御のための選択可能なスルーレート

ピンはポートと呼ばれる論理エンティティで整理されており、幅は8ビット(ポート2と3の場合は少ない)です。電源オンとリセット中に、入力がバーになったり、過剰なオン電流が発生したりしないように、ブロックは無効状態に強制されます。高速I/O行列として知られる多重ネットワークは、I/Oピンに接続し得る様々な信号間を多重するために使用される、

データ出力レジスタおよびピン状態レジスタは、それぞれ、ピン上で駆動する値およびピン自体の状態を記憶する、

有効になっている場合、すべてのI/Oピンは割り込みを生成でき、各I/Oポートには割り込み要求 (IRQ) と割り込みサービスルーチン (ISR) ベクトルが関連付けられています (PSoC™4000Sの場合は5)。

3.7 特殊機能周辺機器

3.7.1 キャプセンス™

CAPSENSE™は、アナログスイッチを介してアナログ多重バスを介して任意のピンに接続できるCAPSENSE™シングマデルタ (CSD) ブロックを介してPSoC™4000Sでサポートされています。したがって、CAPSENSE™機能は、ソフトウェア制御下のシステム内で使用可能な任意のピンまたはピングループに提供できます。CAPSENSE™ブロックにはPSoC™クリエイターコンポーネントが設けられ、ユーザーが容易になります。

シールド電圧を別のアナログ多重バスで駆動して耐水性を提供できます。前記シールド電極を前記センサ電極と位相同位に駆動し、前記シールド容量が前記センサ入力を減衰させないようにすることにより、耐水性を得ることを特徴とするシールド電極。近接センシングも実装することができます。CAPSENSE™ブロックには2つのIDACがあり、CAPSENSE™が使用されていない場合(その場合は両方のIDACが利用可能)、またはCAPSENSE™が耐水性なしで使用されている場合(1つのIDACが利用可能)は一般的な目的で使用できます。CAPSENSE™ブロックは、CAPSENSE™機能と組み合わせて使用できる10ビットのスローADC機能も提供しています。

CAPSENSE™ブロックは、感度と柔軟性を向上させるために、プログラマブルな電圧基準と電流源範囲を備えた、高度で低ノイズのプログラマブルブロックです。外部基準電圧を使用することもできます。全波CSDモードを備えており、センシングをVDDAと接地と交互に交互に行い、電源関連のノイズを消去します。

3.7.2 LCDセグメント駆動装置

PSoC™4000Sには、最大8つのコモンズと最大28セグメントを駆動できるLCDコントローラーが付いています。内部LCD電圧の発生を必要としないLCDセグメントを駆動するために完全デジタル方式を使用します。使用する2つの方法は、デジタル相関とPWMと呼ばれます。デジタル相関は、共通信号とセグメント信号の周波数と駆動レベルを変調して、セグメント全体で最高のRMS電圧を生成して点灯したり、RMS信号をゼロにしたりすることに関連します。この方法はSTNディスプレイに適していますが、TN(安価な)ディスプレイとのコントラストが低下する可能性があります。PWMは、PWM信号でパネルを駆動し、パネルの容量を有効に利用して、変調されたパルス幅の積分を提供して所望のLCD電圧を生成することである。この方法により、消費電力が高くなるが、TNディスプレイを駆動する場合には、より良い結果を得ることができる。

ピンアウト ; ピンアウト ; ピンアウト

4 ピンアウト ; ピンアウト ; ピンアウト

次の表は、48ピンTQFP、40ピンQFN、32ピンQFN、24ピンQFN、32ピンTQFP、および25ボールCSPパッケージのPSoC™4000のピンリストを示しています。すべてのポートピンはGPIOをサポートしています。ピン11は、48-TQFPにおいてノーコネクトである。

表1 PSoC™4000Sピンリスト

48ピンTQFP		32ピンQFN		24ピンQFN		25ボールCSP		40ピンQFN		32ピンTQFP	
ピン	名前	ピン	名前	ピン	名前	ピン	名前	ピン	名前	ピン	名前
28	P0.0	17	P0.0	13	P0.0	D1	P0.0	22	P0.0	17	P0.0
29	P0.1	18	P0.1	14	P0.1	C3	P0.1	23	P0.1	18	P0.1
30	P0.2	19	P0.2	–	–	–	–	24	P0.2	19	P0.2
31	P0.3	20	P0.3	–	–	–	–	25	P0.3	20	P0.3
32	P0.4	21	P0.4	15	P0.4	C2	P0.4	26	P0.4	21	P0.4
33	P0.5	22	P0.5	16	P0.5	C1	P0.5	27	P0.5	22	P0.5
34	P0.6	23	P0.6	17	P0.6	B1	P0.6	28	P0.6	23	P0.6
35	P0.7	–	–	–	–	B2	P0.7	29	P0.7	–	–
36	XRES	24	XRES	18	XRES	B3	XRES	30	XRES	24	XRES
37	VCCD	25	VCCD	19	VCCD	A1	VCCD	31	VCCD	25	VCCD
38	VSSD ; VSSD	26	VSSD ; VSSD	20	VSSD ; VSSD	A2	VSS ; VSS	–	–	26	VSSD ; VSSD
39	VDDD	27	VDD ; VDD	21	VDD ; VDD	A3	VDD ; VDD	32	VDDD	27	VDD ; VDD
40	VDDA ; VDDA	27	VDD ; VDD	21	VDD ; VDD	A3	VDD ; VDD	33	VDDA ; VDDA	27	VDD ; VDD
41	VSSA ; VSSA	28	VSSA ; VSSA	22	VSSA ; VSSA	A2	VSS ; VSS	34	VSSA ; VSSA	28	VSSA ; VSSA
42	P1.0	29	P1.0	–	–	–	–	35	P1.0	29	P1.0
43	P1.1	30	P1.1	–	–	–	–	36	P1.1	30	P1.1
44	P1.2	31	P1.2	23	P1.2	A4	P1.2	37	P1.2	31	P1.2
45	P1.3	32	P1.3	24	P1.3	B4	P1.3	38	P1.3	32	P1.3
46	P1.4	–	–	–	–	–	–	39	P1.4	–	–
47	P1.5	–	–	–	–	–	–	–	–	–	–
48	P1.6	–	–	–	–	–	–	–	–	–	–
1	P1.7	1	P1.7	1	P1.7	A5	P1.7	40	P1.7	1	P1.7
2	P2.0	2	P2.0	2	P2.0	B5	P2.0	1	P2.0	2	P2.0
3	P2.1	3	P2.1	3	P2.1	C5	P2.1	2	P2.1	3	P2.1
4	P2.2	4	P2.2	–	–	–	–	3	P2.2	4	P2.2
5	P2.3	5	P2.3	–	–	–	–	4	P2.3	5	P2.3
6	P2.4	–	–	–	–	–	–	5	P2.4	–	–
7	P2.5	6	P2.5	–	–	–	–	6	P2.5	6	P2.5
8	P2.6	7	P2.6	4	P2.6	D5	P2.6	7	P2.6	7	P2.6
9	P2.7	8	P2.7	5	P2.7	C4	P2.7	8	P2.7	8	P2.7
10	VSSD ; VSSD	–	–	–	–	A2	VSS ; VSS	9	VSSD ; VSSD	–	–
12	P3.0	9	P3.0	6	P3.0	E5	P3.0	10	P3.0	9	P3.0
13	P3.1	10	P3.1	–	–	D4	P3.1	11	P3.1	10	P3.1

ピンアウト ; ピンアウト ; ピンアウト ;

表1 PSoC™4000Sピンリスト(続き)

48ピンTQFP		32ピンQFN		24ピンQFN		25ボールCSP		40ピンQFN		32ピンTQFP	
ピン	名前	ピン	名前	ピン	名前	ピン	名前	ピン	名前	ピン	名前
14	P3.2	11	P3.2	7	P3.2	E4	P3.2	12	P3.2	11	P3.2
16	P3.3	12	P3.3	8	P3.3	D3	P3.3	13	P3.3	12	P3.3
17	P3.4	-	-	-	-	-	-	14	P3.4	-	-
18	P3.5	-	-	-	-	-	-	15	P3.5	-	-
19	P3.6	-	-	-	-	-	-	16	P3.6	-	-
20	P3.7	-	-	-	-	-	-	17	P3.7	-	-
21	VDDD ; vdd	-	-	-	-	-	-	-	-	-	-
22	P4.0	13	P4.0	9	P4.0	E3	P4.0	18	P4.0	13	P4.0
23	P4.1	14	P4.1	10	P4.1	D2	P4.1	19	P4.1	14	P4.1
24	P4.2	15	P4.2	11	P4.2	E2	P4.2	20	P4.2	15	P4.2
25	P4.3	16	P4.3	12	P4.3	E1	P4.3	21	P4.3	16	P4.3

注：ピン11、15、26、および27は、48ピンTQFP上の接続(NC)ではありません。ピン機能の説明は次のとおりです。

VDDD：デジタルセクションの電源。

VDDA：アナログセクションの電源。

VSSD、VSSA：それぞれデジタルセクションとアナログセクションのグランドピン。

VCCD：規制されたデジタル供給(1.8V ± 5%)

VDD：チップのすべてのセクションへの電源

VSS：チップのすべてのセクションのグランド

4.1 代替ピン機能

各ポートピンは複数の機能のうちの1つに割り当てることができます。例えば、アナログI/O、デジタル周辺機能、LCDピン、またはCAPSENSE™ピンであってもよい。ピンの割り当てを次の表に示します。

テーブル2ピンの割り当て

ポート/ピン	アナログの	スマートI/O	代替関数1	代替関数2	代替関数3	深い睡眠1	深い睡眠2
P0.0	lpcomp.in_p[0]	–	–	–	tcpwm.tr_in[0]	–	scb[0].spi_select1 : 0
P0.1	lpcomp.in_n[0]	–	–	–	tcpwm.tr_in[1]	–	scb[0].spi_select2 : 0
P0.2	lpcomp.in_p[1]	–	–	–	–	–	scb[0].spi_select3 : 0
P0.3	lpcomp.in_n[1]	–	–	–	–	–	–
P0.4	wco.wco_in	–	–	scb[1].uart_rx : 0	–	scb[1].i2c_scl : 0	scb[1].spi_mosi : 1
P0.5	wco.wco_out	–	–	scb[1].uart_tx : 0	–	scb[1].i2c_sda : 0	scb[1].pi_miso : 1
P0.6	–	–	srss.ext_clk	scb[1].uart_cts : 0	–	–	scb[1].spi_clk : 1
P0.7	–	–	–	scb[1].uart_rts : 0	–	–	scb[1].spi_select0 : 1
P1.0	–	–	tcpwm.line[2] : 1	scb[0].uart_rx : 1	–	scb[0].i2c_scl : 0	scb[0].spi_mosi : 1
P1.1	–	–	tcpwm.line_compl[2] : 1	scb[0].uart_tx : 1	–	scb[0].i2c_sda : 0	scb[0].pi_miso : 1
P1.2	–	–	tcpwm.line[3] : 1	scb[0].uart_cts : 1	tcpwm.tr_in[2]	–	scb[0].spi_clk : 1
P1.3	–	–	tcpwm.line_compl[3] : 1	scb[0].uart_rts : 1	tcpwm.tr_in[3]	–	scb[0].spi_select0 : 1
P1.4	–	–	–	–	–	–	scb[0].spi_select1 : 1
P1.5	–	–	–	–	–	–	scb[0].spi_select2 : 1
P1.6	–	–	–	–	–	–	scb[0].spi_select3 : 1
P1.7	–	–	–	–	–	–	–
P2.0	–	prgio[0].io[0]	tcpwm.line[4] : 0	csd.comp	tcpwm.tr_in[4]	scb[1].i2c_scl : 1	scb[1].spi_mosi : 2

P2.1	-	prgio[0].io[1]	tcpwm.line_compl [4] : 0	-	tcpwm.tr_in[5]	scb[1].i2c_ sda : 1	scb[1].pi_miso : 2
P2.2	-	prgio[0].io[2]	-	-	-	-	scb[1].spi_clk : 2

テーブル2ピンの割り当て(続き)

ポート/ピン	アナログの	スマートなI/O	代替関数1	代替関数2	代替関数3	深い睡眠1	深い睡眠2
P2.3	-	prgio[0].io[3]	-	-	-	-	scb[1].spi_select0 : 2
P2.4	-	prgio[0].io[4]	tcpwm.line[0] : 1	-	-	-	scb[1].spi_select1 : 1
P2.5	-	prgio[0].io[5]	tcpwm.line_compl[0] : 1	-	-	-	scb[1].spi_select2 : 1
P2.6	-	prgio[0].io[6]	tcpwm.line[1] : 1	-	-	-	scb[1].spi_select3 : 1
P2.7	-	prgio[0].io[7]	tcpwm.line_compl[1] : 1	-	-	lpcomp.comp[0] : 1	-
P3.0	-	prgio[1].io[0]	tcpwm.line[0] : 0	scb[1].uart_rx : 1	-	scb[1].i2c_scl : 2	scb[1].spi_mosi : 0
P3.1	-	prgio[1].io[1]	tcpwm.line_compl[0] : 0	scb[1].uart_tx : 1	-	scb[1].i2c_sda : 2	scb[1].pi_miso : 0
P3.2	-	prgio[1].io[2]	tcpwm.line[1] : 0	scb[1].uart_cts : 1	-	cpuss.swd_data	scb[1].spi_clk : 0
P3.3	-	prgio[1].io[3]	tcpwm.line_compl[1] : 0	scb[1].uart_rts : 1	-	cpuss.swd_clk	scb[1].spi_select0 : 0
P3.4	-	prgio[1].io[4]	tcpwm.line[2] : 0	-	tcpwm.tr_in[6]	-	scb[1].spi_select1 : 0
P3.5	-	prgio[1].io[5]	tcpwm.line_compl[2] : 0	-	tcpwm.tr_in[7]	-	scb[1].spi_select2 : 0
P3.6	-	prgio[1].io[6]	tcpwm.line[3] : 0	-	tcpwm.tr_in[8]	-	scb[1].spi_select3 : 0
P3.7	-	prgio[1].io[7]	tcpwm.line_compl[3] : 0	-	tcpwm.tr_in[9]	lpcomp.comp[1] : 1	-
P4.0	csd.vref_ext	-	-	scb[0].uart_rx : 0	tcpwm.tr_in[10]	scb[0].i2c_scl : 1	scb[0].spi_mosi : 0
P4.1	csd.csh_el_dpad	-	-	scb[0].uart_tx : 0	tcpwm.tr_in[11]	scb[0].i2c_sda : 1	scb[0].pi_miso : 0
P4.2	csd.cmodpad	-	-	scb[0].uart_cts : 0	-	lpcomp.comp[0] : 0	scb[0].spi_clk : 0
P4.3	csd.csh_tank	-	-	scb[0].uart_rts : 0	-	lpcomp.comp[1] : 0	scb[0].spi_select0 : 0

5 力

次の電源システム図は、PSoC™4000に実装されている電源ピンのセットを示しています。システムは、デジタル回路用のアクティブモードの1つのレギュレータを備えています。アナログレギュレータはありません。アナログ回路はvdd入力から直接動作します。

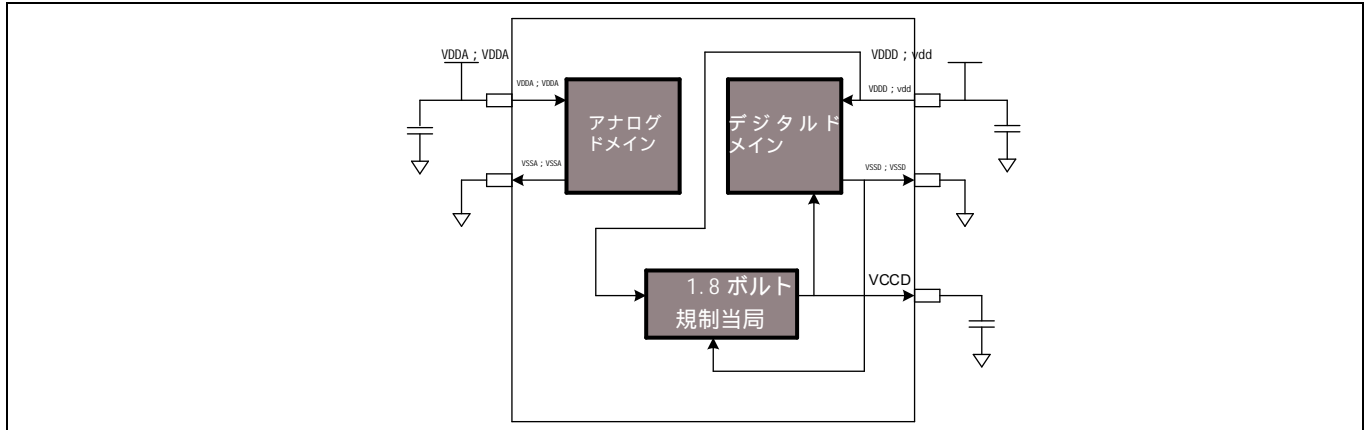


図4電源接続

2つの異なる動作モードがあります。モード1では、電源電圧範囲は1.8v~5.5v(外部では調整されていません。内部レギュレータが動作します)。モード2では、供給範囲は1.8v±5%(外部調整、1.71v~1.89v、内部レギュレータバイパス)です。

5.1 モード1：1.8v~5.5v外部電源

このモードでは、PSoC™4000Sは、1.8v~5.5vの範囲内の任意の場所にある外部電源によって電源が供給されます。この範囲は、バッテリー駆動のためにも設計されています。たとえば、チップは3.5vで始まり、1.8vまで動作するバッテリーシステムから電源を供給できます。このモードでは、PSoC™4000Sの内部レギュレータが内部ロジックを供給し、その出力はtheV_{CCD}ピンに接続されます。VCCDピンは外部コンデンサ(0.1μF; X5Rセラミック以上)を介してグラウンドにバイパスする必要があり、他のものに接続してはなりません。

力

5.2 モード2：1.8V±5%外部供給

このモードでは、PSoC™4000Sは、1.71V~1.89Vの範囲内でなければならない外部電源によって電源が供給されます。この範囲には電源リップルも含まれる必要があることに注意してください。このモードでは、VDDピンとVCCDピンが一緒に短縮され、バイパスされます。前記ファームウェアでは、前記内部レギュレータを無効にすることができます。

バイパスコンデンサは、VDDDからグラウンドまで使用する必要があります。この周波数範囲のシステムの典型的な慣行は、1 μ F範囲のコンデンサを、より小さなコンデンサ(たとえば0.1 μ F)と並行して使用することです。これらは単なる経験則であり、重要なアプリケーションでは、PCBレイアウト、リードインダクタンス、および寄生するバイパスコンデンサをシミュレートして、最適なバイパスを設計して取得する必要があることに注意してください。

バイパス方式の一例を以下の図に示す。

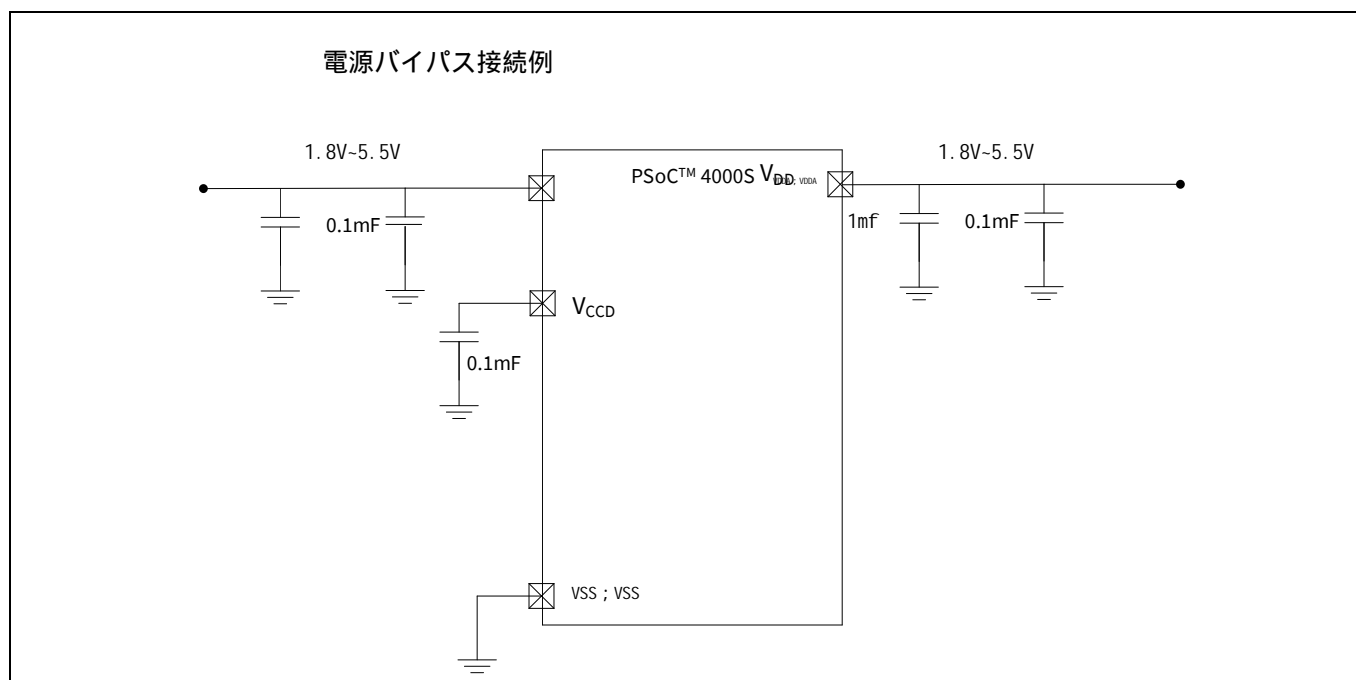


図5内部レギュレータがアクティブな状態で1.8Vから5.5Vの外部供給範囲

6 電気仕様

6.1 絶対最大評価

表3絶対最大評価[1]

仕様ID#	パラメータ ; パラメータ	説明	最小値	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド1	V _{DDD_ABS}	V _{SS} に対するデジタル供給	-0.5	-	6	V.	-
サイド2	V _{CCD_ABS}	V _{SS} に対する直接デジタルコア電圧入力	-0.5	-	1.95		-
サイド3	V _{GPIO_ABS}	GPIO電圧	-0.5	-	V _{DD} + 0.5		-
サイド4	I _{GPIO_ABS}	1 gpioあたりの最大電流	-25	-	25	mA ; mA	-
サイド5	I _{GPIO_注射}	GPIO注入電流、V _{IH} >V _{DDD} の最大、V _{IL} <V _{SS} の最小	-0.5	-	0.5		1ピンあたりの注入電流
ビド44	ESD_HBM	静電放電人体モデル	2200	-	-	V.	-
ビド45	ESD_CDM	静電放電帯電デバイスモデル	500	-	-		-
ビド46	ルー ; ルー	ラッチアップ用ピン電流	-140	-	140	mA ; mA	-

注記

- 表3に記載されている絶対最大条件を超える使用は、デバイスに永久的な損傷を引き起こす可能性があります。絶対最大条件への長期間の曝露は、デバイスの信頼性に影響を与える可能性があります。最高保存温度は、JEDEC規格JESD22-A103に準拠して150° Cであり、高温保存寿命です。絶対最大条件を下回っても通常の動作条件を上回って使用すると、デバイスは仕様に沿って動作しない可能性があります。

電気仕様

6.2 デバイスレベル仕様

記載されている場合を除き、すべての仕様は-40° C TA 105° C、TJ 125° Cで有効です。仕様は、記載されている場合を除き、1.71vから5.5vの場合に有効です。

表4直流仕様

測定された典型的な値atV_{DD}=3.3vおよび25° C。

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド 53	V _{DD}	電源入力電圧	1.8	-	5.5	V.	内部規制供給
サイド 255	V _{DD}	電源入力電圧 (V _{CCD} =V _{DD} =V _{DDA})	1.71	-	1.89		内部的に規制されない供給
サイド 54	V _{CCD}	出力電圧 (コアロジック用)	-	1.8	-		-
サイド 55	CEFC ; CEFC	外部レギュレータ電圧バイパス	-	0.1	-	μ f	X5Rセラミック以上
サイド 56	CEXC ; CEXC	電源バイパスコンデンサ	-	1	-		X5Rセラミック以上
アクティブモード、V _{DD} =1.8v~5.5v測定された典型的な値atV _{DD} =3.3vおよび25° C。							
サイド 10	I _{DD5}	フラッシュから実行します。6mhzのCPU	-	1.2	2.0	マ マ 母 ;	-
シド16	I _{DD8}	フラッシュから実行します。24mhzのCPU	-	2.4	4.0		-
シド19	I _{DD11}	フラッシュから実行します。48 MHzのCPU	-	4.6	5.9		-
スリープモード、V _{DD} =1.8v~5.5v(レギュレータオン)							
側面22	I _{DD17}	i 2c wdtを起動し、コンパレータをオンにします	-	1.1	1.6	マ マ 母 ;	6 MHzの
サイド 25	I _{DD20}	I 2C ウェイクアップ、WDT、コンパレータをオンにします	-	1.4	1.9		12 MHzの
スリープモード、V _{DD} =1.71v~1.89v(レギュレータがバイパスされました)							
サイド 28	I _{DD23}	I 2C ウェイクアップ、WDT、コンパレータをオンにします	-	0.7	0.9	マ マ 母 ;	6 MHzの
サイド 28a	I _{DD23A}	I 2C ウェイクアップ、WDT、コンパレータをオンにします	-	0.9	1.1		12 MHzの
ディープスリープモード、V _{DD} =1.8v~3.6v(レギュレータオン)							
シド31	I _{DD26}	I 2Cの目を覚ますとWDTをオンにします	-	2.5	60	μ a	-
ディープスリープモード、V _{DD} =3.6v~5.5v(レギュレータオン)							
シド34	I _{DD29}	I 2Cの目を覚ますとWDTをオンにします	-	2.5	60	μ a	-
ディープスリープモード、V _{DD} =V _{CCD} =1.71v~1.89v(レギュレータバイパス)							
サイド 37	I _{DD32}	I 2Cの目を覚ますとWDTをオンにします	-	2.5	60	μ a	-
XRES電流							
サイド 307	I _{DD_XR}	XRESが主張されている間に電流を供給します	-	2	5	マ マ 母 ;	-

表5 AC仕様

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド 48	F _{CPU}	CPU周波数	DC ; DC	-	48	MHzの	1.71 V vdd 5.5v
SID49 ^[2]	睡眠をとる	スリープモードから目を覚ます	-	0	-	μ s	-
SID50 ^[2]	ディープスリープ	ディープスリープモードから目を覚ます	-	35	-		-

注記
2. 特性化によって保証されます。

電気仕様

6.2.1 GPIO

表6 GPIO DC仕様

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド57	$V_{IH}^{[3]}$	入力電圧高閾値	$0.7 \times V_{DDD}$	-	-	V.	CMOS入力
シド58	邪悪な ; 悪な	入力電圧低閾値	-	-	$0.3 \times V_{DDD}$		CMOS入力
サイド241	$V_{IH}^{[3]}$	LVTTL入力、 $V_{DDD} < 2.7v$	$0.7 \times V_{DDD}$	-	-		-
サイド242	邪悪な ; 悪な	LVTTL入力、 $V_{DDD} < 2.7v$	-	-	$0.3 \times V_{DDD}$		-
サイド243	$V_{IH}^{[3]}$	LVTTL入力、 $V_{DDD} \geq 2.7v$	2.0	-	-		-
サイド244	邪悪な ; 悪な	LVTTL入力、 $V_{DDD} \geq 2.7v$	-	-	0.8		-
サイド59	オーオー	出力電圧高レベル	$V_{DDD} - 0.6$	-	-		$I_{OH} = 4 \text{ mA}$ 3 V_{VVDDD} で
サイド60	オーオー	出力電圧高レベル	$V_{DDD} - 0.5$	-	-		$I_{OH} = 1 \text{ mA}$ 3 V_{VVDDD} で
シド61	ボリュームの	出力電圧低レベル	-	-	0.6		1.8v v_{DDD} で $I_{OL} = 4 \text{ mA}$
サイド62	ボリュームの	出力電圧低レベル	-	-	0.6		$I_{OL} = 10 \text{ mA}$ 3 V_{VVDDD} で
サイド62a	ボリュームの	出力電圧低レベル	-	-	0.4		$I_{OL} = 3 \text{ mA}$ 3 V_{VVDDD} で
サイド63	プルアップ ; プルアップ	プルアップ抵抗	3.5	5.6	8.5	か	-
サイド64	$R_{PULLDOWN}$	プルダウン抵抗器	3.5	5.6	8.5		-
シド65	イイル	入力リーク電流 (絶対値)	-	-	2	nA ; nA ; nA	25° C、 $V_{DDD} = 3.0v$
サイド66	シン ; シン	入力容量	-	-	7	pF ; pF	-
SID67 ^[4]	フィストトル	入力ヒステリシス LVTTL	25	40	-	mV ; mV	$V_{DDD} \geq 2.7v$
SID68 ^[4]	ヴィスクモス	入力ヒステリシス CMOS	$0.05 \times V_{DDD}$	-	-		$V_{DD} < 4.5v$
SID68A ^[4]	$V_{HYSCMOS5V5}$	入力ヒステリシス CMOS	200	-	-		$V_{DD} > 4.5v$
SID69 ^[4]	ダイオード	V_{DD}/V_{SS} への保護ダイオードを通過する電流	-	-	100	μa	-
SID69A ^[4]	イトット_グピオ	最大総ソースチップまたはシンクチップ電流	-	-	200	ママ母 ;	-

ノート

3. V_{IH} は $v_{DDD} - 0.2 v$ を超えてはなりません。
4. 特性化によって保証されます。

表7 GPIO AC仕様

(特性評価によって保証されます)

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド 70	トライセフ ; トライセフ	高速強力モードでの立ち上がり時間	2	-	12	ns	3.3 V V _{DD} , C _{load} =25 pF
サイド 71	トファルフ	高速強いモードでの落下時間	2	-	12		3.3 V V _{DD} , C _{load} =25 pF
サイド 72	T _g が上昇する	スローストロングモードでの立ち上がり時間	10	-	60	-	3.3 V V _{DD} , C _{load} =25 pF
サイド 73	T _落 下	スローストロングモードでの落下時間	10	-	60	-	3.3 V V _{DD} , C _{load} =25 pF
サイド 74	F _{GPIOUT1}	GPIO F _{OUT} ; 3.3 V v _{ddd} 5.5v ; 高速強力モード	-	-	33	MHzの	90/10%、負荷 25 pF、60/40デューティサイクル
サイド 75	F _{GPIOUT2}	GPIO F _{OUT} ; 1.71 V v _{ddd} 3.3v ; 高速強力モード	-	-	16.7		90/10%、負荷 25 pF、60/40デューティサイクル
サイド 76	F _{GPIOUT3}	GPIO F _{OUT} ; 3.3 V v _{ddd} 5.5v ; スローストロングモード	-	-	7		90/10%、負荷 25 pF、60/40デューティサイクル
サイド 245	F _{GPIOUT4}	GPIO F _{OUT} ; 1.71 V v _{ddd} 3.3v ; ゆっくり強いモード	-	-	3.5		90/10%、負荷 25 pF、60/40デューティサイクル
サイド 246	フグピオイン	GPIO入力動作周波数 ; 1.71 V v _{ddd} 5.5v	-	-	48		90/10% V _{IO}

6.2.2 XRES

表8 XRES DC仕様

仕様ID	パラメータ ; パラメータ	説明	最小値	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド 77	V _{IH} ; V _{IH}	入力電圧高閾値	0.7 × V _{DD}	-	-	V.	CMOS入力
サイド 78	邪悪な ; 悪な	入力電圧低い閾値	-	-	0.3 × V _{DD}		
サイド 79	プルアップ ; プルアップ	プルアップ抵抗	-	60	-	か	-
サイド 80	シン ; シン	入力容量	-	-	7	pF ; pF	-
SID81 ^[5]	ヴィスクレス	入力電圧ヒステリシス	-	100	-	mV ; mV	典型的なヒステリシスは、V _{DD} > 4.5V の場合 200 mVです。
サイド 82	Iダイオード	V _{DD} /V _{SS} への保護ダイオードを通過する電流	-	-	100	μ a	-

表9 XRES AC仕様

仕様ID	パラメータ ; パラメータ	説明	最小値	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
SID83 ^[5]	トレスワイド	リセットパルス幅	1	-	-	μ s	-
BID194 ^[5]	トレセットウェイク	リセットリリースからの目覚め時間	-	-	2.7	msの	-

注記

5. 特性化によって保証されます。

6.3 アナログ周辺機器

6.3.1 比較器

表10コンパレータDC仕様

仕様ID	パラメータ ; パラメータ	説明	最小値	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド 84	Vオフセット1	入力オフセット電圧、工場トリム	-	-	±10	mV ; mV	-
サイド 85	Vオフセット2	入力オフセット電圧、カスタムトリム	-	-	±4		-
サイド 86	ヒステリシス ; ヒステリシス ; ヒステリシス	有効になったときのヒステリシス	-	10	35		-
サイド 87	ビクム1	通常モードでの入力コモンモード電圧	0	-	V _{DDD} -0.1	V.	モード1および2
サイド 247	ビクム2	入力コモンモード低電力モードでの電圧	0	-	V _{DDD}		-
サイド 247a	ビクム3	超低電力モードでの入力コモンモード電圧	0	-	V _{DDD} -1.15		V _{DDD} 2.2v at -40
サイド 88	CMRR ; CMRR	コモンモード拒絶比	50	-	-	dB ; dB	V _{DDD} 2.7V
サイド 88a	CMRR ; CMRR	コモンモード拒絶比	42	-	-		V _{DDD} 2.7V
サイド 89	I _{CMP1}	ブロック電流、通常モード	-	-	400	μ a	-
サイド 248	I _{CMP2}	ブロック電流、低電力モード	-	-	100		-
サイド 259	I _{CMP3}	超低消費電力モードでのブロック電流	-	6	28		V _{DDD} 2.2v at -40
サイド 90	Z _{CMP}	コンパレータの直流入力インピーダンス	35	-	-	m	-

表11コンパレータAC仕様

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド 91	トレスプ1	応答時間、通常モード、50 mVオーバードライブ	-	38	110	ns	-
サイド 258	トレスプ2	応答時間、低消費電力モード、50 mVオーバードライブ	-	70	200		-
サイド 92	トレスプ3	応答時間、超低電力モード、200 mVオーバードライブ	-	2.3	15	μ s	V _{DDD} 2.2v at -40

電気仕様

6.3.2 CSDとIDAC

表12 CSDおよびIDAC仕様

仕様ID	パラメータ ; パラメータ	説明	最小値	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
SYS. PER	VDD_リップル	電源で最大許容されるリップル、DC から 10 MHzまで	-	-	±50	mV ; mV	V _{DD} >2 V(リップル付き)、25° C TA、感度=0.1pf
SYS. PER	Vdd_ripple_1.8	電源で最大許容されるリップル、DC から 10 MHzまで	-	-	±25	mV ; mV	V _{DD} >1.75v(リップル付き)、25° C TA、寄生容量(CP)<20pf、感度 0.4pf
SID.CSD.BLK	ICSD ; ICSD	最大ブロック電流	-	-	4000	μ a	コンパレータ、バッファ、および参照ジェネレータを含むダイナミック(スイッチング)モードでの両方のIDACの最大ブロック電流。
SID. CSD	V参照	CSDおよびコンパレータの電圧基準	0.6	1.2	V _{dda} -0.6	V.	V _{dda} -0.6または4.4 v、いずれか低い方
SID. CSD	V _{REF_EXT}	CSDおよびコンパレータの外部電圧基準	0.6	-	V _{dda} -0.6	V.	V _{dda} -0.6または4.4 v、いずれか低い方
SID. CSD	IDAC1IDD	IDAC1(7ビット)ブロック電流	-	-	1750	μ a	-
SID. CSD	IDAC2IDD	IDAC2(7ビット)ブロック電流	-	-	1750	μ a	-
サイド308	VCSDの	動作電圧範囲	1.71	-	5.5	V.	1.8 V±5%または1.8v~5.5 V.
サイド308a	ヴィコンピダック	IDACの電圧準拠範囲	0.6	-	V _{dda} -0.6	V.	V _{dda} -0.6または4.4 v、いずれか低い方
サイド309	IDAC1DNL	DNL ; DNL	-1	-	1	LSBの	-
サイド310	IDAC1INL	インル ; インル	-2	-	2	LSBの	INLはV _{DDA} <2 Vの場合±5.5 LSBです
サイド311	IDAC2DNL	DNL ; DNL	-1	-	1	LSBの	-
サイド312	IDAC2INL	インル ; インル	-2	-	2	LSBの	INLはV _{DDA} <2 Vの場合±5.5 LSBです
サイド313	SNR ; SNR	指とノイズの数の比率。特性評価によって保証される	5	-	-	私 はそれを知ることができます。	容量範囲は5pf~35 pf、感度は0.1pf。すべてのユースケース。 V _{DDA} > 2 V.
サイド314	IDAC1CRT1	低範囲のIDAC1(7ビット)の出力電流	4.2	-	5.4	μ a	LSB=37.5 nAタイプ。
サイド314a	IDAC1CRT2	中範囲のIDAC1(7ビット)の出力電流	34	-	41	μ a	LSB=300 nAタイプ。

電気仕様

表12 CSDおよびIDAC仕様(続き)

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユ ニ ッ ト	詳細/条件
サイド314b	IDAC1CRT3	高範囲のIDAC1(7ビット)の出力電流	275	–	330	μ a	LSB=2.4μaタイプ
サイド314c	IDAC1CRT12	低レンジ、2XモードでのIDAC1(7ビット)の出力電流	8	–	10.5	μ a	LSB=75 nAタイプ
シド314d	IDAC1CRT22	中レンジ、2XモードでのIDAC1(7ビット)の出力電流	69	–	82	μ a	LSB=600 nAタイプ
シド314e	IDAC1CRT32	高範囲、2XモードでのIDAC1(7ビット)の出力電流	540	–	660	μ a	LSB=4.8μaタイプ
サイド315	IDAC2CRT1	低範囲のIDAC2(7ビット)の出力電流	4.2	–	5.4	μ a	LSB=37.5 nAタイプ
サイド315a	IDAC2CRT2	中範囲のIDAC2(7ビット)の出力電流	34	–	41	μ a	LSB=300 nAタイプ
サイド315b	IDAC2CRT3	高範囲のIDAC2(7ビット)の出力電流	275	–	330	μ a	LSB=2.4μaタイプ
サイド315c	IDAC2CRT12	低レンジ、2XモードでのIDAC2(7ビット)の出力電流	8	–	10.5	μ a	LSB=75 nAタイプ
サイド315d	IDAC2CRT22	ミディアムレンジ、2XモードにおけるIDAC2(7ビット)の出力電流	69	–	82	μ a	LSB=600 nAタイプ
サイド315e	IDAC2CRT32	高範囲、2XモードでのIDAC2(7ビット)の出力電流	540	–	660	μ a	LSB=4.8μaタイプ
サイド315f	IDAC3CRT13	8ビットモードでのIDACの低レンジ出力電流	8	–	10.5	μ a	LSB=37.5 nAタイプ
サイド315g	IDAC3CRT23	中レンジ8ビットモードでのIDACの出力電流	69	–	82	μ a	LSB=300 nAタイプ
サイド315h	IDAC3CRT33	ハイレンジ8ビットモードでのIDACの出力電流	540	–	660	μ a	LSB=2.4μaタイプ
サイド320	アイダオフセット	すべてのゼロ入力	–	–	1	LSBの	ソースまたはシンクによって設定された極性。オフセットは37に対して2 LSBsです。5 nA/LSBモード
サイド321	イダクゲン ; イダクゲン	フルスケールエラーレスオフセット	–	–	±10	%	–

表12 CSDおよびIDAC仕様(続き)

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユ ニ ッ ト	詳細/条件
サイド322	IDACMISMATCH1	ローモードでのIDAC1 と IDAC2 の不一致	-	-	9.2	LSBの	LSB=37.5 nAタイプ
サイド322a	IDACMISMATCH2	ミディアムモードでのIDAC1 と IDAC2の不一致	-	-	5.6	LSBの	LSB=300 nAタイプ
サイド322b	IDACMISMATCH3	ハイモードでのIDAC1 と IDAC2 の不一致	-	-	6.8	LSBの	LSB=2.4μAタイプ
サイド323	アイダックセット8	8ビットIDACの0.5Isbへのセットリング時間	-	-	10	μ s	本格的な移行。外部負荷なし
サイド324	アイダックセット7	7ビットIDACの0.5Isbへのセットリング時間	-	-	10	μ s	本格的な移行。外部負荷なし
サイド325	CMOD ; CMOD	外部変調器コンデンサ	-	2.2	-	nF ; nF	5-V定格、X7RまたはNPOキャップ

電気仕様

6.3.3 10ビットCAPSENSE™ADC

表13 10ビットCAPSENSE™ADC仕様

仕様ID	パラメータ ; パラメータ	説明	最小値	タイプ ; プラップ	最大 ; 最大	ユニット	詳細/条件
サイド94	A_RES	解決	-	-	10	ビット	自動ゼロ化はミリ秒ごとに必要な
サイド95	A_CHNLS_S	チャンネル数-シングルエンド	-	-	16		AMUXバスによって定義されます
サイド97	A-モノ	単調性	-	-	-	はい	-
サイド98	a_ゲイナ	利得誤差	-	-	±2	%	V _{DDA} バイパス容量 10 μf の V _{REF} (2.4v) モードで
サイド99	a_オフセット	入力オフセット電圧	-	-	3	mV ; mV	V _{DDA} バイパス容量 10 μf の V _{REF} (2.4v) モードで
サイド100	アイサール	電流消費	-	-	0.25	mA ; mA	-
サイド101	A_VINS	入力電圧範囲-単端	V _{SSA} ; V _{SSA}	-	V _{DDA}	V.	-
サイド103	a_インレス	入力抵抗	-	2.2	-	か	-
サイド104	a_インキャップ	入力容量	-	20	-	pF ; pF	-
サイド106	A_PSRR	電源拒絶率	-	60	-	dB ; dB	V _{DDA} バイパス容量 10 μf の V _{REF} (2.4v) モードで
サイド107	A_TACQ	サンプル取得時間	-	1	-	μs	-
サイド108	A_CONV8	変換レート=F _{clk} /(2 ^(N+2))での8ビット解像度の変換時間。クロック周波数=48 MHz。	-	-	21.3	μs	取得時間は含まれていません。取得時間を含めて 44.8ksps に相当します。
サイド108a	A_CONV10	変換レート=F _{clk} /(2 ^(N+2))での10ビット解像度の変換時間。クロック周波数=48 MHz。	-	-	85.3	μs	取得時間は含まれていません。取得時間を含めて 11.6ksps に相当します。
サイド109	A_SND	シグナル対ノイズおよび歪み比(SINAD)	-	61	-	dB ; dB	10hz 入力正弦波、外部2.4-V参照、V参照(2.4v)モード付き
サイド110	A_BW	エイリアスなしの入力帯域幅	-	-	22.4	kHz ; kHz	8ビット解像度

表13 10ビットCAPSENSE™ADC仕様(続き)

仕様ID	パラメータ ; パラメータ	説明	最小値	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド 111	A_INL	積分非線形性。 1 ksp	-	-	2	LSBの	V REF=2.4v以上
サイド 112	A_DNL	微分非線形性。 1 ksp	-	-	1	LSBの	-

6.4 デジタル周辺機器

6.4.1 タイマーカウンタパルス幅変調器 (TCPWM)

表14 TCPWM仕様

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイ ; プ ; イ ; タ ; プ	最大 ; 最大 ; 最大	ユ ; ニ ; ッ ; ト	詳細/条件
SID.TCPWM.1	ITCPWM1	ブロック電流 3mhzでの消費量	-	-	45	μ a	すべてのモード (TCPWM)
SID.TCPWM.2	ITCPWM2	ブロック電流 12mhzでの消費量	-	-	155		すべてのモード (TCPWM)
SID.TCPWM.2A	ITCPWM3	ブロック電流 48 MHzでの消費量	-	-	650		すべてのモード (TCPWM)
SID.TCPWM.3	TCPWM _{FREQ}	動作周波数	-	-	Fc ; Fc	MHzの	Fc max = CLK_SYS 最大=48 MHz
SID.TCPWM.4	TPWM _{ENEXT}	入力トリガパルス幅	2/Fc	-	-	ns	すべてのトリガ イベントにつ いて[6]
SID.TCPWM.5	TPWMエク スト	出力トリガパルス幅	2/Fc	-	-		オーバーフ ロー、アン ダーフ ロー、およ びCC (カウンタ ーは比較 値に等し い)出力 の可能な 最小幅
SID.TCPWM.5A	TCレース	カウンターの解像度	1/Fc	-	-		連続カウ ント間の 最小時間
SID.TCPWM.5B	PWM _{RES}	PWM解像度	1/Fc	-	-		PWM出力 の最小パ ルス幅
SID.TCPWM.5C	Q _{RES}	直交入力解像度	1/Fc	-	-		直交位相 入力間の 最小パルス 幅

注記

6. トリガーイベントは、選択された動作モードに応じて、停止、開始、リロード、カウント、キャプチャ、またはキルにすることができます。

6.4.2 I²C

表15固定I²C DC仕様[7]

スペックIDパラメータの説明			最小	タイプ	最大	単位	条件	注
SID149	I _{I2C1}	Block current at 10	消費量	50	-			μA
SID150	I _{I2C2}	Block current at 40	消費量	135	-			
SID151	I _{I2C3} Bal to 10	Block current	消費量	310	-			
SID152	I _{I2C4} モード	I ² Cは深い睡眠で有効になっています		-	-	1.4		-

表16固定I²C CAC仕様[7]

仕様ID	パラメータ ; パラメータ	説明	最小値	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド 153	F _{I2C1}	ビットレート	-	-	1	Mbps	-

注記
7. 特性化によって保証されます。

6.4.3 スパイ ; スパイ

表17 SPI DC仕様[7]

仕様ID	パラメータ記述	最小	タイプ	最大	単位	Default	条件
SID163	SPI 1 Bal to 1ckMcurbpsrent消費--360-						
SID164	SPI 2 Bal to 4ckMcurbpsrent消費--560μA-						
SID165	SPI 3バルト0ckMcurbpsrent消費量--600-						

表18スパイク仕様[7]

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット	詳細 / 条件
サイド 166	FSPI	SPI 動作周波数 (マスター ; 6倍のオーバーサンプリング)	-	-	8	MHzの	-
固定SPI マスターモードAC仕様							
サイド 167	TDMO ; TDMO	モシはスクロック 駆動エッジ後に有効です	-	-	15	ns	-
サイド 168	TDSI ; TDSI	スクロックキャプチャエッジ前に有効味増	20	-	-		フルクロック、遅くなる味増サンプリング
サイド 169	TMO ; TMO	以前のMOSI データ保持時間	0	-	-		奴隷と呼ばれる捕捉エッジ
固定SPI スレーブモードAC仕様							
サイド 170	TDMI ; TDMI	スクロックキャプチャエッジの前に有効なMOSI	40	-	-	ns	-
サイド 171	TDSO	スクロック 駆動エッジ後有効味増	-	-	$42 + (3 \times T_{cpu})$		$T_{CPU} = 1/F_{CPU}$
サイド 171a	TDSO_EXT	外部クロックモードでのクロック 駆動エッジの後に有効MISO	-	-	48		-
サイド 172	そこで	前味増データ保持時間	0	-	-		-
サイド 172a	ツセルスック	SSELは最初のSCK有効エッジに有効です	100	-	-	ns	-

6.4.4 ウアート ; ウアート

表19 UART DC仕様[8]

仕様ID	パラメータ ; パラメータ	説明	最小値	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド 160	I _{UART1}	100 Kbpsで消費電流をブロックする	-	-	55	μ a	-
サイド 161	アイウアート2	1000 Kbpsで消費電流をブロックする	-	-	312	μ a	-

表20 UART AC仕様[8]

仕様ID	パラメータ ; パラメータ	説明	最小値	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド 162	フアート ; フアート ; フアート	ビットレート	-	-	1	Mbps	-

6.4.5 LCD直接ドライブ

表21 LCD直接ドライブDC仕様[8]

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド 154	イルクドロー	低電力モードでの動作電流	-	5	-	μ a	16 × 4小セグメント di sp. 50 ヘルツで
サイド 155	C _{LCD CAP}	セグメントあたりのLCD容量/共通ドライバ	-	500	5000	pF ; pF	-
サイド 156	LCDオフセット	長期セグメントオフセット	-	20	-	mV ; mV	-
サイド 157	イルクドップ1	LCD システム 動作電流 Vbias=5 V	-	2	-	ママ母 ;	32 × 4セグメント。 50 Hz. 25
サイド 158	イルクドップ2	LCD システム 動作電流 Vbias=3.3v	-	2	-		32 × 4セグメント。 50 Hz. 25

表22 LCDダイレクトドライブAC仕様[8]

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド 159	FLCDの	LCDフレームレート	10	50	150	ヘルツ	-

注記

8. 特性化によって保証されます。

電気仕様

6.5 メモリ

6.5.1 フラッシュ

表23フラッシュDC仕様

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド173	V _{PE}	消去およびプログラム電圧	1.71	-	5.5	V.	-

表24フラッシュAC仕様

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド174	トロウライト[9]	行(ブロック)書き込み時間(消去およびプログラム)	-	-	20	msの	行(ブロック)=128バイト
サイド175	トロヴェラセ[9]	行消去時間	-	-	16		-
サイド176	トロウプログラム[9]	消去後の行プログラム時間	-	-	4		-
サイド178	トブルケラーゼ[9]	バルク消去時間(32 KB)	-	-	35		-
SID180 ^[10]	T _{DEVPROG} ^[9]	総装置番組時間	-	-	7	秒	-
SID181 ^[10]	防御する	フラッシュ耐久性	100 K	-	-	サイクル	-
SID182 ^[10]	不安を感じる	フラッシュ保持。TA 55、100 K P/Eサイクル。	20	-	-	年	-
SID182A ^[10]	-	フラッシュ保持。TA 85、10 K P/Eサイクル。	10	-	-		-
SID182B ^[10]	フレットク	フラッシュ保持。TA 105°C、10 K P/Eサイクル、TA 85°Cで3年以下。	10	-	20		~によって保証される特性評価
サイド256	TWS48	48 MHzの待機状態数	2	-	-	-	フラッシュからのCPU実行
サイド257	TWS24	24mhzの待機状態数	1	-	-	-	フラッシュからのCPU実行

ノート

9. フラッシュに書き込むのに最大20ミリ秒かかる場合があります。この間、デバイスをリセットする必要はありません。または、フラッシュ操作が中断され、完了したと信頼することはできません。リセットソースには、XRESピン、ソフトウェアリセット、CPUロックアップ状態と権限違反、不適切な電源レベル、ウォッチドッグが含まれます。これらが誤ってアクティブにされないことを確認してください。

10. 特性評価によって保証されます。

電気仕様

6.6 システムリソース

6.6.1 電源オンリセット(POR)

表25 電源オンリセット (PRES)

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
SID. CLK	SR_POWER_UP	電源スルーレート	1	-	67	V/ms	電源アップと電源ダウン時に
SID185 ^[11]	Vライセイポール	上昇トリップ電圧	0.80	-	1.5	V.	-
SID186 ^[11]	Vファリボル	降下トリップ電圧	0.70	-	1.4		-

テーブル26 v ccdのブラウンアウト検出(BOD)

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
SID190 ^[11]	Vフォールポール	アクティブモードとスリープモードでのボッドトリップ電圧	1.48	-	1.62	V.	-
SID192 ^[11]	V _{FALLDPSLP}	深い睡眠時のボッドトリップ電圧	1.11	-	1.5		-

6.6.2 SWDインターフェース

表27 SWDインターフェース仕様

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド213	F_SWDCCLK1	3.3 V vdd 5.5v	-	-	14	MHzの	SWDCLK 1/3cpu クロック周波数
サイド214	F_SWDCCLK2	1.71 V vdd 3.3v	-	-	7		SWDCLK 1/3cpu クロック周波数
SID215 ^[11]	T_SWDI_セッ アップ	T = 1/f SWDCLK	0.25 × T	-	-	ns	-
SID216 ^[11]	T_SWDI_ホ ールド	T = 1/f SWDCLK	0.25 × T	-	-		-
SID217 ^[11]	T_SWDO_有 効	T = 1/f SWDCLK	-	-	0.5 × T		-
SID217A ^[11]	T_SWDO_ホ ールド	T = 1/f SWDCLK	1	-	-		-

ノート

11. 特性化によって保証されます。

6.6.3 内部主発振器 (IM0)

表28 IM0 DC仕様
(設計により保証)

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド 218	イイモ1	48 MHzのIM0動作電流			250	μ a	
サイド 219	イイモ2	24 MHzのIM0動作電流			180	μ a	

表29 IM0 AC仕様

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
SID223 ^[13]	フィモトル1	24、32、48 MHz の周波数変動 (トリミング)			±2.0	%	40° C~85° C で、工業用温度範囲およびオリジナルの拡張工業用範囲部品の場合
SID223A ^[12, 13]					±2.5	%	40° C~105° C で、すべての拡張された工業用温度範囲部品について
SID223B ^[12, 13]					±2.0	%	30° C~105° C で、強化されたIM0拡張工業用温度範囲部品用
SID223C ^[12, 13]					±1.5	%	20° C~105° C で、強化されたIM0拡張工業用温度範囲部品用
SID223D ^[12, 13]					±1.25	%	0° C~85° C で、強化されたIM0拡張工業用温度範囲部品用
サイド226	トスターティモ	IM0起動時間			7	μ s	
サイド228	トジトルムシモ2	24 MHzでのRMSジッター		145		ps ; ps	

ノート

12. 拡張されたIM0拡張温度範囲部品は、元の拡張工業温度範囲部品を置き換えます。強化されたIM0拡張温度範囲部品を識別する方法については、KBA235887を参照してください。
13. 特性評価によって評価されます。はんだ付けやボードレベルの効果は考慮されません。

6.6.4 内部低速発振器 (ILO)

表30 ILO DC仕様
(設計により保証)

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
SID231 ^[14]	アイロ1	ILO動作電流	-	0.3	1.05	μ a	-

表31 ILO AC仕様

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
SID234 ^[14]	Tstartilo 1	ILO起動時間	-	-	2	msの	-
SID236 ^[14]	タイロデューティ	イロデューティサイクル	40	50	60	%	-
サイド237	フィロトリム1	ILO周波数範囲	20	40	80	kHz ; kHz	-

6.6.5 ウォッチクリスタルオシレーター (WCO)

表32時計水晶発振器 (WCO) 仕様

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド398	FWCOの	結晶周波数	-	32.768	-	kHz ; kHz	-
サイド399	フトル ; フトル	周波数公差	-	50	250	ppm ; ppm	20ppm結晶付き
サイド400	ESR ; ESR	等価直列抵抗	-	50	-	か	-
サイド401	PD ; PD	ドライブレベル	-	-	1	μ w	-
サイド402	トスタートする	起動時間	-	-	500	msの	-
サイド403	CL ; CL	結晶負荷容量	6	-	12.5	pF ; pF	-
サイド404	C0	結晶分流容量	-	1.35	-	pF ; pF	-
サイド405	IWCO1	動作電流 (ハイパワーモード)	-	-	8	μ a	-
サイド406	IWCO2	動作電流 (低電力モード)	-	-	1	μ a	-

ノート

- 特性評価によって保証されます。
- 工業用温度範囲部品の場合、最高温度は85° Cです。

6.6.6 外部時計

表33外部時計仕様

仕様ID	パラメータ ; パラメータ	説明	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
SID305 ^[16]	エクストクルクフレック	外部クロック入力周波数	0	-	48	MHzの	-
SID306 ^[16]	エクスクルクデューティ	デューティサイクル ; V _{DD} /2で測定される	45	-	55	%	-

6.6.7 クロック

表34 時計仕様

仕様ID	パラメータ ; パラメータ	説明	最小値	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
SID262 ^[16]	T _{CLKSWITCH}	システムクロックソース切り替え時間	3	-	4	期間	-

6.6.8 スマートなI/Oパススルー時間

テーブル35スマートI/Oパススルー時間 (バイパスモードの遅延)

仕様ID	パラメータ ; パラメータ	説明	最小値	タイプ ; タイプ	最大 ; 最大	ユニット	詳細/条件
サイド 252	PRG_バイパス	バイパスモードでのスマートI/Oによって追加された最大遅延	-	-	1.6	ns	-

注記

16. 特性評価によって保証されます。

7 注文情報

PSoC™4000Sの部品番号と機能を表36に示します。

表36 PSoC™4000Sの注文情報

カテゴリ	製品	特徴												パッケージ						温度範囲
		24	16	2	0	0	1	0	2	5	2	8	21	✓	-	-	-	-	-	
4024	CY8C4024FNI-S402T	24	16	2	0	0	1	0	2	5	2	8	21	✓	-	-	-	-	-	-40 ~85
	CY8C4024LQI-S401	24	16	2	0	0	1	0	2	5	2	8	19	-	✓	-	-	-	-	
	CY8C4024LQI-S402	24	16	2	0	0	1	0	2	5	2	16	27	-	-	✓	-	-	-	
	CY8C4024AXI-S402	24	16	2	0	0	1	0	2	5	2	16	27	-	-	-	✓	-	-	
	CY8C4024LQI-S403	24	16	2	0	0	1	0	2	5	2	16	34	-	-	-	-	✓	-	
	CY8C4024AZI-S403	24	16	2	0	0	1	0	2	5	2	16	36	-	-	-	-	-	✓	
	CY8C4024FNI-S412T	24	16	2	0	1	1	0	2	5	2	8	21	✓	-	-	-	-	-	
	CY8C4024LQI-S411	24	16	2	0	1	1	0	2	5	2	8	19	-	✓	-	-	-	-	
	CY8C4024LQI-S412	24	16	2	0	1	1	0	2	5	2	16	27	-	-	✓	-	-	-	
	CY8C4024AXI-S412	24	16	2	0	1	1	0	2	5	2	16	27	-	-	-	✓	-	-	
	CY8C4024LQI-S413	24	16	2	0	1	1	0	2	5	2	16	34	-	-	-	-	✓	-	
	CY8C4024AZI-S413	24	16	2	0	1	1	0	2	5	2	16	36	-	-	-	-	-	✓	
CY8C4024AZQ-S413	24	16	2	0	1	1	0	2	5	2	16	36	-	-	-	-	-	✓	-40 ~105	
4025	CY8C4025FNI-S402T	24	32	4	0	0	1	0	2	5	2	8	21	✓	-	-	-	-	-	-40 ~85
	CY8C4025LQI-S401	24	32	4	0	0	1	0	2	5	2	8	19	-	✓	-	-	-	-	
	CY8C4025LQI-S402	24	32	4	0	0	1	0	2	5	2	16	27	-	-	✓	-	-	-	
	CY8C4025AXI-S402	24	32	4	0	0	1	0	2	5	2	16	27	-	-	-	✓	-	-	
	CY8C4025LQI-S403	24	32	4	0	0	1	0	2	5	2	16	34	-	-	-	-	✓	-	
	CY8C4025AZI-S403	24	32	4	0	0	1	0	2	5	2	16	36	-	-	-	-	-	✓	
	CY8C4025AZQ-S403	24	32	4	0	0	1	0	2	5	2	16	36	-	-	-	-	-	✓	-40 ~105
	CY8C4025FNI-S412T	24	32	4	0	1	1	0	2	5	2	8	21	✓	-	-	-	-	-	-40 ~85
	CY8C4025LQI-S411	24	32	4	0	1	1	0	2	5	2	8	19	-	✓	-	-	-	-	
	CY8C4025LQI-S412	24	32	4	0	1	1	0	2	5	2	16	27	-	-	✓	-	-	-	
	CY8C4025AXI-S412	24	32	4	0	1	1	0	2	5	2	16	27	-	-	-	✓	-	-	
	CY8C4025LQI-S413	24	32	4	0	1	1	0	2	5	2	16	34	-	-	-	-	✓	-	
CY8C4025AZI-S413	24	32	4	0	1	1	0	2	5	2	16	36	-	-	-	-	-	✓		
CY8C4025AZQ-S413	24	32	4	0	1	1	0	2	5	2	16	36	-	-	-	-	-	✓	-40 ~105	
4045	CY8C4045FNI-S412T	48	32	4	0	1	1	0	2	5	2	8	21	✓	-	-	-	-	-	-40 ~85
	CY8C4045LQI-S411	48	32	4	0	1	1	0	2	5	2	8	19	-	✓	-	-	-	-	
	CY8C4045LQI-S412	48	32	4	0	1	1	0	2	5	2	16	27	-	-	✓	-	-	-	
	CY8C4045AXI-S412	48	32	4	0	1	1	0	2	5	2	16	27	-	-	-	✓	-	-	
	CY8C4045LQI-S413	48	32	4	0	1	1	0	2	5	2	16	34	-	-	-	-	✓	-	
	CY8C4045AZI-S413	48	32	4	0	1	1	0	2	5	2	16	36	-	-	-	-	-	✓	
	CY8C4045AZQ-S413	48	32	4	0	1	1	0	2	5	2	16	36	-	-	-	-	-	✓	-40 ~105

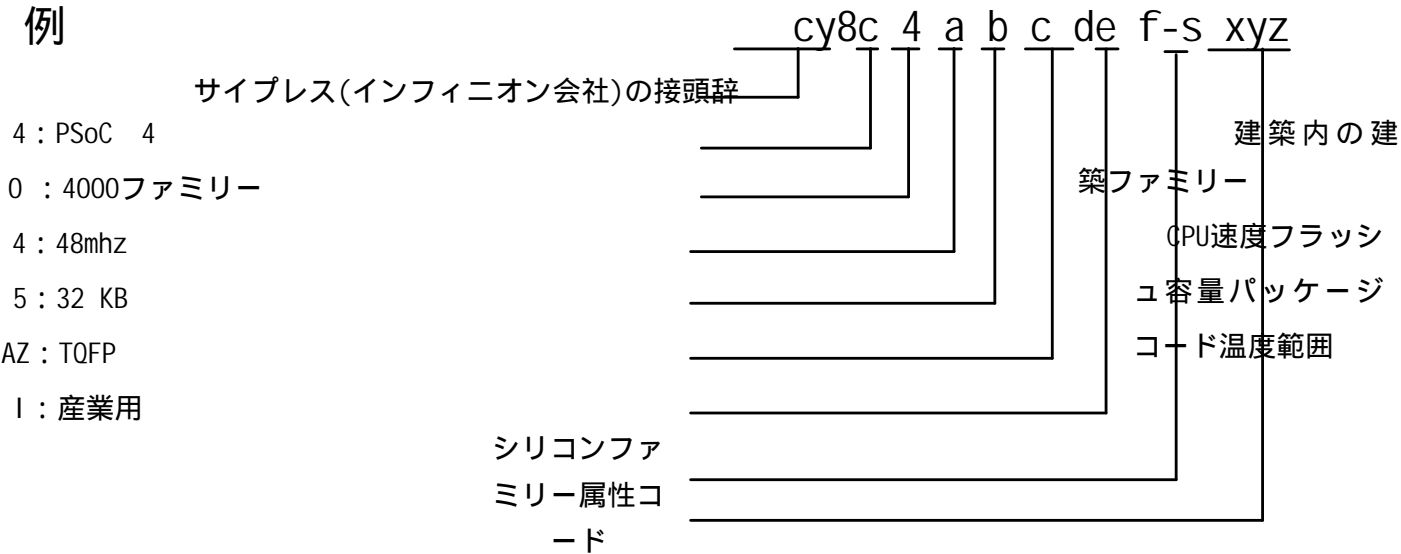
注文情報

前の表で使用する命名法は、次の部品番号付け規則に基づいています。

分野	説明	値 ; 値	意味のある
CY8C	接頭辞 ; 接頭辞 ; 接頭辞	-	-
4	建築 ; 建築	4	PSoC™ 4
A.	家族	0	4000家族
(B)	CPU速度	2	24 MHzの
		4	48 MHzの
C	点滅容量	4	16 KBの
		5	32 KBの
		6	64 KBの
		7	128 KBの
デ ; デ	パッケージコード	斧 ; 斧 ; 斧	TQFP(0.8-mmピッチ)
		AZ ; AZ	TQFP(0.5-mmピッチ)
		LQ ; LQ	QFN ; QFN
		PV ; PV	スソップ ; スソップ
		FNの	CSP ; CSP
F.	温度範囲	I.	工業的な
		Q.	拡張工業的
S	シリーズ指定子	S	PSoC™ Sシリーズ
		メートル	PSoC™ Mシリーズ
		L	PSoC™ Lシリーズ
		BL ; BL	PSoC™ BLEシリーズ
XYZ ; XYZ	属性コード	000-999	特定のファミリーでセットされた機能のコード

以下は、部品番号の例である。

例



8 包装

PSoC™4000Sは、48LD TQFP、40L QFN、32リードQFN、24L QFN、32LD TQFP、および25ボールWLCSPパッケージで提供されます。

パッケージ寸法とインフィニオン図面番号は次の表にあります。

表37パッケージ一覧

仕様ID	パッケージ	説明	パッケージ図面
ビド20	48LD TQFP	7 × 高さ7 × 1.4mmピッチ0.5mm	51-85135
ビド27	40L QFN	6 × 高さ6 × 0.6mmピッチ0.5mm	001-80659
BID34A	32 リードQFN	5 × 高さ5 × 0.6mmピッチ0.5mm	001-42168
ビド34	24L QFN	4 × 高さ4 × 0.6mm、ピッチ0.5mm	001-13937
BID34G	32LD TQFP	7 × 高さ7 × 1.4mm、ピッチ0.8mm	51-85088
BID34F	25ボールWLCSP	2.02 × 高さ1.93 × 0.48mmピッチ0.35-mm	002-09957

表38パッケージ熱特性

パラメータ ; パラメータ	説明	パッケージ	分 ; 分 ; 分	タイプ ; タイプ	最大 ; 最大	ユニット
タイの	運転周囲温度	-	-40	25	105	°C
TJ ; TJ	動作接合温度	-	-40	-	125	°C
T _{JA}	パッケージ j a	48LD TQFP	-	73.5	-	°C/W
T _{JC}	パッケージ j c	48LD TQFP	-	33.5	-	°C/W
T _{JA}	パッケージ j a	40L QFN	-	17.8	-	°C/W
T _{JC}	パッケージ j c	40L QFN	-	2.8	-	°C/W
T _{JA}	パッケージ j a	32 リードQFN	-	20.8	-	°C/W
T _{JC}	パッケージ j c	32 リードQFN	-	5.9	-	°C/W
T _{JA}	パッケージ j a	24L QFN	-	21.7	-	°C/W
T _{JC}	パッケージ j c	24L QFN	-	5.6	-	°C/W
T _{JA}	パッケージ j a	32LD TQFP	-	29.4	-	°C/W
T _{JC}	パッケージ j c	32LD TQFP	-	3.5	-	°C/W
T _{JA}	パッケージ j a	25ボールWLCSP	-	40	-	°C/W
T _{JC}	パッケージ j c	25ボールWLCSP	-	0.5	-	°C/W

表39はんだリフローピーク温度

パッケージ	最高ピーク温度	ピーク温度での最大時間
全ての	260 °C	30秒

表40パッケージ湿気感度レベル(MSL)、IPC/JEDEC J-STD-020

パッケージ	MSLの
WLCSPを除くすべて	MSL 3
25ボールWLCSP	MSL 1

8.1 パッケージ図

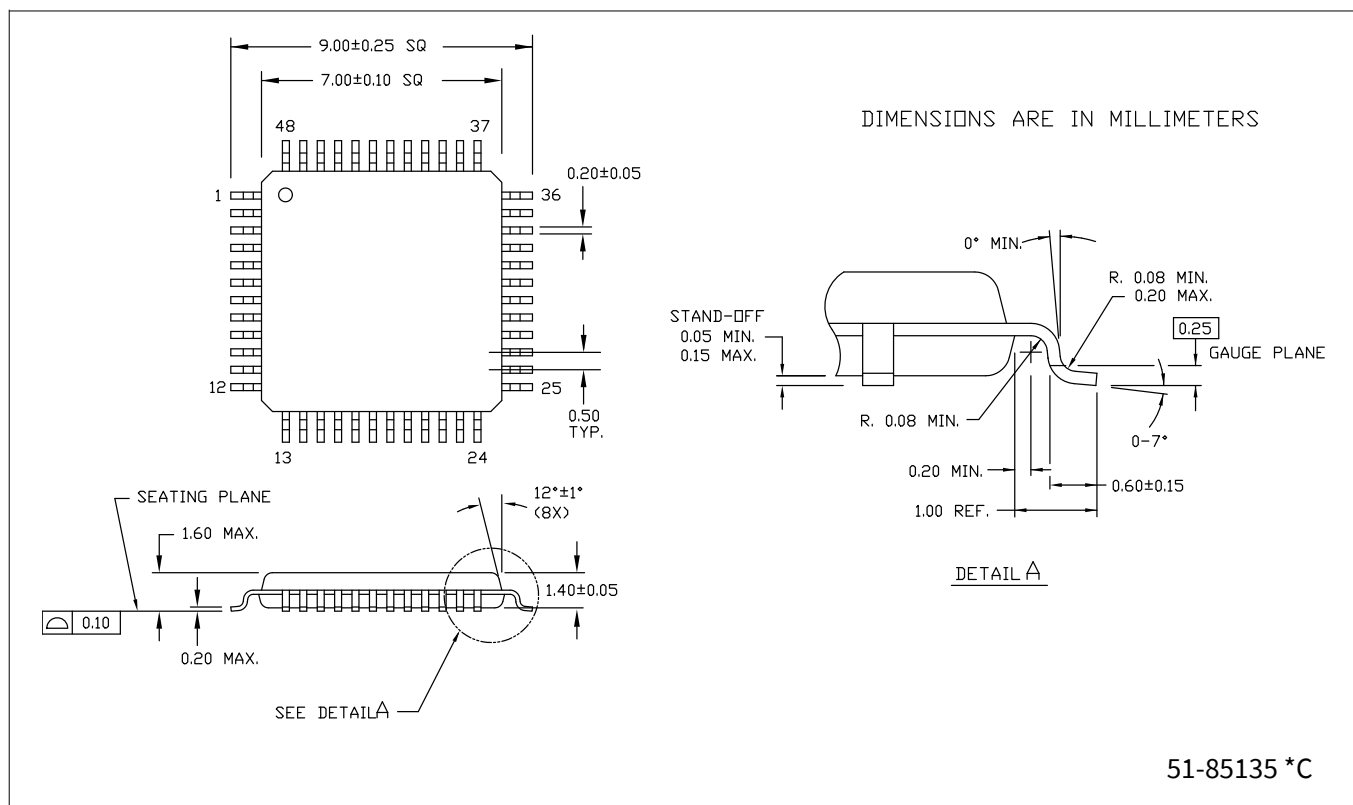


図6 48LD TQFP 7 × 7 × 1.4 MMA48、パッケージの概要、(PG-TQFP-48)

包装

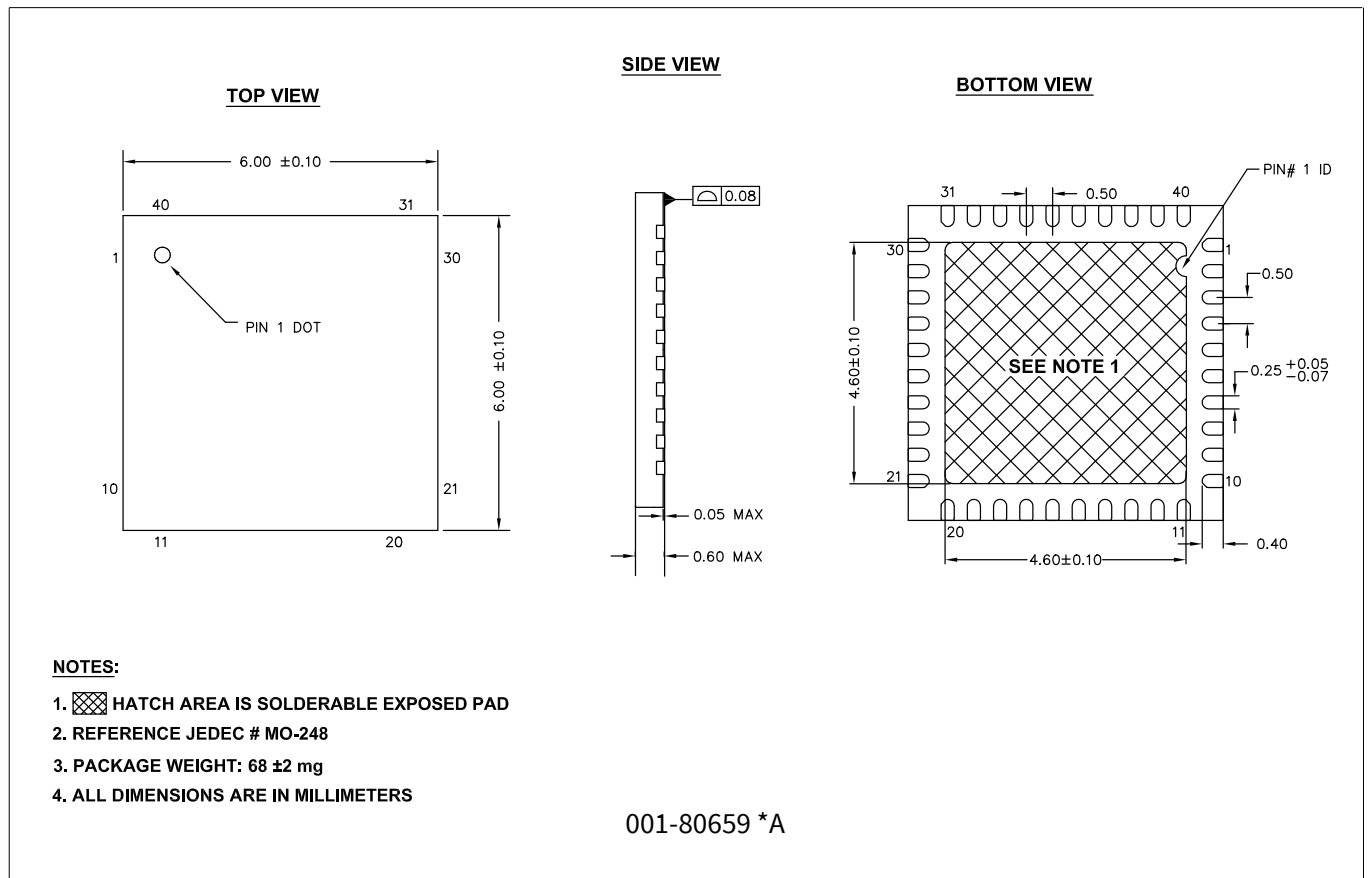
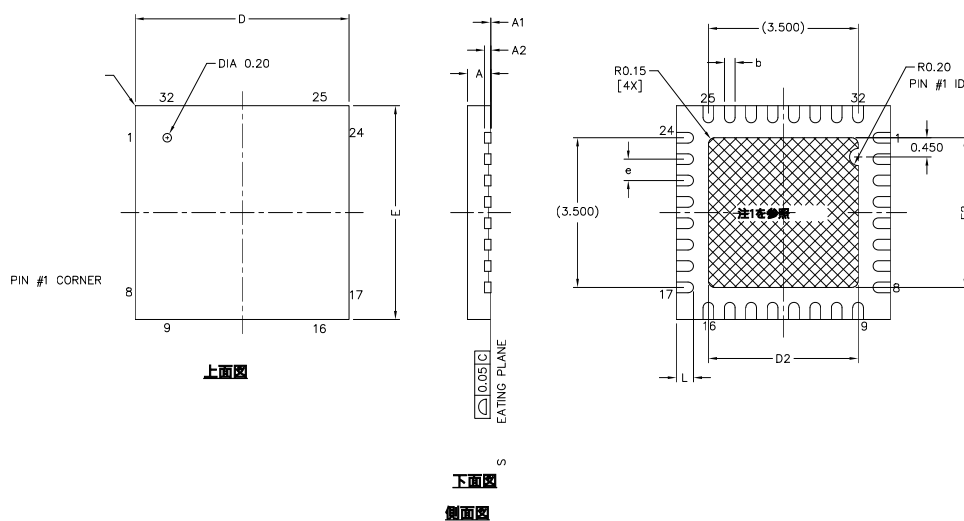


図7 40LQFN 6 × 6 × 0.6mm Ir40a/LQ40A 4.6 × 4.6 Eパッド(ソー)、パッケージ概要、(PG-VQFN-40)

包装



シンボル: シンボル	寸法; 寸法		
	分。	名前。	最大。
A	0.50	0.55	0.60
A1	-	0.020	0.045
A2	0.15 BSC; BSC		
D	4.90	5.00	5.10
D2	3.40	3.50	3.60
P	4.90	5.00	5.10
E2	3.40	3.50	3.60
L	0.30	0.40	0.50
—	0.18	0.25	0.30
...	0.50 タイプ; タイプ		

注:

1. ハッチエリアははんだ付け可能な露出パッドです
2. REF JEDECに基づいて
3. パッケージ重量: 0.0388g
4. 寸法はミリメートルです

001-42168 *F

図8 32リードQFN 5.0 × 5.0 × 0.55mm Iq32/LQ32B 3.5 × 3.5mm epad(ソー)、パッケージ概要、(PG-VQFN-32)

包装

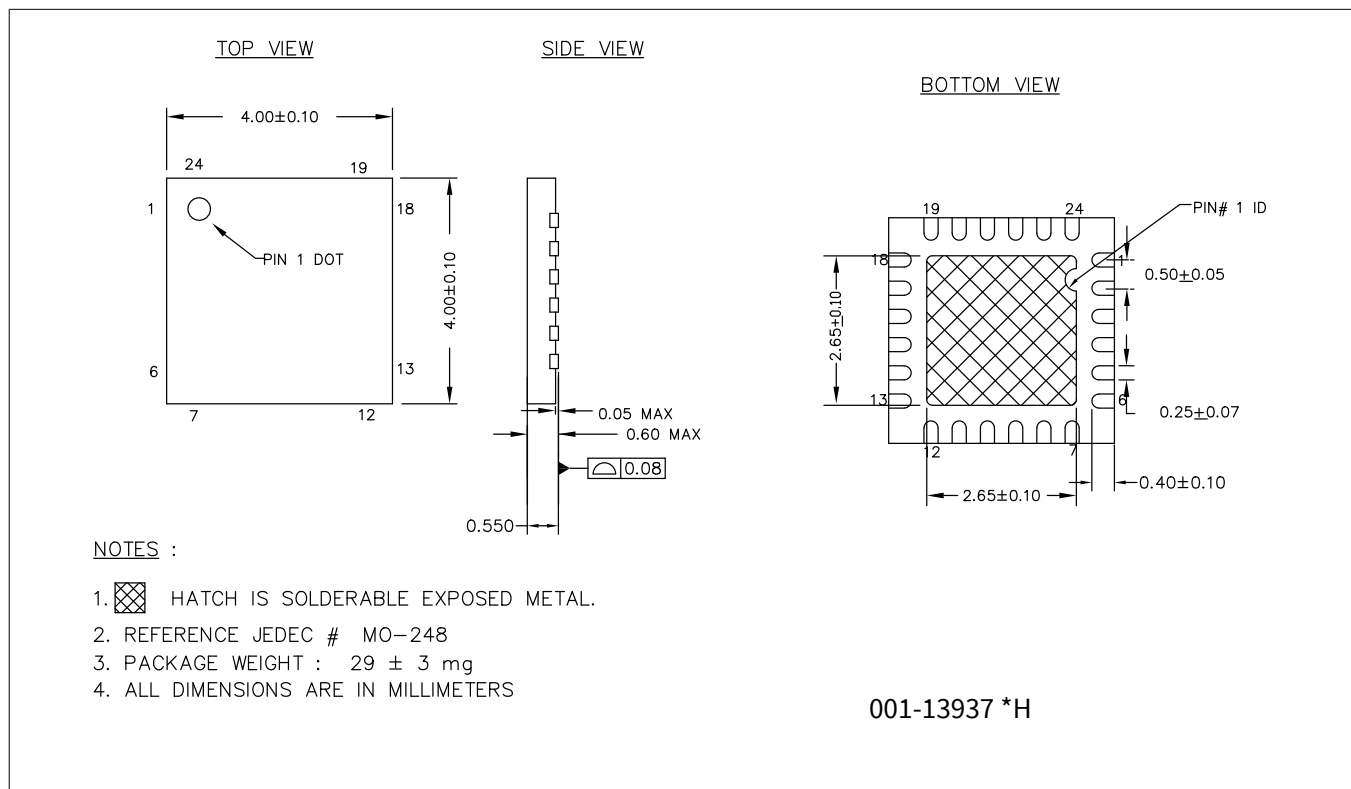


図9 24L QFN 4 × 4 × 0.60mm Iq24a/LQ24B 2.65 × 2.65 EPAD(ソー)、パッケージ概要、(PG-VQFN-24)

最良の機械的、熱的、電気的性能を得るために、QFNパッケージのセンターパッドをグランド(VSS)に接続する必要があります。グランドに接続されていない場合は、電氣的にフローティングし、他の信号に接続されていない必要があります。

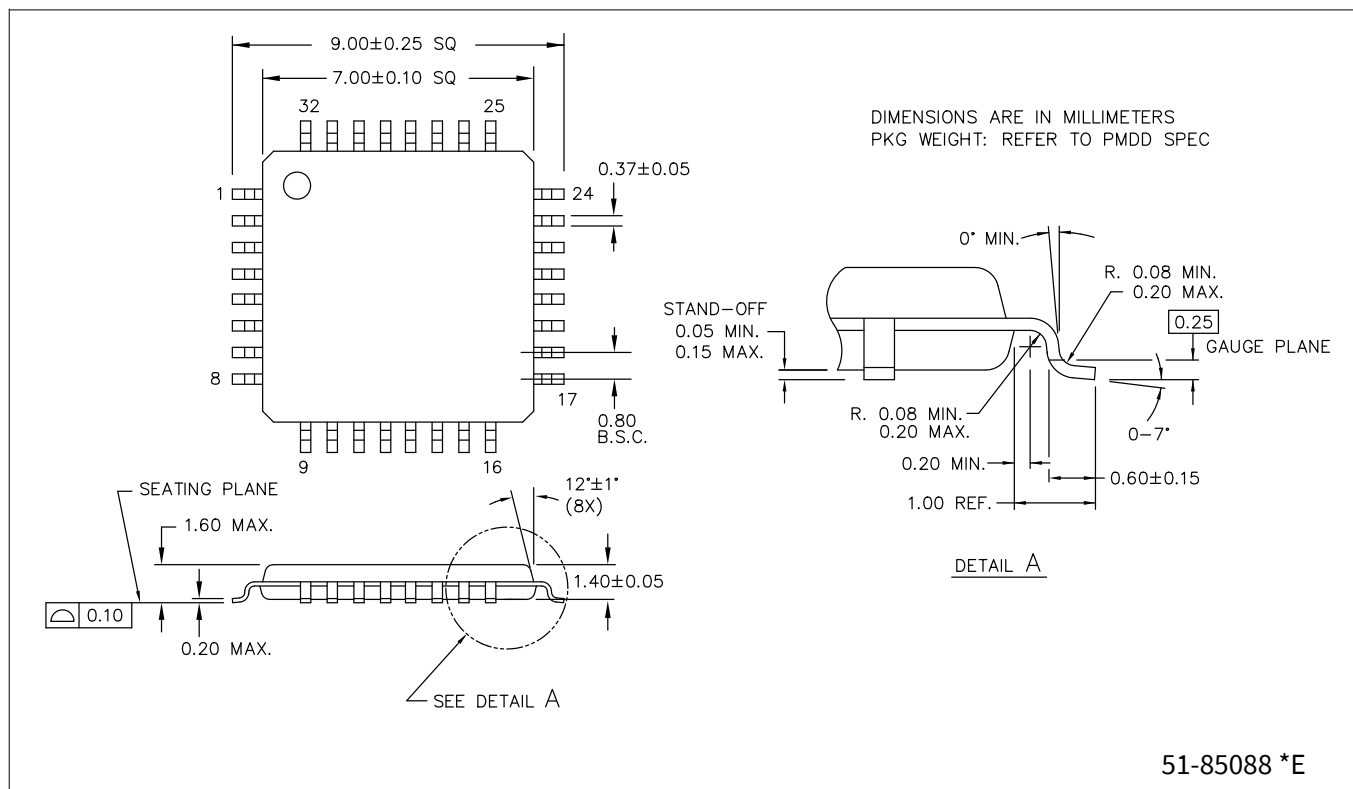


図10 32LD TQFP 7 × 7 × 1.4 MMA3214、パッケージ概要(PG-TQFP-32)

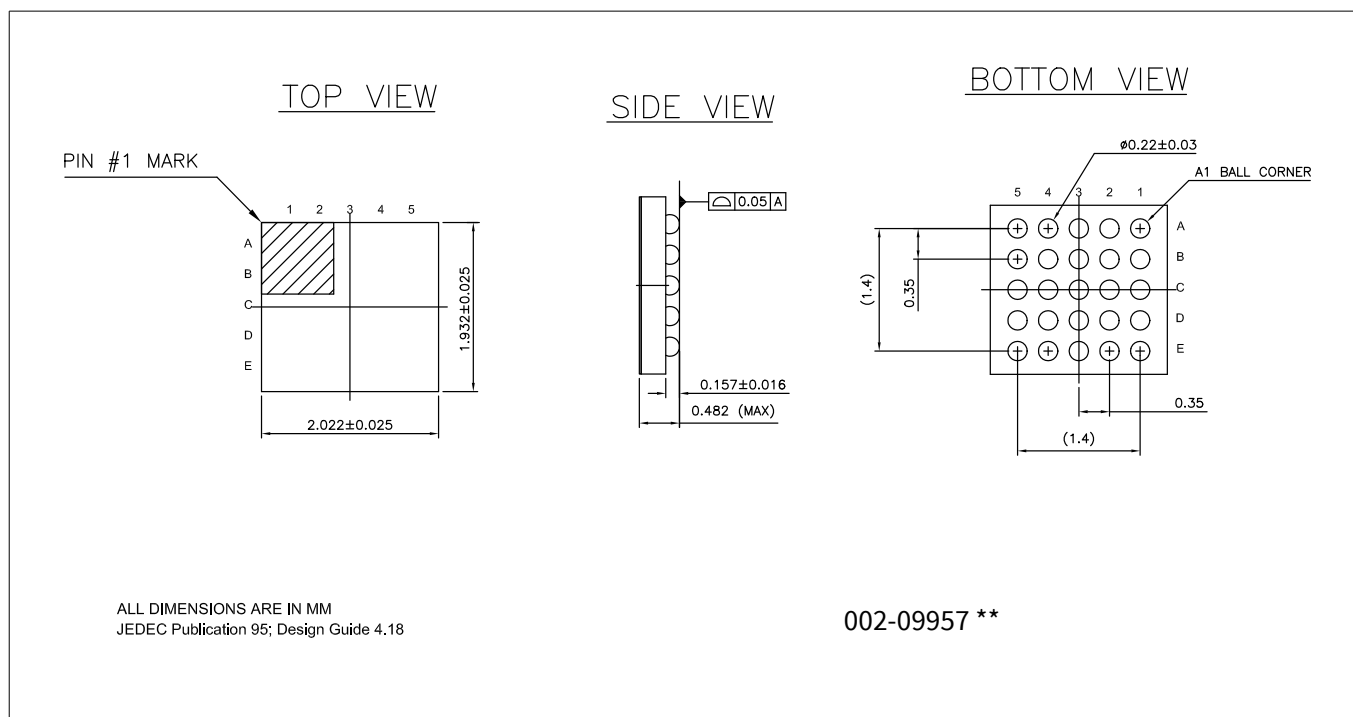


図11 PSoC™4A1 WLCSP 2.02 × 1.93 × 0.48mm、FN25C、パッケージ概要(SG-XFWLB-25)

9 頭字語

テーブル41 このドキュメントで使用される頭字語

頭字語	説明
アバス ; アバス ; アバス	アナログローカルバス
ADC ; ADC	アナログデジタル変換器
AG ; AG	アナロググローバル
アープ ; アープ	AMBA(高度なマイクロコントローラバスアーキテクチャ)ハイパフォーマンスバス、アーム®データ転送バス
アル ; アル	演算論理部
アムクスバス	アナログマルチプレクサバス
API ; API	アプリケーションプログラミングインターフェース
APSR ; APSR	アプリケーションプログラムステータスレジスタ
アーム®	高度なRISCマシン、CPUアーキテクチャ
ATM ; ATM	自動タンプモード
BW ; BW	帯域幅
缶 ; 缶	コントローラエリアネットワーク、通信プロトコル
CMRR ; CMRR	コモンモード拒絶比
CPU ; CPU	中央処理ユニット
CRC ; CRC	エラーチェックプロトコルである循環冗長チェック
ダック ; ダック ; ダック	デジタルからアナログへのコンバータ、IDAC、VDACも参照
DFB ; DFB	デジタルフィルタブロック
ディオ ; デイオ	デジタル入出力、デジタル機能のみを備えたGPIO、アナログはありません。GPIOを参照してください。
DMIPS	Dhrystone毎秒100万命令
DMA ; DMA	直接メモリアクセス、TDも参照してください
DNL ; DNL	微分非線形性、INLも参照してください
DNU ; DNU	~を使わない
医師 ; 医師	ポート書込みデータレジスタ
DSI ; DSI	デジタルシステム相互接続
DWT ; DWT	データウォッチポイントとトレース
ECC ; ECC	誤り訂正コード
エコ ; エコ	外部結晶発振器
イープロム	電気消去可能なプログラム可能読み取り専用メモリ
エミ ; エミ	電磁干渉
エミフ ; エミフ	外部メモリインターフェース
EOC ; EOC	変換終了
EOFの	フレームの最後
EPSRの	実行プログラム状態レジスタ
ESD ; ESD	静電放電
ETM ; ETM	埋め込みトレースマクロセル
モミ ; モミ	有限インパルス応答、IIRも参照

頭字語

表41このドキュメントで使用する頭字語（続き）

頭字語	説明
FPB ; FPB	フラッシュパッチとブレークポイント
FS ; F	フルスピード
GPIO	汎用入出力、PSoC™ピンに適用
HVI ; HVI	高電圧割り込み、LVI、LVDも参照
IC ; IC	集積回路
アイダック ; アイダック ; アイダック	現在のDAC、DAC、VDACも参照してください
アイト ; アイト ; アイト	統合開発環境
I 2 C、またはIIC	通信プロトコルである集積間回路
イヤー ; イヤー	無限のインパルス応答、モミも参照
イロ ; イロ ; イロ	内部低速発振器、IMOも参照してください
イモ ; イモ	内部主発振器、ILOも参照してください
インル ; インル	積分非線形性、DNLも参照
I/O	入出力、GPIO、DIO、SIO、USBIOも参照してください。
イボル ; イボル ; イボル	初期電源オンリセット
IPSR ; IPSR	割り込みプログラム状態レジスタ
IRQ ; IRQ	割り込み要求
ITM ; ITM	計装トレースマクロセル
LCD ; LCD	液晶ディスプレイ
リン ; リン ; リン	通信プロトコルであるローカル相互接続ネットワーク。
LR ; LR	リンクレジスタ
ラット ; ラット ; ラット	検索テーブル
LVD ; LVD	低電圧検出、LVI も参照
LVI ; LVI	低電圧割り込み、HVI も参照
LVTTL	低電圧トランジスタ-トランジスタ論理
マック ; マック ; マック	乗算蓄積する
MCU ; MCU	マイクロコントローラ装置
味噌 ; 味噌	マスターインスレーブアウト
NCの	接続なし
NMI ; NMI	非マスキング割り込み
NRZ ; NRZ	ゼロに戻っていない
NVICの	ネストベクトル割り込みコントローラ
NVL	不揮発性ラッチ、WOLも参照
オパンプ ; オパンプ	演算増幅器
友達 ; 友達	プログラム可能なアレイロジック、PLDも参照
PC ; PC ; PC	プログラムカウンタ
PCBの	プリント回路基板
PGAの	プログラマブル利得増幅器
パブ ; パブ ; パブ	周辺ハブ
フィー ; フィー	物理層
ピク ; ピク	ポート割り込み制御部

頭字語

表41このドキュメントで使用される頭字語（続き）

頭字語	説明
プラ ; プラ	プログラマブル論理配列
PLDの	プログラム可能な論理デバイス、PALも参照してください
PLL	位相ロックループ
PMDD ; PMDD	パッケージ材料申告データシート
ポール ; ポール	電源オンリセット
プレス	正確な電源オンリセット
PRS ; PRS	疑似ランダム配列
PS ; PS	ポート読み取りデータレジスタ
PSoC™	プログラム可能なシステムオンチップ™
PSRR	電源拒絶率
PWM ; PWM	パルス幅変調器
ラム ; ラム ; ラム	ランダムアクセスメモリ
リスク ; リスク	縮小命令集合計算
RMSの	平均二乗根
RTC ; RTC	リアルタイム時計
RTL ; RTL	登録転送言語
RTRの	遠隔送信要求
RX ; RX	受け取る
サールの	連続近似レジスタ
SC/CT	スイッチングコンデンサ/連続時間
SCL ; SCL	I ² Cシリアルクロック
SDA ; SDA	I ² Cシリアルデータ
S/H	サンプリング&ホールド
シナド ; シナド	信号対雑音および歪み比
シオ ; シオ	特別な入出力、高度な機能を備えたGPIO。GPIOを参照してください。
ソック ; ソック	変換の開始
SOF ; SOF	フレームの開始
スパイ ; スパイ	シリアル周辺インターフェース、通信プロトコル
SR ; SR	スルーレート
スラム ; スラム ; スラム	静的ランダムアクセスメモリ
SRES ; SRES	ソフトウェアリセット
SWD ; SWD	シリアルワイヤーデバッグ、テストプロトコル
SWV ; SWV	シングルワイヤービューア
TD ; TD	トランザクション記述子、DMAも参照してください
THD ; THD	全高調波歪み
ティア ; ティア ; ティア	トランスインピーダンス増幅器
TRM ; TRM	技術参照マニュアル
TTLの	トランジスタ-トランジスタ論理
TX ; TX	送信する ; 送信する
ウアート ; ウアート	通信プロトコルであるユニバーサル非同期送信機受信機

頭字語

表41このドキュメントで使用される頭字語（続き）

頭字語	説明
UDB ; UDB	ユニバーサルデジタルブロック
USB ; USB	ユニバーサルシリアルバス
USB	USB入出力、USBポートへの接続に使用されるPSoCピン
ヴァーダック	電圧DAC、DAC、IDACも参照してください
WDT ; WDT	ウォッチドッグタイマー
ウォル ; ウォル	ラッチを一度書きます。NVLも参照してください
ワイヤー ; ワイヤー ; ワイヤー	ウォッチドッグタイマーリセット
XRES	外部リセットI/Oピン
XTAL ; XTAL	結晶

10 文書規約

10.1 測定単位

表42測定単位

シンボル	測定単位
°C	摂氏度
dB ; dB	デシベル
fF ; fF	フェムト・ファラド
ヘルツ	ヘルツ
KBの	1024バイト
kbps ; kbps	1秒あたりキロビット
クール ; クール	キロ時間
kHz ; kHz	キロヘルツ
kΩ	キロオーム
ksps ; ksps	1秒あたりのキロサンプル
LSBの	最も重要なビット
Mbps	メガビット/秒
MHzの	メガヘルツ
m	メガオームの
Msps	1秒あたりのメガサンプル
μ a	マイクロアンペア
μ f	マイクロファラド
μ h	マイクロヘンリー
μ s	マイクロ秒
μ v	マイクロボルト
μ w	マイクロワット
ママ ; 母	ミリアムペア
msの	ミリ秒
mV ; mV	ミリボルト
nA ; nA	ナノアンペア
ns	ナノ秒
nV ; nV	ナノボルト
()	オーム
pF ; pF	ピコファラド
ppm ; ppm	百万当たりの部分
ps ; ps	ピコ秒
s.	2番目の
sps ; sps	1秒あたりのサンプル
スクルトズ	ヘルツの平方根
V.	ボルト

改訂履歴

文書バージョン	発売日	変更の説明
*G	2016-07-27	<p>予選から決勝にステータスを変更しました。</p> <p>更新された関数定義：</p> <p>更新された特殊機能周辺機器：</p> <p>更新されたLCDセグメントドライブ：</p> <p>更新された説明。</p> <p>更新された電気仕様：</p> <p>更新されたデバイスレベル仕様：</p> <p>更新テーブル4 (IDD5、IDD8、IDD11、IDD17に対応する更新詳細、IDD20、IDD23、IDD23A、IDD26、IDD29、IDD32、IDD_XRパラメータ)。</p> <p>更新されたGPIO：</p> <p>更新された表6(V OHパラメータと仕様ID SID60に対応する「詳細/条件」列の詳細が更新されました)。</p> <p>更新パッケージ：</p> <p>更新された表37 (25ボールWLCSPパッケージに対応する「説明」列の詳細 (更新されたパッケージ寸法))。</p> <p>表40を更新しました (25ボールのWLCSPパッケージと対応する詳細を追加しました)。</p> <p>サンセットレビューを完了します。</p>
*H	2016-09-14	<p>ドキュメント全体のすべてのインスタンスに40ピンのQFNパッケージ関連情報を追加しました。</p> <p>更新された電気仕様：</p> <p>更新されたデバイスレベル仕様：</p> <p>更新テーブル4 (IDD5、IDD8、IDD11、IDD17、IDD20、IDD23、IDD23A、IDD26、IDD29、IDD32、IDD_XRパラメータに対応する更新詳細)。</p> <p>更新パッケージ：</p> <p>更新されたパッケージ図：</p> <p>仕様001-80659*aを追加しました。</p>
*I	2017-01-09	<p>更新された電気仕様：</p> <p>すべてのインスタンスでPRGIOをスマートI/Oに置き換えました。</p>
*J	2017-04-26	<p>ヒノキのロゴと著作権を更新しました。</p>
*K	2017-11-17	<p>文書のタイトルを「PSoC®4 : PSoC 4000Sデータシートプログラム可能なチップシステム (PSoC®)」に更新しました。</p> <p>ドキュメント全体のすべてのインスタンスに32ピンのTQFPパッケージ関連情報を追加しました。</p> <p>更新された注文情報：</p> <p>更新された部品番号。</p> <p>更新パッケージ：</p> <p>更新されたパッケージ図：</p> <p>仕様001-42168-リビジョンを*Eから*Fに変更しました。</p> <p>仕様51-85088*Eを追加しました。</p>

文書バージョン	発売日	変更の説明
*L	2019-07-31	<p>更新された機能： 更新された32ビットMCUサブシステム： 更新された説明。 開発エコシステムを追加しました。 PSoC™クリエイターを追加しました。 更新された関数定義： 更新されたシステムリソース： 更新された電源システム： 更新された説明。 更新された時計クリスタル発振器(WCO)： 更新された説明。 更新された固定機能デジタル： 更新されたシリアル通信ブロック(SCB)： 更新された説明。 更新された特殊機能周辺機器： 更新されたLCDセグメントドライブ： 更新された説明。 更新されたピンアウト： 表1の下に追加された注記。 更新された電気仕様： 更新されたアナログ周辺機器： 更新されたCSDとIDAC： 更新された表12(V REF、V REF_EXT、およびV COMPIDACパラメータに対応する「詳細/条件」列の詳細が更新されました)。更新されたデジタル周辺機器： 更新されたSPI： 表18を更新しました(TSSELSSCKパラメータに対応するすべての値を更新しました)。 更新された注文情報： 更新された部品番号。 更新パッケージ： 更新されたパッケージ図： 仕様001-13937-リビジョンを*Fから*Gに変更しました。新しいテンプレートに更新されました。 サンセットレビューを完了します。</p>
*M	2020-11-20	<p>更新された機能： 「クロックソース」を追加しました。 「ModusTool box™ソフトウェア」を追加しました。 更新された開発エコシステム： 見出しの「詳細情報」を「開発エコシステム」に置き換えました。 更新された説明。 ModusTool box™ソフトウェアを追加しました。 更新された電気仕様： 更新されたデバイスレベル仕様： 見出しの下の説明で更新された温度範囲。 更新されたシステムリソース： 更新された電源オンリセット(POR)： 更新された表25。 更新された注文情報： 更新表36： 48ピンTQFPパッケージにQ-temp MPNsを追加しました。 更新パッケージ： 更新された表38。 新しいテンプレートに更新されました。</p>

文書バージョン	発売日	変更の説明
*N	2020-12-23	更新された注文情報： 更新された命名法： 温度範囲で詳細を更新して、「拡張産業」を表示します。
*O	2022-07-28	更新された表29：更新された仕様SID223およびSID223A。スペックSID223BからSID223Dを追加しました。 Infineonテンプレートに移行しました。
*P	2023-01-23	IMO AC仕様の脚注を更新しました。
*Q	2024-03-14	壊れたリンクを修正しました。 開発エコシステムを更新しました。 CY8C4024FNI -S402からCY8C4024FNI -S402Tへ、CY8C4024FNI -S412からCY8C4024FNI -S412Tへの更新製品、 CY8C4025FNI -S402~CY8C4025FNI -S402T、 CY8C4025FNI -S412~CY8C4025FNI -S412T、 表36のCY8C4045FNI -S412~CY8C4045FNI -S412T 図6、図7、図8、図9、図10、図11のIFXパッケージコードを備えた更新された梱包図タイトル 更新されたパッケージ。

商標

参照されているすべての製品またはサービス名および商標は、それぞれの所有者の財産です。

2024-03-14版

~によって出版される

インフィニオンテクノロジーAG
81726ミュニッヒ、ドイツ

©2024インフィニオンテクノロジーAG. すべての権利は所有されます。

この文書について質問はありますか？

電子メール：
erratum@infineon.com

文書参照002-00123
Rev. *Q

重要な通知

この文書に記載されている情報は、いかなる場合も条件または特性の保証と見なされません（「beschaffenheitsgarantie」）。

本明細書に記載されている事例、ヒント、または典型的な値および/または製品の適用に関する情報に関して、インフィニオンテクノロジーは、第三者の知的財産権を侵害しない保証を含むがこれに限定されない、あらゆる種類の保証および責任をここに免除します。

さらに、このドキュメントに記載されている情報は、このドキュメントに記載されている義務、および顧客の製品および顧客のアプリケーションにおけるインフィニオンテクノロジーの製品の使用に関する適用される法的要件、規範および基準を顧客が遵守することが必要です。

このドキュメントに含まれるデータは、技術的に訓練を受けたスタッフのみを対象としています。お客様の技術部門は、意図したアプリケーションに対する製品の適合性と、そのようなアプリケーションに関して本文書に記載されている製品情報の完全性を評価する責任があります。

警告；警告

技術的要件により、製品には危険な物質が含まれている可能性があります。問題のタイプの詳細については、最寄りのインフィニオンテクノロジーオフィスにお問い合わせください。

インフィニオンテクノロジーの権限付き代表者が署名した書面による文書でインフィニオンテクノロジーが別段の承認を得ている場合を除き、インフィニオンテクノロジーの製品は、製品の故障またはその使用の結果が合理的に人身傷害をもたらすと予想されるアプリケーションで使用することはできません。